

МОДИФИЦИРОВАННЫЙ АЛГОРИТМ МОДЕЛИРОВАНИЯ МОП СБИС НА ПЕРЕКЛЮЧАТЕЛЬНОМ УРОВНЕ В 16-ЗНАЧНОМ АЛФАВИТЕ

Андрюхин А.И.
Кафедра ПМИИ ДонНТУ
andr@r5.dgtu.donetsk.ua

Abstract

Andruckin A.I. Modified modeling algorithm MOS VLSI on switch level in 16-valued alphabet. Introduction of supplementary signal force, which reflects a scheme topology allowed more exactly to find the lines significances for establishing device fortune. The system of the boolean equations is constructed with which should satisfy meanings of signals. The characteristics of program realization are given.

Введение

Моделирование на переключательном уровне современных МОП-БИС имеет в своем теоретическом фундаменте различные модификации двух основных направлений: теория решеток и теоретико-графовый подход. В этих направлениях представлены в различной форме основные принципы переключательного анализа МОП-структур, отражающие их особые резистивно-емкостные свойства:

1. Транзистор является идеальным переключателем. Если на затворе **n**-МОП транзистора имеем высокий потенциал **H** (логическая 1) , то транзистор может быть представлен малым резистором. Если на затворе **n**-МОП транзистора имеем низкий потенциал **L** (логический 0) , то транзистор может быть представлен очень большим сопротивлением. Когда значение затвора не определено (ни **H**, ни **L**), тогда транзистор представлен сопротивлением неопределенного значения.

2. Сопротивление транзистора, работающего в режиме обеднения, гораздо больше сопротивления открытого транзистора (режим обогащения), но много меньше сопротивления закрытого транзистора (режим обеднения).

3. Узел, соединенный с землей и питанием только через пути высокого сопротивления, может сохранять предыдущий уровень напряжения определенное время (даже несколько секунд при определенных условиях). Узел, соединенный с землей и питанием через пути с малым сопротивлением, может иметь неопределенный уровень напряжения.

Часто строят более сложные правила, назначая некоторые границы отношения сопротивлений.

Сигнал S в МОП-схеме на переключательном уровне представлен парой (H, G) , где $H(G)$ -значение логической силы(состояния) соответственно. Они обычно интерпретируются как сила тока и напряжение. Особое место занимает сигнал Z , понимаемый как отключение узла.

Значение сигнала в узле v МОП-схемы можно определить, как значение наиболее "сильного" сигнала из всех сигналов, пришедших в него по всем ациклическим путям, проходящим через открытые транзисторы из входных контактных узлов устройства и узлов, где изначально была емкость. Есть простой итерационный способ вычисления реакций узлов на входные воздействия этого достаточно сложного определения. Пусть значение сигнала на u ($val(u)$) есть $S^i = (H, G)$. Для всех узлов v вычисляется новое значение сигнала на нем S^{i+1} как объединения предыдущего значения v и значений функций $F(val(u))$, ассоциированных с транзистором между узлами u и v для всех соседей u узла v [1,2]. Вычисления продолжаются до тех пор, пока S^{i+1} не станет равным S^i . Обозначим $F(val(u))$ через $f(T, R, H, G)$, где u -есть узел, связанный непосредственно с v через транзистор типа T , который имеет значение состояния R на своем затворе. Функцию преобразования сигнала f при прохождении через транзистор рассмотрим ниже. Алгоритм Брайента модифицирует расчеты, основой которых есть эта вычислительная схема, служащее базой так называемого простого алгоритма при использовании дистрибутивных транзисторных функций f .

В работах автора [3-5] предложен метод, основанный на представлении системой булевых уравнений соотношений между значениями сигналов для установившегося состояния устройства. Рассмотрим табл. 1, определяющую преобразование сигналов транзистором при заданном значении одного из его выводов (сток, исток) в зависимости от значения затвора. На основании таблицы можем построить систему булевых уравнений F , определяющих значения сигналов в узлах схемы в ее установившемся состоянии.

Применяя эти уравнения, можно рассматривать X -устойчивое состояние МОП-схемы, как решение системы псевдобулевых уравнений вида $X_{n+1} = M((X_n))$, где X_n - многозначного значение состояния схеме в n -итерации. Считаем, что M - операция выбора максимального значения из значений сигналов разветвлений узла, F -система булевых уравнений, вид которых зависит от алфавита моделирования и базовых компонентов, составляющих устройство. Упорядочение сигналов, необходимое для выполнения операции M , представлено на решетке сигналов из [1].

Простым примером расчета является расчет RS-триггера, представленная на рис. 1. Описание схемы приведено в таб. 2 и 3.

Здесь используем наиболее известный алфавит многозначных сигналов, для которых состояния сигналов обозначаются через $0, 1, X, Z$, а четыре возможных силы обозначены как D (управляемые), W (слабые), SC (сверхзарядные) и C (зарядные). Примем следующую кодировку сигналов $D=(1,0,0,0), W=(0,1,0,0), SC=(0,0,1,0), C=(0,0,0,1), X=(1,0,0), 1=(0,1,0)$ и $0=(0,0,1), Z=(0,0,0)$.

Таблица 1

Однонаправленное преобразование сигналов транзистором

Значения сигнала	Значение сигнала на затворе транзистора	Тип транзистора	Выходной сигнал на полюсе транзистора
H, G	X=(1,0,0) 1=(0,1,0) 0=(0,0,1) Z=(0,0,0)	T1=1 T2=1	Z H,G Z Z
H,G	X=(1,0,0) 1=(0,1,0) 0=(0,0,1) Z=(0,0,0)	T1=1 T2=0	
D,G H,G H≠D	X=(1,0,0) 1=(0,1,0) 0=(0,0,1) Z=(0,0,0)	T1=0 T2=0	W,G H,G



Q1	1	2	3	4	2	1	1	2	1	1
Q2	2	2	2	2	2	3	6	2	5	4
Q3	1	2	3	4	5	5	5	6	6	6
T1	1	1	1	1	0	1	1	0	1	1
T2	1	1	1	1	0	1	1	0	1	1

Значения в узлах схемы RS-триггера

Номер набора	Номер итерации	Значения в узлах схемы						
		1	2	3	4	5	6	
1	1	D0	D0	D1	D0	D1	W1	D0
1	2	D0	D0	D1	D0	D1	W1	D0
2	1	D0	D0	D1	D1	D0	D0	W1
2	2	D0	D0	D1	D1	D0	D0	W1

Постановка задачи

Различные алгоритмы моделирования на переключательном уровне, основанные на вышеописанной итерационной схеме, дают не совсем точные результаты для некоторых сложных схем, т.е. вместо строго определенного значения напряжения **1,0** в узле устройства выдают неопределенное значение **X**. В [6] показано, что задача определения максимального и минимального значения состояния в устройстве является **NP**-задачей и этим оправдывается использование эвристических методов при моделировании на переключательном уровне.

В частности, часто возникает ситуация, подобная на рис. 2. Имеем силу сигналов (сила тока) $(U,S), (U,Y)$ равными друг другу $U=U$, а состояния (напряжение) различными $S \neq Y$ на определенном шаге моделирования.

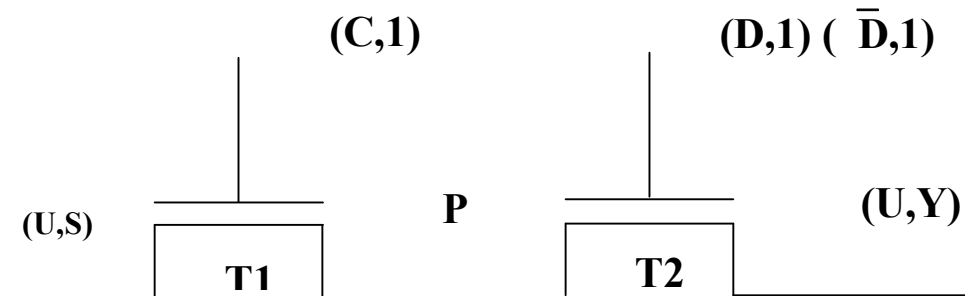


Рис. 2. Определение значения сигнала в узле **P**

Значение сигнала на затворе транзистора **T2** обусловлено прохождением сигнала от входного полюса схемы и при этом значение сигнала на затворе транзистора **T1** определяется емкостными свойствами **МОП**-структур, т.е. предыдущим установившимся состоянием устройства.

Ясно из физических соображений, что в текущей итерации моделирования значением в узле **P** должно быть выбрано (U,Y) . Если же определять значение в **P**, следуя просто принципу “сильнейшего” сигнала, то будем иметь значение состояния равным **X** (неопределенность) и этим ухудшаем точность моделирования.

Такая ситуация имеет место в схеме для комплементарного **D**-триггера, являющегося одним из самых распространенных узлов в цифровой **МОП**-схемотехнике, в которой проходные транзисторы образуют подсхему, где наблюдается описанная ситуация [5,7].

Решение задачи

Предлагается дополнить систему булевых уравнений уравнением, которое использует новую силу сигнала \bar{D} и этим повышает размерность

алфавита моделирования и применять модифицированную решетку сигналов для определения сильнейшего сигнала в узле, приведенную на рис. 3. Определение ситуации, когда сигнал на затворе транзистора является результатом распространения входных полюсных значений до этого затвора, можно учесть вычислением дополнительного булева признака, обозначенного **FG4**.

Общая система уравнений имеет вид

$$FG1 = G1 \& PS3$$

$$FG2 = G2 \& PS3$$

$$FG3 = G3 \& PS3$$

$$FG4 = G4 \& R8$$

$$FH1 = H1 \& PS2$$

$$FH2 = H2 \& PS2 \vee H1 \& P3$$

$$FH3 = H3 \& PS3$$

$$FH4 = H4 \& PS3$$

(1)

$$\text{где } P1 = T1 \& R2 \& T2 \quad P2 = (\neg T2) \& T1 \& R3 \quad P3 = \neg(T1 \vee T2)$$

$$PS2 = P1 \vee P2 \quad PS3 = PS2 \vee P3$$

В этой системе булевых уравнений для более точного определения значений сигналов добавлено уравнение, в котором вычисляется **FG4**. Если этот признак равен 1, то сигнал является результатом воздействия от внешних входных полюсов устройства и является наиболее сильным. Поэтому новая сильнейшая сила сигнала \bar{D} представляет собой пару (**D**, **FG4**) при **FG4=1**, где булев признак **FG4** отражает в некоторой мере топологию устройства для текущих входных воздействий. Для схемы комплементарного **D**-триггера из [5,7] в табл. 4 приведены значения узлов устройства в установившемся состоянии. Реализация описанного решения явно проще временного символьного переключательного анализа в [8].

Характеристики программно реализованного алгоритма моделирования приведены в табл. 5 для одного набора входных данных, где схема **C17** из известного эталона схем **ISCAS85**.

Данные приведены для компьютера с процессором **Celeron 633 МГц** с оперативной памятью 192 Мб с операционной система **Windows XP**.

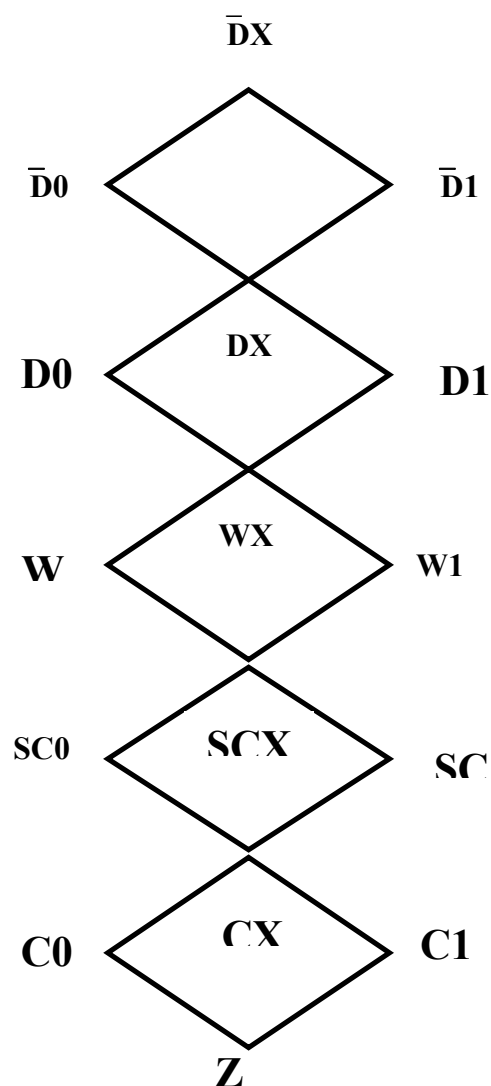


Рис. 3. Модифицированная решетка сигналов 16-значного алфавита

Таблица 4
Значения узлов **D**-триггера

Номер набора	Число итераций	Номера узлов и их значения на каждом наборе
		0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21
1	7	D0 D0 D1 D0 D0 D0 D0 D1 D1 D0 D0 D1 D1 D1 D0 D0 D1 D0 CX D0 CX D0
2	9	D0 D0 D1 D0 D0 D1 D1 D1 D1 D0 D1 D0 D0 D0 D1 D1 D0 D0 D1 D0 D1 D0
3	7	D0 D0 D1 D0 D1 D0 D1 D1 D0 D0 D1 D0 D0 D0 D1 D1 D1 C0 D1 D1 D1 D1
4	8	D0 D0 D1 D1 D0 D0 D0 D0 D1 D1 D1 D1 D1 D0 D0 D0 D1 D0 D0 D0 C1 D0
5	9	D0 D0 D1 D0 D1 D1 D1 D1 D0 D0 D1 D0 D0 D0 D1 D1 D1 D1 D1 D1 D1 D1

Таблица 5

Характеристики программной реализации

Имя схемы	Число транзисторов	Среднее число итераций	Время моделирования (сек)
cx1	500000	21	31
cx2	900000	20	52
cx3	1500000	21	80
C17	18	4	0.0002

Реализованный метод является вариантом сплошного синхронного метода моделирования. Поэтому время моделирования $T(N)$ схемы с N транзисторами определяется выражением $T(N)=\alpha*N*I$, где I – число итераций, α - коэффициент, который характеризует быстродействие инструментального компьютера.

Обозначим через X область памяти для значений в узлах устройства согласно их прямой нумерации, $(S0, S1)$, R , (H, G) – поля памяти для значений узлов устройства согласно массивам $Q1$, $Q2$ и $Q3$ соответственно. Массивы $Q1$, $Q2$, $Q3$ определяют принадлежность стоков, затворов, истоков транзисторов узлам схемы, причем эти описания повторяются для учета двунаправленности функционирования транзисторов.

При этих принятых обозначениях модифицированный алгоритм моделирования МОП-схем можно записать в следующем виде:

1. Если есть входные воздействия, занести их в X , иначе выход. (Обычно входные полюса устройства получают значения $\bar{D}0$, $\bar{D}1$, а значения внутренних узлов в начале моделирования - CX).
2. Занести значения из X в поле $S0$ согласно массиву $Q1$.
3. Занести значения из X в поля R , (H, G) согласно массивам $Q2$ и $Q3$ соответственно.
4. Вычислить значения F согласно уравнениям (1).
5. Определить в цикле для каждого узла его новое значение путем выбора максимального из передаваемых значений множества соседей (вычисленных в поле F) и своего предыдущего значения согласно решетке рис.3 и занести это значение в $S1$ и X .
6. Если $S0$ равно $S1$, то записать решение X и перейти к п. 1.
7. Поменять местами $S0$ и $S1$ (программно реализуется взаимной заменой соответствующих адресных указателей) и перейти к п. 3.

Заклучение

Повышение значности алфавита моделирования путем введения дополнительной силы сигнала, которая отражает топологию схемы, позволило более точно находить значения линий для установившегося состояния устройства. Построена система булевых уравнений, которым должны удовлетворять значения сигналов для установившегося состояния устройства в 16-значном алфавите. Характеристики программно реализованного алгоритма показывают его практическую эффективность.

Литература

1. Ульман Дж. Вычислительные аспекты СБИС: Пер. с англ./Под ред. П.П.Пархоменко. – М.: Радио и связь, 1990. – 480 с.
2. Вейцман И.Н., Кондратьева О.М. Тестирование КМОП-схем // Автоматика и телемеханика. – 1991. – N 2. – С.3-34.
3. Андрюхин А.И. Алгоритмы параллельного логического моделирования и псевдослучайной генерации тестов для МОП-структур // Микроэлектроника. –1995, N 5. – С. 331-336.
4. Андрюхин А.И. Параллельное многозначное логическое моделирование исправных и неисправных псевдобулевых схем. // Электронное моделирование. –1997, N 1. – С. 58-63.
5. Андрюхин А.И., Терещук Д.С. Логический учет динамики в МОП-структурах // Научные труды Донецкого государственного технического университета. Серия: Проблемы моделирования и автоматизации проектирования динамических систем. Выпуск 29. 2001 г., – С.212-217.
6. Huang, L.P.; Bryant, R.E. Intractability in linear switch-level simulation //IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol.: 12, № 6, June 1993, pp. 829-836.
7. Лобунов В.С. Динамическое моделирование МОП-структур на переключательном уровне // Электронное моделирование.-1996, N 1.- с.67-74.
8. McDonald, C.B.; Bryant, R.E. CMOS circuit verification with symbolic switch-level timing simulation // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Volume: 20 Issue: 3 , March 2001 Page(s): 458-474.

Дата надходження до редколегії: 6.10.2003 р.