

## Метод анализа структур микропрограммных автоматов с произвольным включением кэш-памяти

Баркалов А.А., Бабаков Р.М., Кхальфауи Нэжиб бен Хамади  
University of Zelena Gora (Poland),  
Донецкий государственный институт искусственного интеллекта,  
Донецкий национальный технический университет  
[A.Barkalov@iie.uz.zgora.pl](mailto:A.Barkalov@iie.uz.zgora.pl)

### **Abstract**

*Barkalov A.A., Babakov R.M., Khalfaoui Nejib ben Hamadi. Method of analysis of structures of microprogram automata with arbitrary placement of cache memory. Various variants of placement of the cache memory in structure of a microprogram automaton are considered. Analytical expressions of definition of average duration of clock tick for the considered structures are obtained. The algorithm of definition of average duration of clock tick of a microprogram automaton with arbitrary placement of the cache memory is formulated.*

### **Общая постановка проблемы**

В состав любой цифровой системы входит устройство управления (УУ), координирующее работу всех компонентов системы. Повышение быстродействия УУ позволяет расширить область применения цифровых систем и является актуальной научно-технической задачей [1-3]. Одним из способов реализации УУ является микропрограммный автомат (МПА), обладающий минимальными затратами аппаратуры в схеме адресации по сравнению с другими типами УУ [4].

Традиционно управляющая память (УП) МПА реализуется в базисе ПЗУ или ППЗУ, что снижает стоимость логической схемы автомата [4]. В то же время комбинационная часть схемы (схема адресации и регистры) реализуется в базисе программируемых логических устройств (ПЛУ), и обладает быстродействием, многократно превышающим быстродействие схемы УП. Таким образом, увеличение быстродействия схемы УП и приближение его к быстродействию комбинационной части позволит увеличить быстродействие схемы МПА. Помимо УП, базис ПЗУ также используется для реализации ряда узлов в структурах МПА, использующих различные методы оптимизации аппаратных затрат [3].

В работе [6] предложен метод увеличения быстродействия базовой структуры композиционного микропрограммного устройства управления (КМУУ), являющегося частным случаем МПА. Метод заключается в использовании в структуре автомата модуля кэш-памяти, предназначенного для временного хранения содержимого УП и обладающего быстродействием, характерным для комбинационной части схемы. Метод определения средней длительности такта работы базовой структуры КМУУ с кэш-памятью, изложенный в [6], справедлив для рассмотренной структуры КМУУ, и в общем случае не может быть применим к другим известным структурам МПА, имеющим многоуровневую логическую структуру и использующим методы аппаратной оптимизации.

Таким образом, нерешенной проблемой является определение длительности такта работы произвольной структуры МПА, содержащего один или несколько модулей кэш-памяти.

### Постановка задач и целей исследований

Пусть микропрограммный автомат задан структурой  $S$ , реализация которой соответствует граф-схеме алгоритма  $G$ . Пусть структура автомата содержит множество блоков  $U_S = \{U_1, \dots, U_{Nu}\}$ , причем каждому блоку  $U_i$  соответствует некоторый элементный базис, который определяет быстродействие блока равным  $T(U_i)$ .

В структурах МПА кэш-память целесообразно размещать между узлами, реализуемыми в базисе ПЛУ, и узлами, реализуемыми в базисе ПЗУ. Пусть более быстрый блок  $U_1$  запрашивает данные из более медленного блока  $U_2$ . Данная структура имеет единственный цикл прохождения логических сигналов (сигнальный цикл), показанный в виде графа на рис. 1,а.

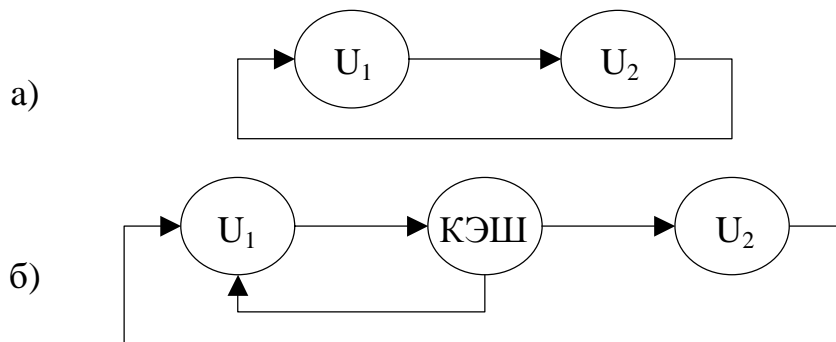


Рисунок 1 – Сигнальные графы устройств без кэш-памяти (а) и с кэш-памятью (б)

Длительность прохождения данного цикла определяется выражением:

$$T_C = T(U_1) + T(U_2). \quad (1)$$

Этим же выражением определяется длительность такта работы устройства  $T_S$ , структурно состоящего из данных блоков.

Добавление в структуру устройства модуля кэш-памяти приводит к образованию двух сигнальных циклов:  $C_1 = \{U_1, \text{КЭШ}\}$  и  $C_2 = \{U_1, \text{КЭШ}, U_2\}$ . Цикл  $C_1$  выполняется в случае кэш-попадания, то есть когда запрошенные блоком  $U_1$  данные оказываются обнаруженными в кэш-памяти, и их чтение из блока  $U_2$  не требуется. Цикл  $C_2$  соответствует ситуации кэш-промаха, и обладает длительностью, значительно превышающей длительность цикла  $C_1$ . Длительность каждого из циклов равна суммарной длительности блоков, входящих в цикл.

Ситуации кэш-попаданий возникают в каждом такте работы с определенной вероятностью, называемой вероятностью кэш-попаданий  $p_h$ . Соответственно, вероятность возникновения кэш-промаха будет равна  $(1-p_h)$ . Разместив вероятности прохождения сигналов на сигнальном графе рис. 1,б, получим вероятностный сигнальный граф (рис. 2).

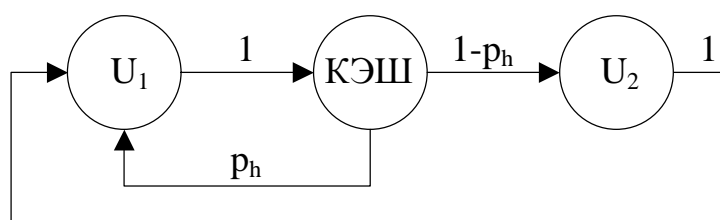


Рисунок 2 – Вероятностный сигнальный граф устройства с кэш-памятью

С целью упрощения анализа сигнального графа выполним следующее. При использовании модуля кэш-памяти в каждом такте работы возникает одна из двух возможных ситуаций: кэш-попадание либо кэш-промах, причем известны вероятности их появления. В каждой ситуации некоторые сигнальные циклы выполняются, некоторые – нет. Так, в случае кэш-попадания цикл, использующий выход блока КЭШ с вероятностью  $p_h$ , выполняется, а цикл, использующий выход блока КЭШ с вероятностью  $(1-p_h)$ , не выполняется.

Можно утверждать, что в каждой из ситуаций, обусловленных блоком кэш-памяти, мы имеем некоторый *сигнальный подграф*, причем вероятность образования данного подграфа в каждом такте работы устройства равна вероятности возникновения соответствующей ситуации. Поскольку известна вероятность возникновения подграфа в целом, все ребра подграфа будут иметь единичную вероятность прохождения.

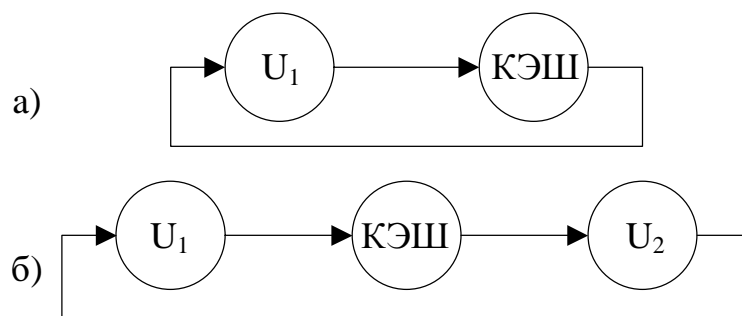


Рисунок 3 – Сигнальные подграфы для ситуаций

Для графа на рис. 2 сигнальные подграфы показаны на рис. 3. Подграф на рис. 3,а получен путем исключения из полного графа ветви, являющейся выходом блока кэш-памяти и соответствующей ситуации кэш-промаха (ветви с вероятностью  $1-p_h$ ). При построении подграфа на рис. 3,б была исключена ветвь, являющаяся выходом блока кэш-памяти и соответствующая ситуации кэш-попадания.

Длительность единственного цикла в подграфе на рис. 3,а равна

$$T_{G1} = T(U_1) + T(\text{КЭШ}). \quad (2)$$

Вероятность выполнения цикла

$$p_{G1} = p_h. \quad (3)$$

Для подграфа на рис. 3,б данные характеристики вычисляются аналогично:

$$T_{G2} = T(U_1) + T(\text{КЭШ}) + T(U_2). \quad (4)$$

$$p_{G2} = 1-p_h. \quad (5)$$

С учетом несовместности событий кэш-попадания и кэш-промаха средняя длительность такта работы вычислительной системы определяется как сумма средних длительностей циклов в каждом сигнальном подграфе:

$$T_S = T_{G1} * p_{G1} + T_{G2} * p_{G2}. \quad (6)$$

В общем случае граф структуры микропрограммного автомата может быть более сложным, чем на рис. 2. С целью получения возможности анализа эффективности использования кэш-памяти в различных структурах МПА решим задачу определения средней длительности такта работы структуры устройства с произвольным включением кэш-памяти.

### Решение задачи и результаты исследований

Рассмотрим примеры определения средней длительности такта для нескольких абстрактных структур, после чего сформулируем метод определения средней длительности такта для произвольной структуры микропрограммного автомата с кэш-памятью.

**Пример 1.** Структура содержит единственный кэш, параллельно которому расположена ветвь с постоянной длительностью срабатывания (рис. 4). Пусть для каждого блока  $U_1-U_4$ , а также для кэша, известны длительности срабатывания  $T(U_1), \dots, T(U_4)$  и  $T(U_{\text{КЭШ}})$ .

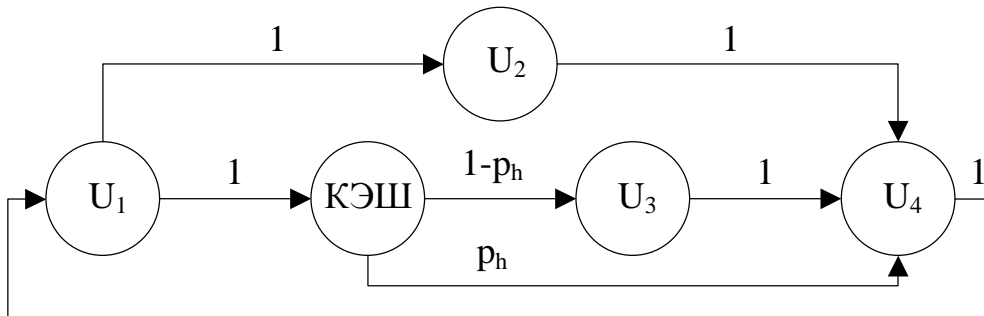


Рисунок 4 – Вероятностный сигнальный граф структуры с кэш-памятью, пример 1

Структура содержит  $N_{\text{кэш}}=1$  блок кэш-памяти, определяющий  $2^{N_{\text{кэш}}}=2$  возможных ситуаций. В результате граф разделяется на два подграфа: первый соответствует ситуации кэш-попадания и не содержит ветвь с вероятностью  $(1-p_h)$ ; второй соответствует ситуации кэш-промаха и не содержит ветвь с вероятностью  $p_h$  (рис. 5).

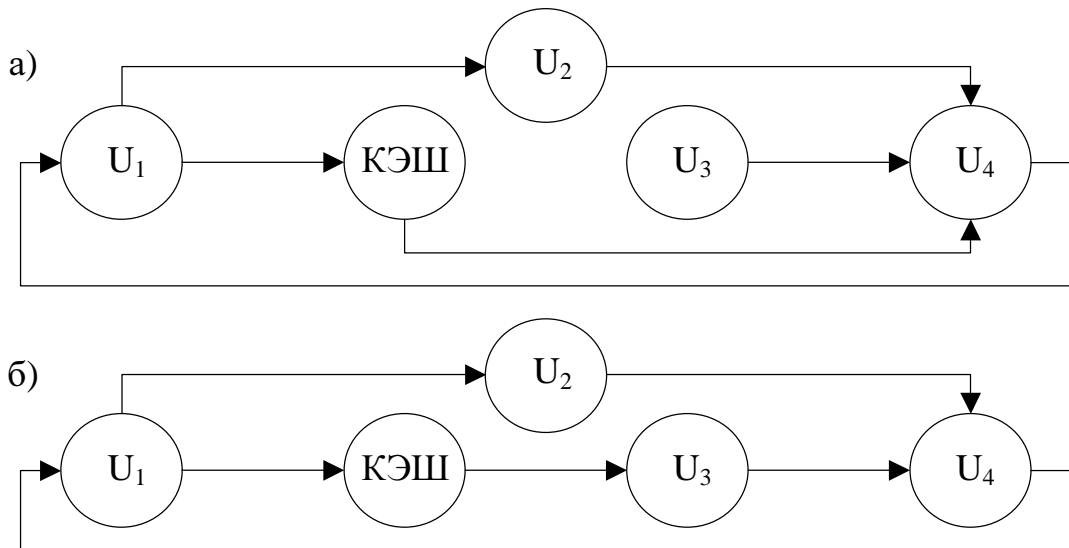


Рисунок 5 – Сигнальные подграфы для ситуаций кэш-попадания (а)

Вероятность первого подграфа  $p_{G1}=p_h$ , второго:  $p_{G2}=(1-p_h)$ . При этом значения вероятностей каждой ветви в подграфах равны единицам и на рисунке не показаны.

Отметим, что каждый подграф  $G_i$  содержит множество одновременно выполняемых циклов  $C^{G_i} = \{ C_1^{G_i}, C_2^{G_i}, \dots, C_{N_{G_i}}^{G_i} \}$ , где  $N_{G_i}$  – количество сигнальных циклов в подграфе  $G_i$ . Это значит, что длительность прохождения каждого подграфа равна длительности цикла, имеющего в подграфе максимальную длительность среди других циклов:

$$T(G_i) = \max \left( T(C_1^{G_i}), T(C_2^{G_i}), \dots, T(C_{N_{G_i}}^{G_i}) \right). \quad (7)$$

Составим таблицу, содержащую параметры каждого сигнального подграфа и его циклов (табл. 1). Анализ рисунка 5 показывает, что каждый подграф содержит два сигнальных цикла. Вершины подграфов, входящие в каждый цикл, показаны в таблице в столбце  $T(C_j^{G_i})$ .

Тогда, по аналогии с (6), средняя длительность такта работы устройства равна

$$T_s = \sum_{i=1}^{2^{N_{\text{кэш}}}} p_{G_i} T_{G_i} = p_h * \max(T(C_1^{G_1}), T(C_2^{G_1})) + (1-p_h) * \max(T(C_1^{G_2}), T(C_2^{G_2})). \quad (8)$$

Таблица 1

Параметры сигнальных подграфов, пример 1

$G_i$	$P_{G_i}$	$C_j^{G_i}$	$T(C_j^{G_i})$	$T(G_i)$
$G_1$	$p_h$	$C_1^{G_1}$	$T(U_1)+T(U_2)+T(U_4)$	$\max(T(C_1^{G_1}), T(C_2^{G_1}))$
		$C_2^{G_1}$	$T(U_1)+T(U_{\text{кэш}})+T(U_4)$	
$G_2$	$1-p_h$	$C_1^{G_2}$	$T(U_1)+T(U_2)+T(U_4)$	$\max(T(C_1^{G_2}), T(C_2^{G_2}))$
		$C_2^{G_2}$	$T(U_1)+T(U_{\text{кэш}})+ T(U_3)+T(U_4)$	

Пример 2. Структура содержит два параллельных независимых кэша, параллельно которым расположена ветвь с постоянной длительностью срабатывания (рис. 6).

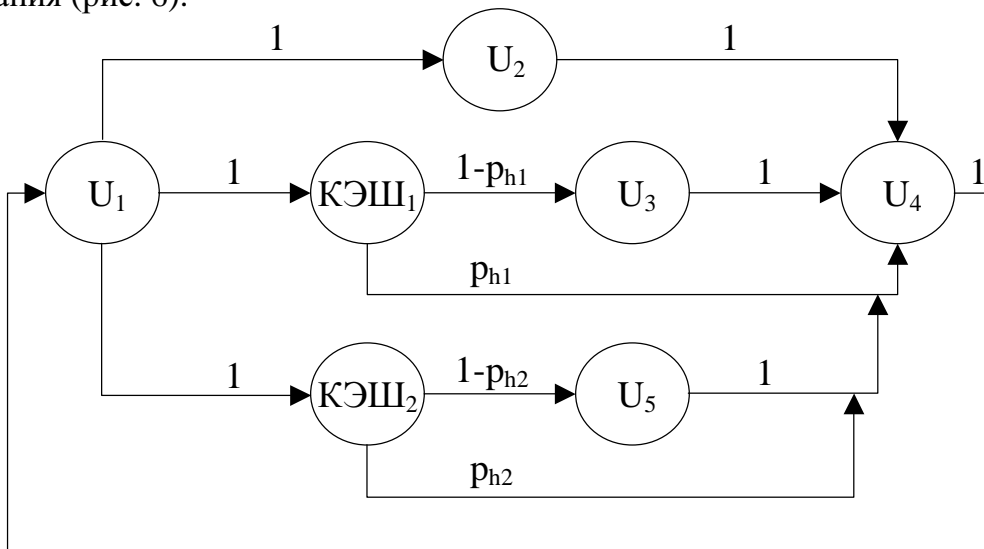


Рисунок 6 – Вероятностный сигнальный граф структуры с кэш-памятью, пример 2

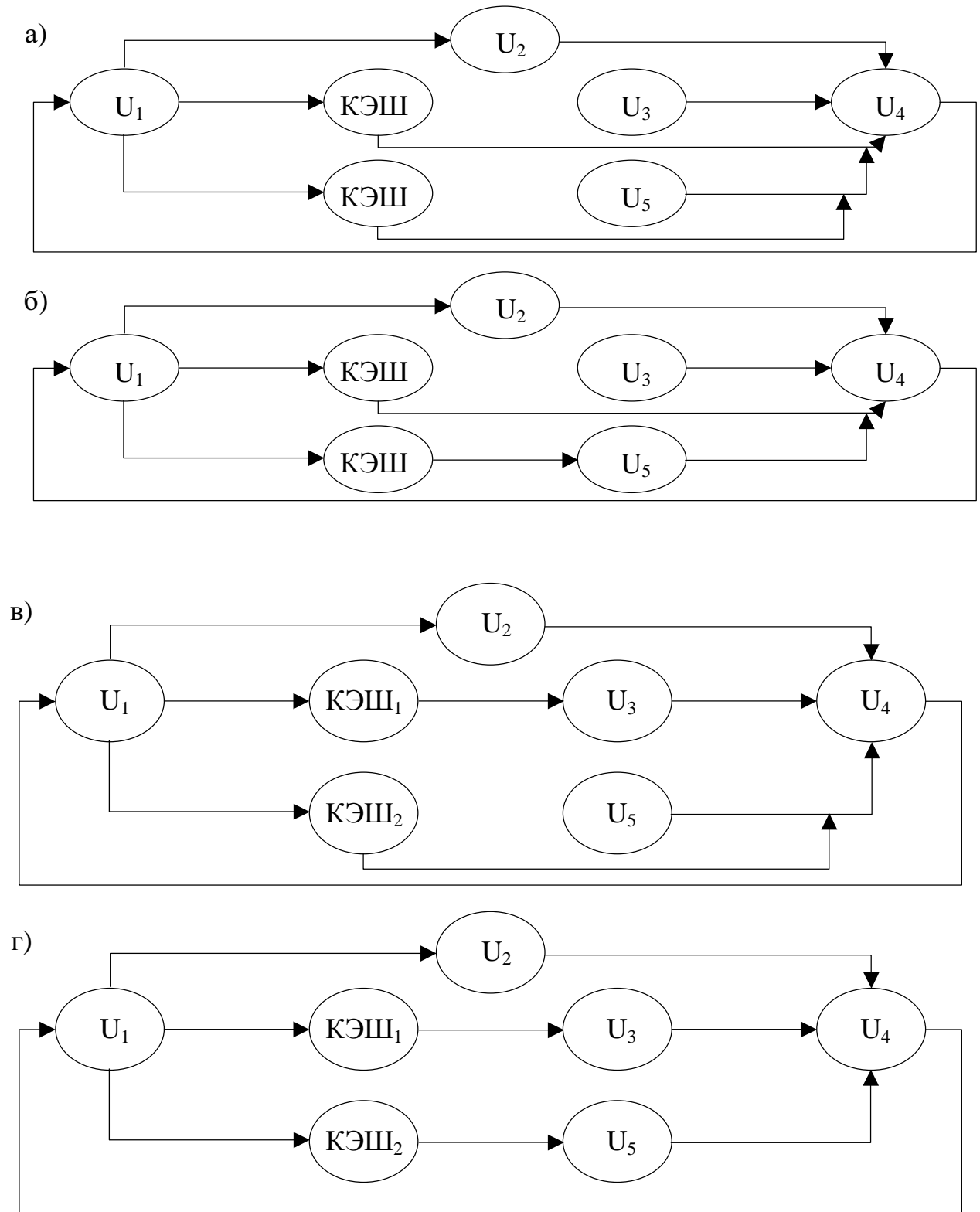


Рисунок 7 – Сигнальные подграфы для ситуаций  $\{h,h\}$  (а),  $\{h,m\}$  (б),  $\{m,h\}$  (в),  $\{m,m\}$  (г), пример 2



Параметры сигнальных подграфов, пример 2

$G_i$	$P_{G_i}$	$C_j^{G_i}$	$T(C_j^{G_i})$	$T(G_i)$
$G_1$	$p_{h1}p_{h2}$	$C_1^{G_1}$	$T(U_1)+T(U_2)+T(U_4)$	$\max(T(C_1^{G_1}), T(C_2^{G_1}), T(C_3^{G_1}))$
		$C_2^{G_1}$	$T(U_1)+T(U_{КЭШ1})+T(U_4)$	
		$C_3^{G_1}$	$T(U_1)+T(U_{КЭШ2})+T(U_4)$	
$G_2$	$p_{h1}(1-p_{h2})$	$C_1^{G_2}$	$T(U_1)+T(U_2)+T(U_4)$	$\max(T(C_1^{G_2}), T(C_2^{G_2}), T(C_3^{G_2}))$
		$C_2^{G_2}$	$T(U_1)+T(U_{КЭШ1})+T(U_4)$	
		$C_3^{G_2}$	$T(U_1)+T(U_{КЭШ2})+T(U_5)+T(U_4)$	
$G_3$	$(1-p_{h1})p_{h2}$	$C_1^{G_3}$	$T(U_1)+T(U_2)+T(U_4)$	$\max(T(C_1^{G_3}), T(C_2^{G_3}), T(C_3^{G_3}))$
		$C_2^{G_3}$	$T(U_1)+T(U_{КЭШ1})+T(U_5)+T(U_4)$	
		$C_3^{G_3}$	$T(U_1)+T(U_{КЭШ2})+T(U_5)$	
$G_4$	$(1-p_{h1})(1-p_{h2})$	$C_1^{G_4}$	$T(U_1)+T(U_2)+T(U_4)$	$\max(T(C_1^{G_4}), T(C_2^{G_4}), T(C_3^{G_4}))$
		$C_2^{G_4}$	$T(U_1)+T(U_{КЭШ1})+T(U_5)+T(U_4)$	
		$C_3^{G_4}$	$T(U_1)+T(U_{КЭШ2})+T(U_5)+T(U_4)$	

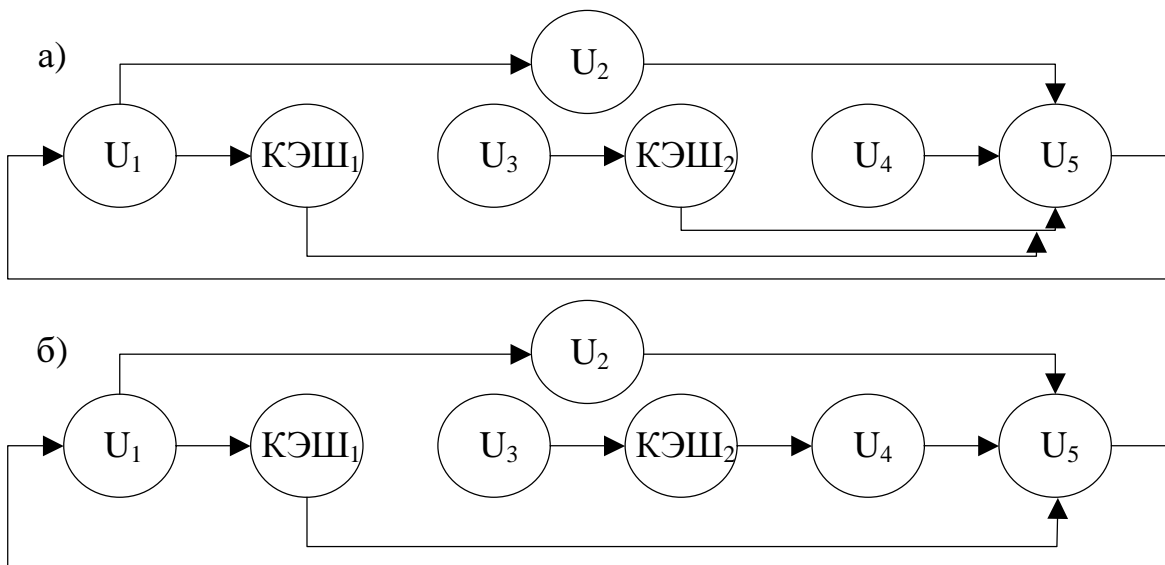


Рисунок 9 – Сигнальные подграфы для ситуаций {h,h} (а), {h,m} (б), {m,h} (в), {m,m} (г), пример 3



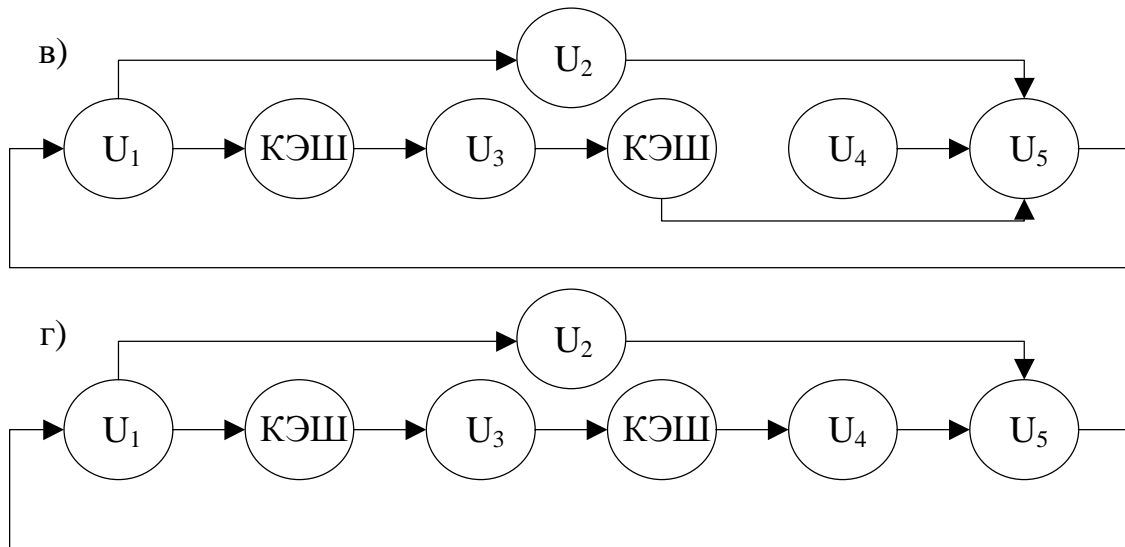


Рис. 9, окончание

Составим таблицу параметров сигнальных подграфов, аналогичную таблице 1 (табл. 3).

Таблица 3

Параметры сигнальных подграфов, пример 3

$G_i$	$P_{G_i}$	$C_j^{G_i}$	$T(C_j^{G_i})$	$T(G_i)$
$G_1$	$p_{h1}p_{h2}$	$C_1^{G_1}$	$T(U_1)+T(U_2)+T(U_5)$	$\max(T(C_1^{G_1}), T(C_2^{G_1}))$
		$C_2^{G_1}$	$T(U_1)+T(U_{KЭШ1})+T(U_5)$	
$G_2$	$p_{h1}(1-p_{h2})$	$C_1^{G_2}$	$T(U_1)+T(U_2)+T(U_5)$	$\max(T(C_1^{G_2}), T(C_2^{G_2}))$
		$C_2^{G_2}$	$T(U_1)+T(U_{KЭШ1})+T(U_5)$	
$G_3$	$(1-p_{h1})p_{h2}$	$C_1^{G_3}$	$T(U_1)+T(U_2)+T(U_5)$	$\max(T(C_1^{G_3}), T(C_2^{G_3}))$
		$C_2^{G_3}$	$T(U_1)+T(U_{KЭШ1})+T(U_3)+T(U_{KЭШ2})+T(U_5)$	
$G_4$	$(1-p_{h1})(1-p_{h2})$	$C_1^{G_4}$	$T(U_1)+T(U_2)+T(U_5)$	$\max(T(C_1^{G_4}), T(C_2^{G_4}))$
		$C_2^{G_4}$	$T(U_1)+T(U_{KЭШ1})+T(U_3)+T(U_{KЭШ2})+T(U_4)+T(U_5)$	

Определим среднюю длительность такта работы устройства:

$$T_s = \sum_{i=1}^{2^{N_{кэш}}} p_{G_i} T_{G_i} = p_{h1}p_{h2} * \max(T(C_1^{G_1}), T(C_2^{G_1})) + p_{h1}(1-p_{h2}) * \max(T(C_1^{G_2}), T(C_2^{G_2})) + \quad (10)$$

$$\begin{aligned}
& + (1-p_{h1})p_{h2} * \max(T(C_1^{G_3}), T(C_2^{G_3})) + \\
& + (1-p_{h1})(1-p_{h2}) * \max(T(C_1^{G_4}), T(C_2^{G_4})).
\end{aligned}$$

Проанализировав и обобщив рассмотренные примеры, сформулируем общий алгоритм определения средней длительности такта работы микропрограммного автомата с произвольным включением кэш-памяти. Алгоритм содержит следующие основные этапы.

1. Определение длительностей срабатывания каждого блока структуры УА и вероятностей кэш-попаданий всех модулей кэш-памяти.

2. Построение вероятностного сигнального графа структуры.

3. Определение количества сигнальных подграфов, обусловленных использованием модулей кэш-памяти, по следующей формуле:

$$N_G = 2^{N_{\text{кэш}}}. \quad (11)$$

4. Формирование сигнальных подграфов на основании сигнального графа структуры.

5. Построение таблицы параметров подграфов (таблица вида табл. 1). Отметим, что методика поиска всех возможных циклов в подграфе в диссертационной работе на рассматривается.

6. Определение средней длительности такта работы структуры по формуле:

$$T_s = \sum_{i=1}^{N_G} P_{G_i} T_{G_i}. \quad (12)$$

## **Выводы**

Предложенный алгоритм определения средней длительности такта работы структуры МПА с произвольным включением кэш-памяти оказывается результативным при любом количестве модулей кэш-памяти, используемых в структуре. В качестве дальнейшего применения алгоритма предполагается анализ многоуровневых структур МПА с кэш-памятью, использующих различные методы оптимизации аппаратных затрат.

## **Литература**

1. Глушков В.М. Синтез цифровых автоматов. – М.: Физматгиз, 1962. – 476 с.
2. Соловьев В.В. Проектирование функциональных узлов цифровых систем на программируемых логических устройствах. – Минск: Бестпринт, 1996. – 252 с.
3. Шалыто А.А. Методы аппаратной и программной реализации алгоритмов. – СПб.: Наука, 2000. – 780 с.
4. Баркалов А.А., Палагин А.В. Синтез микропрограммных устройств управления. – Киев: Институт кибернетики НАН Украины, 1997. – 135 с.
5. Баркалов А.А. Синтез устройств управления на программируемых логических устройствах. – Донецк: ДонНТУ, 2002. – 262 с.
6. Баркалов А.А., Ковалев С.А., Бабаков Р.М. Применение принципов кэширования в композиционных микропрограммных устройствах управления // Управляющие системы и машины. – 2001. – № 5. – С. 26-33.