

ЛОГИЧЕСКИЙ УЧЕТ ДИНАМИКИ В МОП-СТРУКТУРАХ

А.И. Андрюхин, Д.С.Терещук

Кафедра ПМИИ, ДонГТУ,
andr@r5.dgtu.donetsk.ua

Abstract

A.I.Andruckin, D.S.Tereshuk. LogicaldynamicscalculationofMOS-structures. The type, function and geometry ofMOS transistor is to influence on values andfronts of signals considered. Logic model based on the modified iterative $X^{i+1}=M0FQ_i$ method is to suggested to be usedfor switch-level simulation ofMOS structures taking into account the delays oftransistors.

Переключательные модели являются наиболее известным способом учета особенностей МОП-технологий. Они позволяют ввести единый способ моделирования основных типов неисправностей. Переключательные модели описывают поведение схемы, используя при этом такие основные электронные компоненты, как р-МОП-транзистор, и-МОП-транзистор, нагрузочный транзистор, проводник, логический конденсатор или емкость [1-6].

Необходимо подчеркнуть, что современные СБИС являются в силу технологических процессов их производства, регулярными структурами высокого уровня. Величины паразитных емкостей C любого транзистора являются примерно одинаковыми. Число различных параметров, характеризующих геометрию полевого транзистора, т.е. ширина L и длина канала W , которые определяют его сопротивление в открытом состоянии, ограничено. Постоянная времени срабатывания для полевых транзисторов $\tau = CL/C_{ox}pW$ определяется параметрами емкостей C и C_{ox} , а также подвижностью носителей μ ($\mu_n = 3\mu_p$). Согласно вышесказанного, имеем конечность набора значений задержек полевых транзисторов для конкретной СБИС [7,8].

Известные методы сквозного асинхронного моделирования вентильного уровня могут быть применимы при надлежащей модификации для регулярных структур современных СБИС, изготовленных по МОП-технологиям. В работах [2-4] моделирование представлено итерационным решением системы уравнений вида $X_{n+i} = M0FQ_i$, где X_n - значение многозначного узла в n -итерации. Считаем, что \wedge -операция выбора максимального сигнала в узле, F -система булевых уравнений, вид которых зависит от алфавита моделирования и базовых компонентов составляющих устройство, \wedge -операция суперпозиции. Значение X есть двойка (G, H) , где $G \in \{0, 1, X, Z\}$, $H \in \{D, fD, fV, SC, Q\}$ соответственно значения логического значения состояния сигнала и его логической силы, интерпретируемые, как напряжение и сила тока. Упорядочение сигналов, необходимое для операции M , представлено на решетке сигналов на рис.1. Здесь используется наиболее известный алфавит многозначных сигналов, для которых состояния сигналов обозначаются через $0, 1, X, Z$, а четыре возможных силы обозначены как D (управляемые), \wedge (слабые), SC (сверхзарядные) и C (зарядные). Линии на рис.1 соответствуют операции суммирования, т.е. для двух сигналов на рис. 1 их сумма является сигналом, который является наименьшей верхней гранью множества из этих элементов. К примеру, $W \vee W = W$, $C \vee W = W$.

Примем следующую кодировку сигналов $Z=(0,0,0,0,0,0)$, $D=(1,0,0,0)$, $W=(0,1,$

$0, 0$), $SC=(0,0,1,0)$, $C=(0,0,0,1)$, $X=(1,0,0)$, $I=(0,1,0)$ и $0=(0,0,1)$. Для кодирования элементов схемы (транзисторы, резисторы) используем булев вектор $T=(T_1, T_2)$. Коды для и-МОП ^-МОП) будут $T_1 = I, T_2 = 1(T_2 = 0)$, а нагрузочный транзистор (заменяет резистор в схемах МОП- технологии) обозначим через $T_1 = 0$.

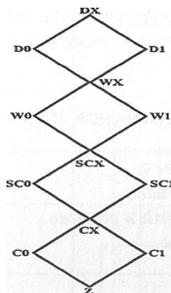


Рис. 1. Решетка сигналов

Согласно [2], считая значением узла $X=(G, H)$, $G=(XG, JiG_2, JCG_3)$, $H=(XH, XH_2, JCH_3, JCH_4)$, получим систему уравнений, приведенную в столбце 2 таблицы 1. Для ПКМОП-схем можно использовать только "сильные" сигналы и так как для них нет элементов с $T_1 = 0$, можно использовать уравнения в столбце 1 таблицы 1. Для МОП-структур с нагрузочными транзисторами, работающими в режиме обеднения, используем уравнения в столбце 3 таблицы 1. Они получены на основании той особенности функционирования транзистора в режиме обеднения, что при подаче положительного потенциала относительно истока по его каналу начинает течь ток, даже если потенциал на затворе равен 0 относительно истока. Считая, что вне зависимости от значения сигнала на затворе происходит ослабление сигнала при его передаче и, построив таблицу истинности работы нагрузочного транзистора в режиме обеднения для выбранного алфавита, получаем искомые уравнения.

Сам процесс решения этих систем уравнений предполагает в силу своего представления применение моделирования с единичными задержками. Известно, что моделирование с единичными задержками является на вентильном уровне широко используемым средством, позволяющим достаточно адекватно отразить поведение дискретного устройства и, как указано в [9], оно хорошо отражает методологию проектировщика при его работе со счетными структурами.

Представление функционирования переключательной модели с помощью булевых уравнений таблицы 1 позволяет перенести алгоритмы временного моделирования моделей дискретных устройств на вентильном уровне на переключательный уровень.

Известно, что основные трудности временного моделирования (моделирования С задержками) - это учет временных задержек на линиях обратных связей (ОС).

В работе [10] указывается, что на переключательном уровне невозможно моделировать динамику процессов на основании только принципа выбора сильнейшего сигнала. Это замечание справедливо в общем случае, однако использование известных алгоритмов асинхронного логического моделирования и подчеркнутого выше обстоятельства регулярности СБИС позволяет адекватно оценивать и моделировать логические значения сигналов и основные типы неисправностей. Другое дело, что

логическое моделирование необходимо применять, учитывая реальные факторы переключения компонентов устройства. Основные трудности учета влияния задержек различного типа на работу цифровых устройств, их представление на вентильном и переключательном уровнях, рассматриваются в [11].

Так, для переключательной схемы *KNTD* реального X)-триггера комплементарной структуры на рис.2 из [7] имеем затруднения для определения значения выхода, значение которого определяется узлом 6 (узлы 1, 2 - земля и питание, входы - 3, 4, 5)

Таблица 1.

Булевы уравнения для МОП-схем

ПКМОП-схемы	МОП-схемы с транзисторами, работающими в режиме обогащения	МОП-схемы с транзисторами, работающими в режиме обеднения
1	2	3
$K=R_2WT_2$	$K=R_2WT_2$	$K=R_2WT_2$
$XG_1 =G_1 T_1K$	$XG_1=G_1T_1K \quad VG_1 \quad T_1$	$D= T_1 \quad T_2$
$XG_2 =G_2 T_1K$	$XG_2=G_2T_1K \quad VG_2 \quad T_1$	$XG_1 =G_1 T_1K \quad VG_1D$
$XG_3 =G_3 T_1K$	$XG_3=G_3T_1KVG_3 \quad T_1$	$XG_2=G_2T_1K \quad VG_2D$
$XH_1 =T_1 H_1K$	$XH_1 =T_1 H_1K$	$XG_3=G_3T_1K \quad VG_3D$
$XH_2=T_1H_2K$	$XH_2=T_1H_2KV \quad T_1H_1V$	$XH_1 =T_1 H_1K$
$XH_3=T_1H_3K$	$T_1H_2 \quad H_1$	$XH_2=T_1H_2K \quad VDH_1$
$XH_4=T_1H_4K$	$XH_3=T_1H_3K \quad V \quad T_1 \quad H_3 \quad H_1$	$XH_3=T_1 H_3K \quad VDH_2$
	$XH_4=T_1H_4KV \quad T_1H_4 \quad H_1$	$XH_4=T_1H_4K \quad VDH_3,$

триггера в зависимости от соотношения задержек . При синхронном моделировании схемы *KNTD* модифицированным методом Брайента на последовательности входных наборов 000 - 001 - 010 - 100 - 011 на наборе 011 возникает ситуация, когда узлы 7 и 9 оказываются в единичном состоянии. В этом случае открываются транзисторы *T1, T3, T6, T8*, являющиеся транзисторами л-типа, и объединяются сигналы двух обратных связей (цепи 14- 10, 13 - 10), имеющих в этот момент противоположные состояния (14 - в 1, 13 - в 0). Это приводит к неопределенному состоянию в узле 10 й, как следствие, к установившемуся отклику на выходе, равному X.

Предлагаемое в [7] решение использует известные троичные переключательные графы алгоритма Бриана и дополнительно учитывает временные характеристики переключения транзисторов. Объем необходимого материала при изложении решения и сложность понимания решения затрудняют его компьютерную реализацию.

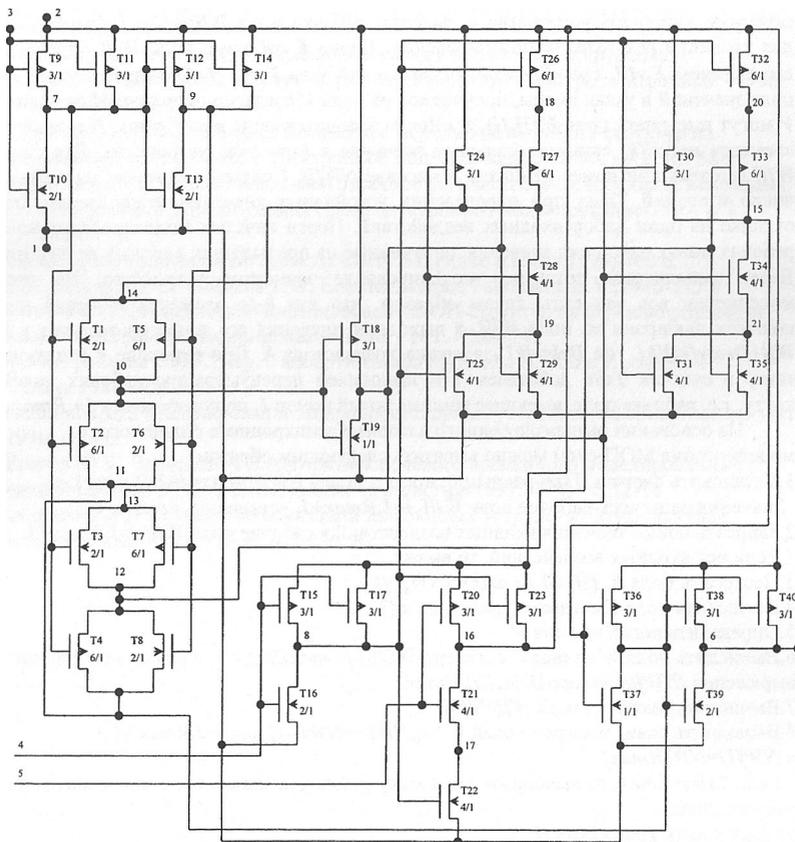


Рис.2.Комплементарный D-триггер.

Использование итеративного метода $X_n^i = MQFQC_n$ сразу дает правильный результат 1 для выхода схемы (узел 6), согласно начальному состоянию 0 0 1 1 1 1 0 0 0 1 0 0 0 0 для внутренних узлов памяти (узлы 6,7,..., 21) при воздействии входными сигналами 0 1 1 на входы схемы (узлы 3, 4, 5). Таким образом, даже не учитывая соотношений W_{fc} для оценки времени переключения транзистора, правильно определяем значения выхода для такого основного базового компонента интегральной схемотехники, как D-триггер.

Можно представить процесс моделирования с учетом временных задержек транзисторов итерационным решением системы псевдодобулевых уравнений вида $X_{i+1} = M \circ F \circ Q \tau_i$, $X_{i+1}, X_i, X_{i-2}, \dots, X_{i-2}$, где τ - максимальная задержка транзисторов устройства. Алгоритм программной реализации итерационного решения имеет следующий вид.

Пусть число узлов в схеме равно N . Обозначим через R_{max} максимальную задержку элементов устройства и выделим рабочие поля $W[i][k]$, $i=1, R_{max}+1$, $k=1, K$ для хранения результатов моделирования. Длина K рабочего поля $W[i]$ определяется выражением $\sum r[i]$, где $r[i]$ - число разветвлений узла i , $i=1, N$. Обозначим через $maxV$ поле значений в узлах схемы, получаемое из поля V согласно операции M (в роли поля V могут выступать поля $F, (H, G)$). Число элементов поля V равно L^i и значением элемента $maxV[k]$ есть многозначное значение в A -ом узле устройства. Для каждого $W[i]$ его текущий номер хранится в массиве $NW[i]$. Считаем заданным максимальное число итераций T_{max} при определении устойчивых значений узлов схемы при ее отклике на один набор входных воздействий. Перед началом моделирования во всех рабочих полях находятся значения, полученные на предыдущих входных воздействиях. Далее выполняется потактное моделирование элементов устройства. На такте j моделируем все элементы таким образом, что для A -го элемента значения на его полюсах выбираем из поля $W[j]$, а выходные значения его полюсов заносим в поле $W[j+Delay[k]][k]$, где $Delay[k]$ - задержка транзистора k . При переходе к следующему такту в счетчик T_{sim} добавляем 1 и выполняем перенумерацию рабочих полей по кругу, т.е. рабочее поле, имеющее минимальный номер 1 , получает номер $1 + R_{max}$.

На основании вышеизложенного алгоритм асинхронного сплошного моделирования МОП-схем можно выразить следующим образом:

1. Установить счетчик T_{sim} равным 0, номера $n \in \{1, \dots, R_{max}+1\}$ установить равным i .
2. Записать новые значения входных воздействий в рабочие поля $W[i]$, $i=1, R_{max}+1$.
- Если нет входных воздействий, то выход.
3. Построить поля $R, (H, G)$ из $maxW[NW[0]]$.
4. Вычислить F по уравнениям (3).
5. Определить $maxF$ из поля F .
6. Вычислить поля W из $maxF$ согласно $W[J][k] = maxF[k]$, где J равно целой части выражения $(NW[0] + R_{max} \cdot T_{delay}[i]) / R_{max}$.
7. Вычислить $maxW$ поля $W[NW[0]]$.
8. Выполнить сдвиг номеров полей $WT.e.NW[i] = NW[i-1] + 1$, $i=2, R_{max}+1$ и $NW[1] = NW[R_{max}]$.
9. Если $T_{sim} = T_{max}$, то выполнить обработку узлов, чьи значения не совпадают во всех рабочих полях.
- Ю. Вычислить $T_{sim} = T_{sim} + 1$.
11. Если все рабочие поля $W[i]$ равны, то перейти к п.2.
12. Перейти к п. 3.

Заключение

Использование временных характеристик срабатывания МОП-транзисторов на основе характеристик их геометрии изготовления позволяет представить их моделирование решением системы булевых уравнений вида $X_{i+1} = M \circ pit_i$, $X_{i+1}, X_{i-2}, \dots, X_{i-2}$. Практическая реализация решения этих систем основана на приведенном алгоритме.

Литература

1. Вейцман И.Н., Кондратьева О.М. Тестирование КМОП-схем // Автоматика и телемеханика. -1991.-N2.-С.3-34.
2. Андрюхин А.И. Алгоритмы параллельного логического моделирования и псевдослучайной генерации тестов для МОП-структур // Микроэлектроника. -1995. -N5. -С. 331-336.
3. Андрюхин А.И. Параллельное логическое моделирование МОП-структур на переключательном уровне. // Электронное моделирование. -1996. -N 2. -С. 88-92.
4. Андрюхин А.И. Параллельное многозначное логическое моделирование исправных и неисправных псевдобулевых схем // Электронное моделирование-1997, N 1. -С. 58-63.
5. Ульман Д. Вычислительные аспекты СБИС. М.: Радио и связь, 1990, -400 с.
6. VLSI Testing Ed. by Williams T.W. Elsevier Science Publishers B.V., 1986-275 p
7. Лобунов В.С. Динамическое моделирование МОП-структур на переключательном уровне // Электронное моделирование-1996. -N 1. -С.67-74.
8. Проектирование СБИС Пер. с япон. ЛЗатанабэ М., Асада К., Кани К., Оцуки Т.- М.: Мир, 1988.-304 с.
9. Иванников А.Д. Моделирование микропроцессорных устройств.-М.: Энергоатомиздат, 1990. -144 с.
10. Егоров Ю.Б., Зиновьев А.В. Алгоритм ключевого временного моделирования с оценкой мощности // Информационные технологии-1997.- N 9. - С.12-16.
11. Андрюхин А.И. Задачи синхронизации дискретных устройств // Управляющие системы и Манипби.-1998.-N 6. -С.36 -41.