

УДК 004.2

МОДЕЛИРОВАНИЕ СХЕМ УПРАВЛЯЮЩИХ АВТОМАТОВ НА СЧЁТЧИКЕ В БАЗИСЕ ПЛИС FPGA ФИРМЫ ALTERA

Турмий А.С., Гриценко А.А., Зеленева И.Я.

Донецкий национальный технический университет, Украина

В статье рассматривается архитектура ПЛИС FPGA фирмы Altera и возможности ее применения для реализации управляющих автоматов на счетчиках. В частности, в статье определяются существующие возможности и ограничения по реализации такого рода автоматов.

Ключевые слова: алгоритм управления, ПЛИС, счетчик, моделирование

Введение

Аппаратная реализация алгоритмов управления предполагает различные подходы и выбор способа реализации управляющего автомата (УА), в зависимости от структуры и параметров заданного алгоритма управления [1]. Для реализации граф-схем алгоритмов (ГСА) с большим числом операторных вершин, доля которых составляет не менее 75% от общего числа вершин в ГСА, целесообразно использовать структуры УА на счётчиках [1]. Элементным базисом при этом могут служить современные интегральные схемы, в частности, ПЛИС FPGA фирмы Altera. В задачу данного исследования входит определение возможностей и степени эффективности реализации структур УА на счётчиках в базисе конкретных микросхем семейства Cyclone II.

Анализ особенностей архитектуры ПЛИС FPGA фирмы Altera

Интегральные схемы FPGA фирмы Altera семейства Cyclone характеризуются, в первую очередь, низкой стоимостью и низкой потребляемой мощностью. Как и большинство других, ПЛИС семейства Cyclone базируются на использовании SRAM-ячеек, то есть требуют конфигурации при каждом включении питания.

ПЛИС FPGA семейства Cyclone [2] имеют двумерную структуру (рис. 1). На границах ПЛИС размещаются элементы ввода-вывода (input-output elements, IOEs) и блоки фазовой автоподстройки частоты (phase-locked loop, PLL). Каждый столбец двумерной структуры ПЛИС содержит одинаковые ресурсы: логические элементы (logic elements, LEs), блоки памяти (embedded memory) или умножители (embedded multipliers). Логические элементы объединяются в блоки (logic array blocks, LABs).

Блок ФАПЧ	Элементы ввода-вывода					Блок ФАПЧ
Элементы ввода-вывода	Логические элементы	Блоки памяти	Логические элементы	Умножители	Логические элементы	Элементы ввода-вывода
Блок ФАПЧ	Элементы ввода-вывода					Блок ФАПЧ

Рисунок 1. Обобщенная структура ПЛИС FPGA семейства Cyclone

Наиболее важным и значимым компонентами архитектуры, с точки зрения синтеза автоматов на счетчиках, являются логические элементы.

Основным ресурсом ПЛИС семейства Cyclone являются логические элементы, построенные на основе генераторов функции от четырёх аргументов. Кроме генератора функции каждый элемент включает однобитный программируемый регистр, который может конфигурироваться для работы в режиме D-, T-, JK- или SR-триггера.

Логический элемент имеет девять управляющих входов. Вход глобального сброса является общим для всех элементов ПЛИС, а остальные восемь входов разделяются элементами, входящими в состав одного блока (logic array block, LAB).

Вход и выход каскадирования используются для формирования сдвиговых схем, а вход и выход переноса позволяют реализовывать арифметические схемы со сквозным переносом.

Выход каждого элемента может коммутироваться с входом другого элемента в том же блоке через специально выделенные локальные соединения, которые обеспечивают более высокую скорость передачи данных.

Каждый элемент может работать в двух режимах: обычном (рис. 2) или арифметическом (рис. 3). В арифметическом режиме генератор функции конфигурируется как полный одноразрядный сумматор с формированием выходного переноса. Арифметический режим предназначен для реализации таких схем как счетчики, сумматоры или компараторы.

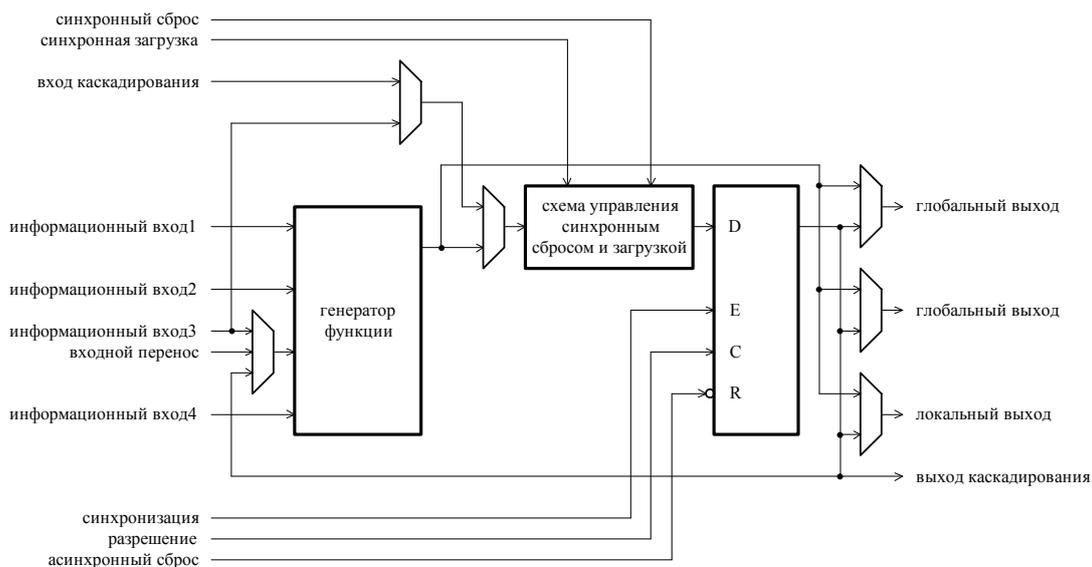


Рисунок 2. Структура логического элемента

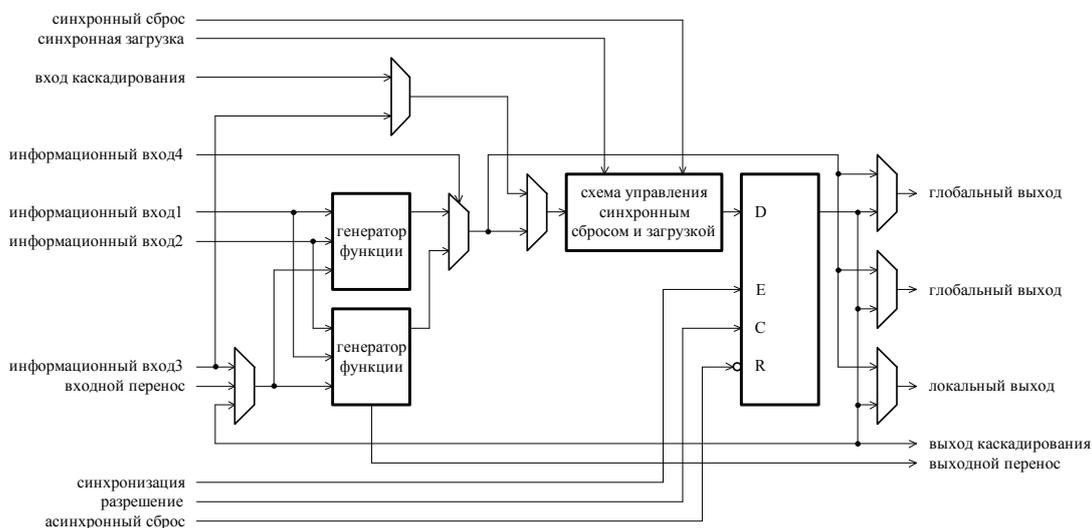


Рисунок 3. Структура логического элемента в арифметическом режиме

Также логические элементы поддерживают возможность использования генератора функции отдельно от регистра (register packing) и обратную связь выхода регистра с входом генератора функции (register feedback).

Реализация счетчика на FPGA Cyclone III

В качестве целевой платформы для реализации счетчика выбирается ПЛИС FPGA Cyclone II [2], в котором один логический блок содержит 16 логических элементов. Счетчик описан с использованием языка описания аппаратуры VHDL [4]:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity counter is
  generic ( dw : positive := 16 );
  port (
    reset : in std_logic;
    clk    : in std_logic;
    c_out  : out std_logic_vector (dw - 1 downto 0)
  );
end entity counter;

architecture behavioral of counter is
  signal c_out_buf : std_logic_vector (dw - 1 downto 0);
begin
  count : process (clk, reset) is
  begin
    if reset = '1' then
      c_out_buf <= (others => '0');
    elsif rising_edge (clk) then
      c_out_buf <= c_out_buf + 1;
    end if;
  end process count;
  c_out <= c_out_buf;
end architecture behavioral;
```

В ходе исследований были измерены частоты работы 16-ти и 32-х разрядных счетчиков (табл. 1).

Таблица 1. Параметры счетчиков

Разрядность	Количество логических элементов	Количество логических блоков	Максимальная частота работы
16	16	1	481,46 МГц
32	32	2	347,58 МГц

Из приведенной таблицы видно, что при размещении счетчика в нескольких логических блоках происходит падение максимальной частоты работы. Это связано с распространением сигнала между логическими блоками. Частично эта проблема решается за счет конвейерной реализации счетчика.

Выводы

Архитектура современных ПЛИС FPGA предоставляет широкие возможности для реализации автоматов на счетчиках. Однако важным ограничением является сложность построения схем

1 синхронизации (например, для счетчиков, которые используют несколько синхронизационных входов). Результаты данного моделирования счетчика будут использованы для дальнейших исследований структур УА на счетчиках.

Литература

- [1] Баркалов О.О. Синтез пристроїв керування на програмованих логічних пристроях. – Донецьк: РВА ДонНТУ, 2002. – 262с.
- [2] Cyclone II Device Handbook, Volume 1. [Электронный ресурс]. Режим доступа: http://www.altera.com/literature/hb/cyc2/cyc2_cii5v1.pdf.
- [3] Ashenden Peter J. The Designer's Guide to VHDL / P. J. Ashenden. – SF. : «Morgan Kaufmann Publishers, Inc.», 1995. – 688 pp.