

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ УКРАИНЫ
ДОНЕЦКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ**

**МЕТОДИЧЕСКИЕ УКАЗАНИЯ
и задания к практической работе
студентов по дисциплине
«Цифровые ЭВМ»**

ДОНЕЦК 1998

МИНИСТЕРСТВО ОБРАЗОВАНИЯ УКРАИНЫ
ДОНЕЦКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ
УНИВЕРСИТЕТ

МЕТОДИЧЕСКИЕ УКАЗАНИЯ
и задания к практической работе студентов
по дисциплине “Цифровые ЭВМ”
(для студентов специальности 7.09.15.01
дневной и заочной форм обучения)

Утверждено
на заседании кафедры
электронных
вычислительных машин.
Протокол N 10 от 16.04.98 г.

Рекомендовано к изданию методической комиссией
специальности 7.09.15.01

УДК 681 . 32

Методические указания и задания к практической работе студентов по дисциплине " Цифровые ЭВМ " (для студентов специальности 7 . 09 . 15 . 01 дневной и заочной форм обучения) / Сост. В. В. Лапко , Ю. В. Губарь - Донецк : ДГТУ , 1998. - 76 с.

Рассмотрены основные вопросы анализа и разработки микропроцессорных систем на базе микропрограммируемых БИС серии K1804. Приведены индивидуальные задания и рассмотрены примеры их выполнения.

Составители :

доц. Лапко В. В. ,
доц. Губарь Ю. В.

Ответственный за выпуск

проф. Святный В. А.

Рецензент

доц. Федяев О. И.

ОБЩИЕ МЕТОДИЧЕСКИЕ УКАЗАНИЯ

Цикл работ по дисциплине "Цифровые ЭВМ" предназначен для выработки у студентов практических навыков проектирования микропроцессорных блоков вычислительной техники, выполненных на базе БИС серии K1804. Аналогичные микросхемы серии Am 2900 выпускает фирма AMD (США).

Все задания носят индивидуальный характер. Они предусматривают самостоятельное выполнение полного комплекса этапов, обеспечивающих решение конкретной задачи. Номер варианта задания определяется по номеру студента в журнале группы N (который каждый студент получает от преподавателя на первом занятии) по соответствующему модулю.

Последовательность выполнения практических занятий построена по принципу нарастающей сложности. Конкретные рекомендации по выполнению практических работ приведены в методических указаниях по каждой работе. Условно темы практических работ могут быть разбиты на три части. В первой части студенты изучают вопросы реализации и микропрограммирования операционных и управляющих блоков на основе микропроцессоров серии K1804. Во второй части рассматриваются вопросы разработки аппаратных блоков и микропрограмм для реализации типовых алгоритмов выполнения операций с фиксированной и плавающей запятой. В третьей части рассматриваются вопросы построения микропроцессорных устройств различной архитектуры.

Для облегчения изучения материала по проектированию микропроцессорных БИС серии K1804 в конце методички имеются три приложения. Более детальное описание рассматриваемых микросхем можно найти в следующих литературных источниках:

1) Проектирование цифровых систем на комплектах микропрограммируемых БИС / Под ред. В. Г. Колесникова. - М.: Радио и связь, 1984 г. - 240 с.

2) Мик Дж., Брик Дж. Проектирование микропроцессорных устройств с разрядно-модульной организацией. - М.: Мир, 1984 г. - т. 1, т. 2.

3) Хвоц С. Т., Варлинский Н. Н., Попов Е. А. Микропроцессоры и микроЭВМ в системах автоматического управления. - Л.: Машиностроение, 1988 г. - 640 с.

4) Справочник по устройствам цифровой обработки информации / Н. А. Виноградов, В. Н. Яковлев, В. В. Воскресенский и др. - К.: Техніка, 1988 г. - 415 с.

5) Микросхемы серии K1804. - Северодонецк: РП НПО "Импульс".

Практическая работа N 1

БЛОКИ ОБРАБОТКИ ДАННЫХ МИКРОПРОЦЕССОРНЫХ УСТРОЙСТВ

Цель работы: изучение принципов функционирования процессорных элементов K1804BC1 и K1804BC2, а также приобретение практических навыков реализации простейших функций на этих микропроцессорах.

1.1. Индивидуальное задание

1). Разработать функциональные схемы 16-разрядного процессора на основе БИС K1804BC1 и K1804BC2 с использованием и без использования микросхемы ускоренного переноса K1804BP1. Объяснить назначение всех использованных сигналов процессора.

2). Разработать граф-схему микропрограммы вычисления функции F_1 , указанной в табл.1.1, с использованием дополнительных кодов. При этом обеспечить ввод операндов с внешних шин процессора D, DA или DB в регистры общего назначения, которые определены в табл.1.2, а также пересылку полученного значения F_1 на выход Y.

3). Разработать и представить таблицу кодирования, обеспечивающую вычисление функции F_1 . Для числового примера использовать операнды, заданные в табл. 1.3.

Таблица 1.1

Вариант=(N) _{mod8}	Функция
0	$F_1 = 16 (X_1 + X_2 - 1) \oplus (X_3 - X_4) / 8$
1	$F_2 = 8 (X_1 + X_2) + (X_3 - 1 - X_4) / 16$
2	$F_3 = 16 [(X_1 - 1) - X_2] \wedge (X_3 + X_4) / 4$
3	$F_4 = 8 (X_1 - X_2) \oplus (X_3 + X_4 - 1) / 16$
4	$F_5 = 2 X_1 + 4 X_2 - 1 + X_3 / 2 + X_4 / 8$
5	$F_6 = 4 (X_1 + X_2) \vee (X_3 / 4 - X_4 / 2)$
6	$F_7 = 8 (X_1 + X_2 / 2) \wedge (X_3 + X_4) / 8$
7	$F_8 = [4 (X_1 + X_2)] \oplus [(X_3 - X_4) / 8]$

Таблица 1.2

Вариант= $(N)_{\text{mod}4}$	X1	X2	X3	X4
0	R0	RQ	R5	R10
1	R1	R4	R7	RQ
2	R11	R8	R15	R9
3	R15	R12	RQ	R6

Таблица 1.3

Вариант= $(N)_{\text{mod}5}$	X1	X2	X3	X4
0	- 7	12	17	3
1	12	2	- 11	15
2	18	- 3	23	11
3	- 9	10	31	- 21
4	+ 7	- 12	- 13	+ 14

1.2. Методические указания

Функциональная схема 16 - разрядного процессора на основе микросхем K1804BC1 и K1804BP1 приведена в приложении на рис. ПЗ,П4. Рассмотрим пример разработки граф-схемы микропрограммы вычисления функции

$$F_0 = 2 X_3 \wedge (X_2 - X_1) / 2 ,$$

где исходные числа X_i - представлены в дополнительном коде.

Граф-схема микропрограммы вычисления функции F_0 представлена на рис. 1.1. Каждая операторная вершина соответствует одной микрооперации, которая может быть реализована в процессоре за один такт. Последовательность микрокоманд для вычисления функции F_0 отражена в таблице кодирования (табл. 1.4). При ее составлении использованы коды микрофункций микропроцессора K1804BC1, приведенные в приложении в табл. П1 - табл. ПЗ. Символами S0 и S1 обозначены разряды микрокоманд для осуществления сдвиговых операций с использованием мультиплексоров с трехстабильными выходами (см. рис.П4) При выполнении арифметического сдвига содержимого шины F вправо (третья микрокоманда на рис. 1.1) на вход PF3 должно быть подано значение знакового разряда F3 АЛУ. Символом x в табл. 1.4 обозначено безразличное значение разряда (0 или 1). Занесение исходных данных в процессор осуществляется через входную шину D процессора с поля DMK регистра микрокоманд.

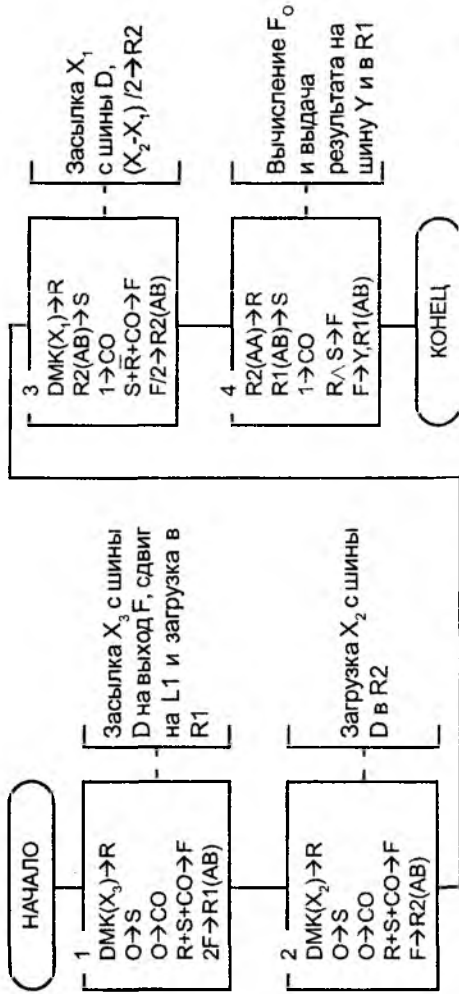


Рис 1.1. Граф-схема микропрограммы вычисления функции F_0 .

Таблица 1.4.

Таблица кодирования

№ МК	МИКРОКОМАНДА										DMK	Примечан. (результат)						
	I8	I7	I6	I5	I4	I3	I2	I1	I0	AA(3-0)			AB(3-0)	C0	OE	S0	S1	
1	1	1	1	0	0	0	1	1	1	1	XXXX	0001	0	X	0	0	1.1111101	R1=1.1111010
2	0	1	1	0	0	0	1	1	1	XXXX	0010	0	X	X	X	X	0.0001111	R2=0.0001111
3	1	0	1	0	0	1	1	0	1	XXXX	0010	1	X	1	1	1	0.0000101	R2=1.1111011
4	0	1	1	1	0	0	0	0	1	0010	0001	X	0	X	X	X	YR1=1.1111010	YR1=1.1111010

Практическая работа N 2

ТЕХНИКА СОСТАВЛЕНИЯ МИКРОПРОГРАММ

Цель работы : изучение принципов функционирования блока микропрограммного управления на базе БИС K1804ВУ4 и методики составления микропрограмм.

2.1. Индивидуальное задание

- 1). Составить граф-схему алгоритма для заданных операций (табл. 2.1, 2.2).
- 2). Разработать граф-схему микропрограммы, реализующую полученный микроалгоритм, и разместить микрокоманды в микропрограммной памяти.

Таблица 2.1

Вариант= $(N)_{\text{mod}4}$	Представление исходных операндов и результата в РОН-ах ВС
0	Прямой код (ПК) - (\pm x x x ')
1	Обратный код (ОК) - (\pm . x x x ')
2	Положительный нуль (ПН) - (\pm . x x x ')
3	Отрицательный нуль (ОН) - (\pm . x x x ')

Таблица 2.2

Вариант= $(N)_{\text{mod}2}$	Заданная операция
0	Суммирование (SM)
1	Вычитание (SUB)

Примечание:

в качестве рабочих регистров зарезервировать RQ, R14, R15. Исходные данные и результат операции расположить соответственно в любом из трех регистров от R0 до R13. Исходные данные не должны «стираться» в РОН-ах ВС.

2.2. Методические указания

Блок микропрограммного управления (рис. 2.1) состоит из схемы формирования адресов микрокоманд (ФАМ), микропрограммной памяти микрокоманд (МПП), регистра микрокоманд (РМК) и мультиплексора выбора кода условий (МХ), поступающих из операционной части (ОЧ).

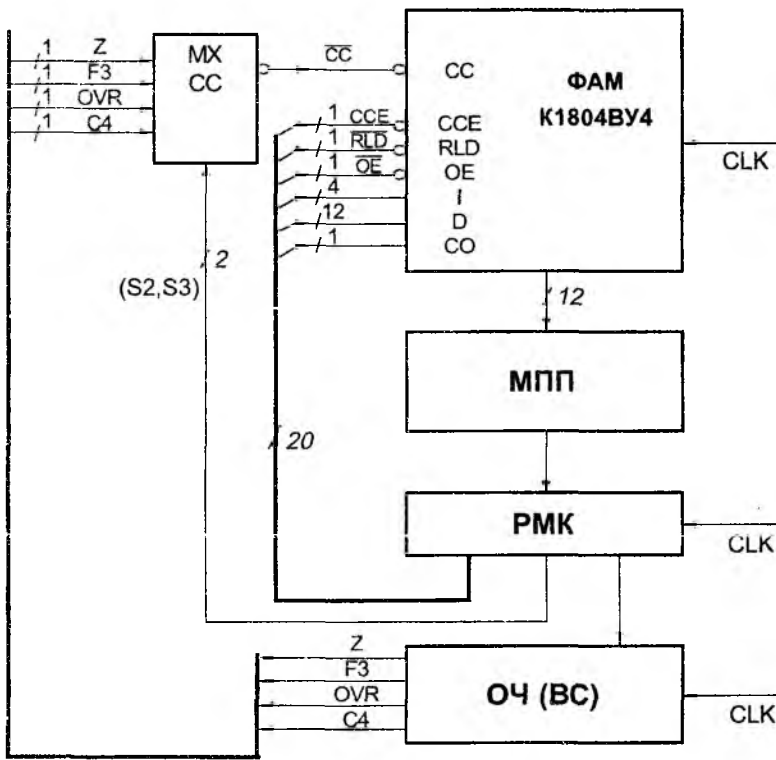
Временная диаграмма на рис. 2.1 иллюстрирует порядок функционирования БМУ при выполнении микрокоманд условного перехода по результату текущей операции в операционной части (такт 1) и безусловный переход или условный переход по ранее подготовленному значению условия (такт 2). Цифрами обозначены порядковые номера обрабатываемых микрокоманд.

Построение временных диаграмм начинается от переднего фронта синхроимпульса CLK. В данном случае выбранная из МПП микрокоманда заносится в РМК. Операционное поле микрокоманды инициирует требуемую операцию в операционной части , а адресное поле - в ФАМ и мультиплексоре условий (см. табл. 2.3). Если операция в ФАМ является условной , а значение условия вырабатывается в текущем такте ОЧ , то правильный адрес следующей микрокоманды может быть вычислен только по окончании операции в операционной части.

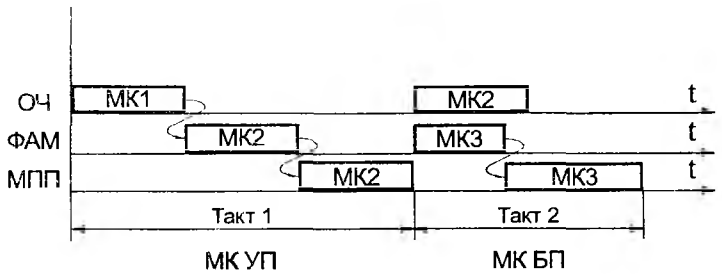
Таблица 2.3.

S2	S3	Выход МХ (СС)
0	0	$\overline{C4}$
0	1	$\overline{F3}$
1	0	\overline{Z}
1	1	\overline{OVR}

Если операция в ФАМ является безусловной или условной по ранее подготовленному условию, то вычисление адреса следующей микрокоманды может быть совмещено во времени с операцией в операционной части. В итоге длительность такта может быть сокращена, а быстродействие устройства повышено.



а)



б)

Рис 2.1. Структура БМУ (а) и диаграмма обработки микрокоманд (б)

Пример выполнения задания.

Пусть требуется разработать таблицу кодирования для граф-схемы алгоритма, приведенного на рис. 2.3, а. Построение таблицы кодирования включает два этапа [1]:

1. Преобразование исходной граф-схемы алгоритма к специальному виду в соответствии со структурой вычислительного устройства.

2. Кодирование граф-схемы микропрограммы на основе преобразованной схемы.

Запись вида $O_i \rightarrow \omega$, ϕ означает формирование признаков ω и ϕ операцией O_i в операционной части (в ВС), а запись $Y_j[\omega]$ - анализ признака ω условной вершины Y_j .

Для преобразования исходной граф-схемы необходимо пользоваться следующим правилом [1]. Если условному блоку Y_j непосредственно предшествует операционный блок (ОБ) O_i , то образовать (обвести пунктирной линией) объединенный операционно - условный блок (ОУБ) $\{O_i, Y_j\}$. Если условному блоку Y_j непосредственно предшествует условный блок Y_k , то между блоками Y_j и Y_k ввести "пустой" операционный блок (NOP), не производящий никаких операций в ОЧ, и образовать ОУБ $\{NOP, Y_j\}$.

После применения сформулированного правила каждому ОБ и ОУБ соответствует одна микрокоманда. Далее следует назначить адрес каждой микрокоманде и закодировать микропрограмму.

Схема преобразования для рассматриваемого примера приведена на рис. 2.3, б, таблица кодирования работы БМУ - в табл. 2.4. При составлении последней была использована система микрокоманд БИС K1804ВУ4 (см. табл. П9). Микропрограмма начинается с адреса 50. Фрагмент размещения микрокоманд в управляющей памяти представлен на рис. 2.3, в.

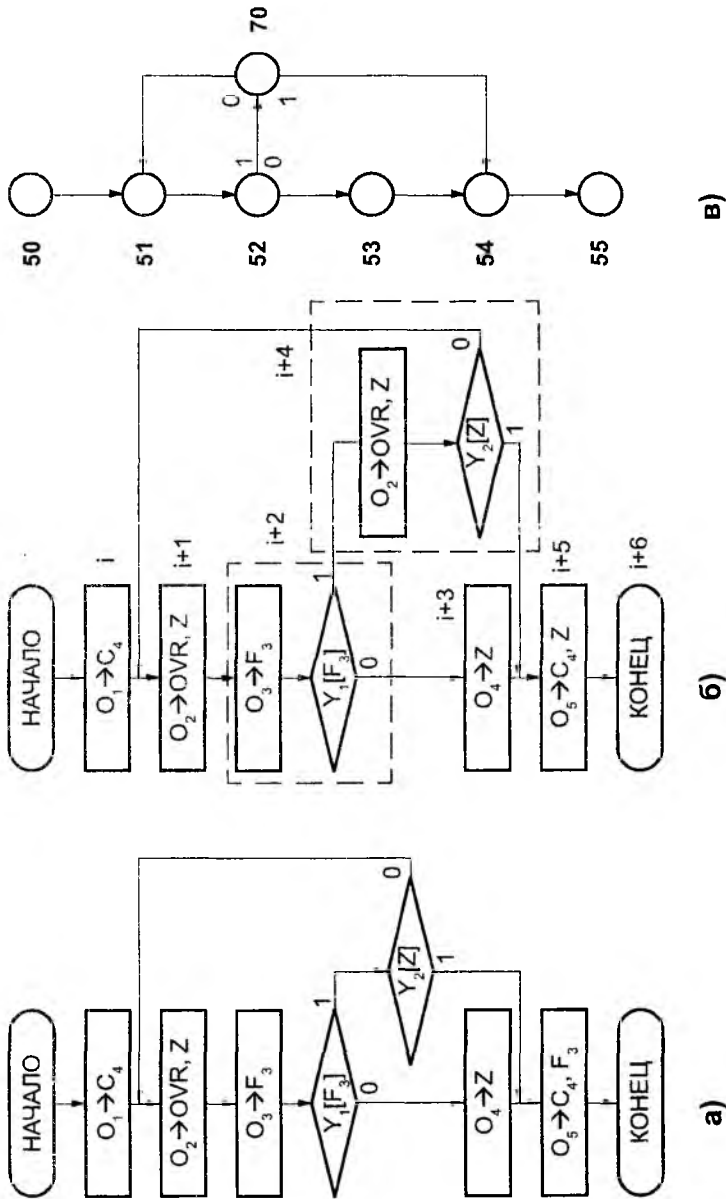


Рис 2.3. Исходная (а), преобразованная (б) граф-схемы алгоритмов и фрагмент размещения микрокоманд (в)

Таблица 2.4.

Таблица кодирования

Номер МК	Адрес МК	МИКРОКОМАНДА								Операции ФАМ	Примечание
		CCE	OE	RLD	CO	I ₁₆	D ₁₀	S _{2,S3}	O ₄		
i	50	X	0	0	1	E	51	XX	O1	CONT	51→CT PC+1→PC
i+1	51	X	0	1	1	E	X	XX	O2	CONT	PC+1→PC
i+2	52	1	0	1	1	3	70	01	O3	CJP	Если F3=1 to 70, иначе 53
i+3	53	X	0	1	1	E	X	XX	O4	CONT	PC+1→PC
i+5	54	X	0	1	1	E	X	XX	O5	CONT	PC+1→PC
i+6	55	X	0	1	1	2	55	XX	NOP	X	Останов
i+4	70	1	0	1	1	7	54	10	O2	JRP	Если Z=0, то по CT=51, иначе 54 (по D)