

2. РАЗРАБОТКА ФУНКЦИОНАЛЬНЫХ ЭЛЕКТРИЧЕСКИХ СХЕМ СЕТЕВОГО АДАПТЕРА И ЕГО УЗЛОВ

Функциональная схема сетевого адаптера с методом доступа CSMA / CD приведена на рис. 2.1. В ее состав входят следующие блоки :

- приемник с декодером , который производит преобразование самосинхронизирующегося потока сигналов в манчестерском коде на линии Rx в два потока сигналов : данных RxD и синхронизации RxC ;
- приемник с детектором коллизий (сигнал на линии CDT) и анализатором активности среды передачи информации (сигнал на линии CRS) ;
- передатчик с кодером , который производит преобразование двух потоков сигналов : данных по линии TxD и синхронизации TxC в один поток сигналов в манчестерском коде и передает его по линии Tx ;
- импульсные трансформаторы Tr 1 - Tr 3 , которые служат для гальванической развязки передающего и приемного узлов станции от среды передачи кадров (моноканалу) по постоянному потенциалу относительно земли . В качестве среды передачи используется коаксиальный кабель с волновым сопротивлением 50 Ом . По краям сегмента кабеля устанавливаются резисторы (терминаторы) с сопротивлением , равным волновому сопротивлению кабеля ;
- передающий блок - служит для приема кадров от прикладного уровня сети , формирования и передачи кадров через кодер в моноканал . Этот блок реализует межкадровые временные интервалы и временные задержки при возникновении коллизий , производит повторную передачу кадра в случае коллизии ;
- приемный блок - осуществляет распознавание и прием " своих " кадров из моноканала в промежуточный буфер типа FIFO , а затем по каналу прямого доступа в память пересылает поступивший кадр в оперативную память (RAM) для его обработки вышестоящими уровнями . В приемном блоке анализируются также ошибки в кадре , которые могут возникнуть при его распространении через сетевую среду ;
- регистр состояния адаптера - содержит оперативную информацию о состоянии передающего и приемного узлов станции . Его содержимое может быть прочитано процессором (CPU) через системную шину ;
- блок синхронизации - служит для выработки синхронизирующих сигналов , поступающих в узлы адаптера ;

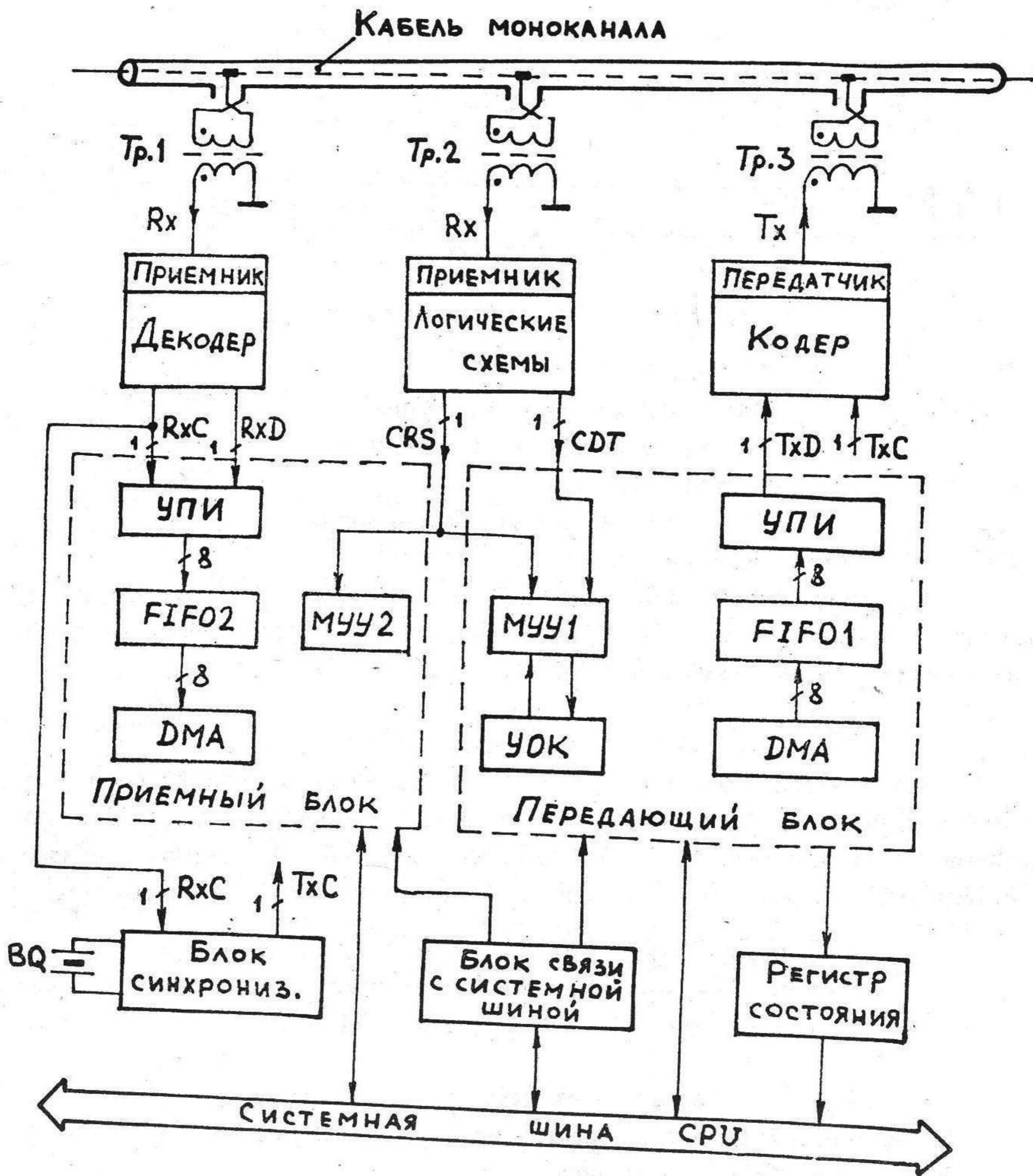


Рис. 2. 1. Функциональная схема сетевого адаптера

- блок связи с системной шиной - позволяет организовать обмен информацией между узлами адаптера и CPU через системный интерфейс .

Формат кадра физического уровня

Кадр физического уровня состоит из 11 байт и имеет формат :

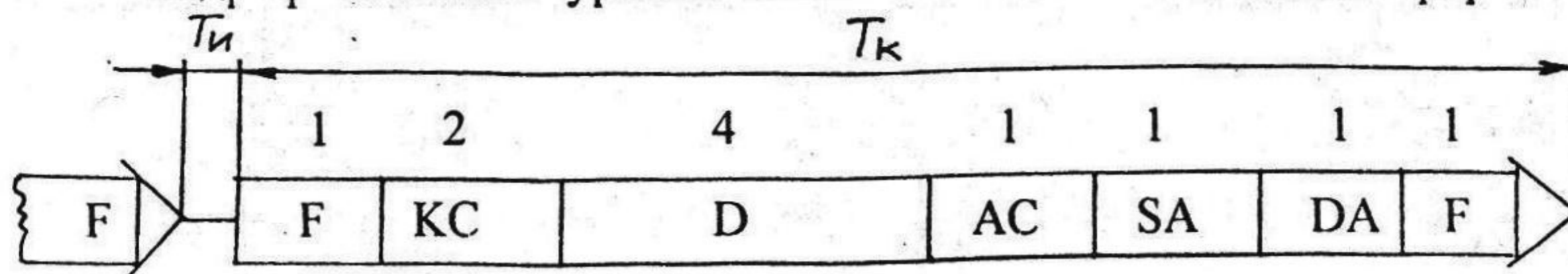


Рис . 2. 2. Формат кадра физического уровня

- где F - флаг (0 111 111 0) ;
 DA - адрес станции назначения ;
 SA - адрес передающей станции ;
 АС - тип кадра ;
 D - информационная область кадра ;
 КС - поле контрольной суммы .

Кадр передается в моноканал побитно . Время передачи кадра на рисунке обозначено через $T_{к}$. Следующий кадр может быть передан (или принят) через время межкадрового интервала $T_{и}$.

Формат слова состояния адаптера

Слово состояния адаптера (рис . 2. 3.) находится в регистре состояния (РС) адаптера и состоит из одного байта . Отдельные разряды этого регистра устанавливаются и сбрасываются внутренними схемами самого адаптера либо процессором при выполнении операций записи и считывания .

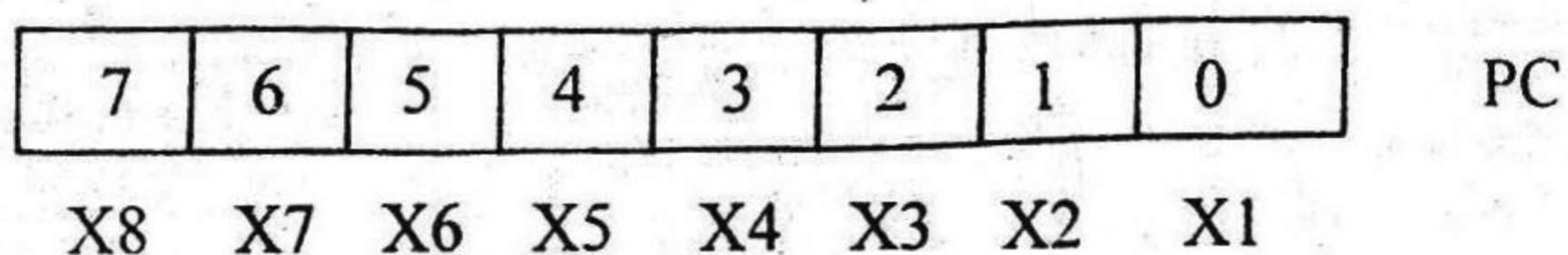


Рис . 2. 3. Формат слова состояния адаптера

Назначение разрядов слова состояния адаптера следующее :

- X1 : буфер FIFO1 передатчика пуст ;
- X2 : буфер FIFO1 передатчика полон (записаны два кадра) ;
- X3 : буфер FIFO1 передатчика полон (записан один кадр) ;
- X4 : происходит передача кадра в моноканал ;
- X5 : кадр передан без коллизий ;

- X6 : кадр невозможно передать (превышение счетчика коллизий) ;
- X7 : кадр принят с ошибкой ;
- X8 : кадр принят без ошибки .

2.1. Блок передачи кадров

В состав блока передачи кадров входят следующие узлы :

- контроллер прямого доступа в память (DMA) ;
- буферная память типа FIFO ;
- узел последовательного интерфейса (УПИ) ;
- узел обработки коллизий (УОК) ;
- местное устройство управления передачей кадра (МУУ1) .

2.1.1. Контроллер DMA

Режим прямого доступа в память (ПДП) является самым скоростным способом обмена , который реализуется с помощью аппаратных средств (контроллера DMA) .

Контроллер DMA может обслуживать запросы на ПДП , формируемые как аппаратно по входам DREQ , так и программно (от CPU) - по состоянию разрядов регистра запросов . Каждый разряд этого регистра соответствует запросу по одному из каналов ПДП .

Контроллер DMA i8237 (аналог K1810BT37) имеет четыре независимых канала ПДП со скоростью обмена данными 1,6 М байт / с . Каждый канал может выполнять до 64 К циклов ПДП [15] . Нулевой канал контроллера будем использовать в блоке передачи кадров сетевого адаптера , а первый канал - в блоке приема кадров .

Кадры на передачу в виде DA , D подготавливаются на прикладном уровне сетевого программного обеспечения и передаются на канальный уровень . На канальном уровне делается опрос регистра состояния сетевого адаптера с целью выявления загруженности буфера FIFO1 блока передачи . Если буфер FIFO1 пуст (X1 = 1) или загружен на половину (X3 = 1) , процессор производит инициализацию нулевого канала DMA :

- загружает счетчик циклов ПДП (число байт в двух или одном кадре) ;
- устанавливает регистр текущего адреса (начальным адресом памяти RAM , с которого расположены передаваемые кадры) ;
- загружает регистр режима (используется режим блочной передачи по нулевому каналу между RAM и FIFO1) .

Структура связей между CPU , DMA , RAM и FIFO1 отражена на рис.2.4 .

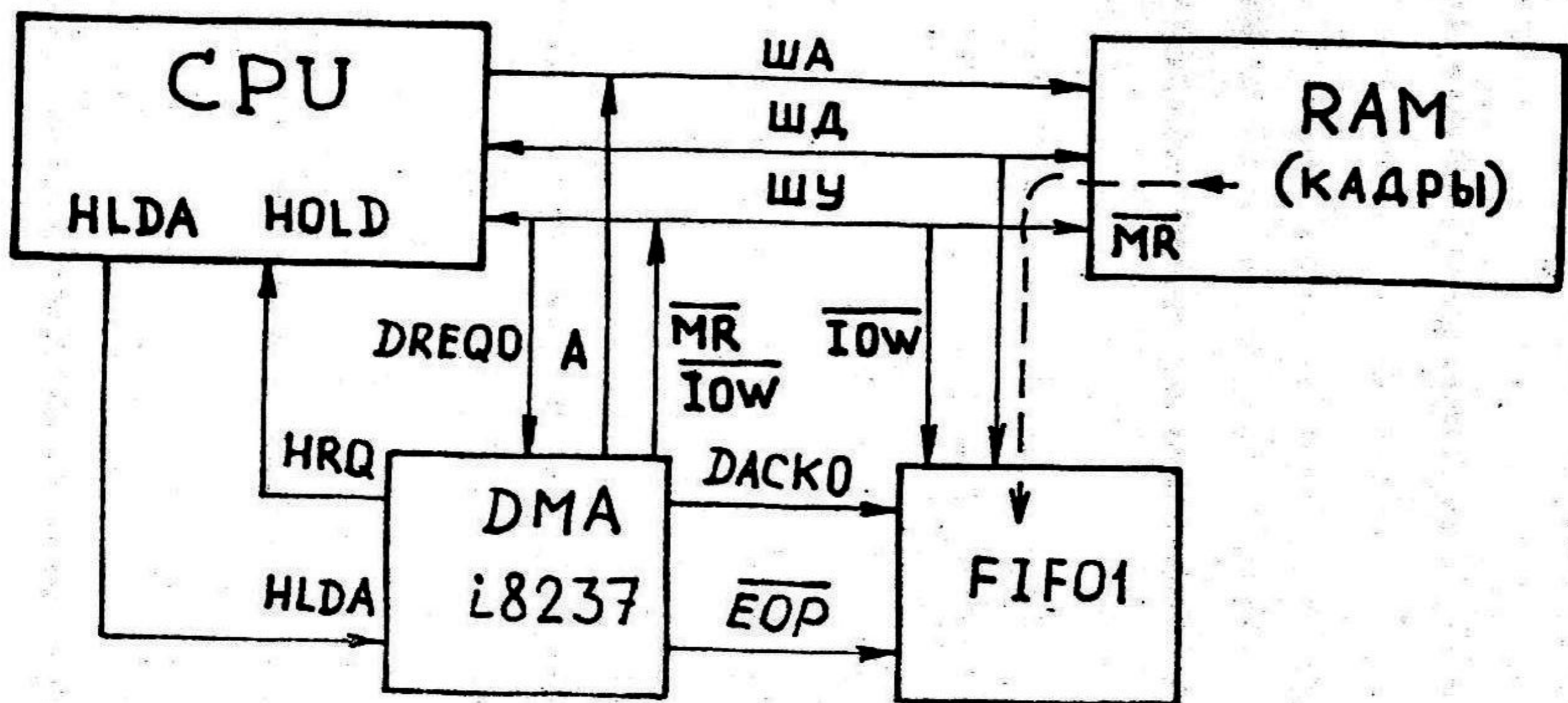


Рис. 2.4. Организация канала ПДП

После инициализации контроллера DMA процессор выдает ему программный запрос DREQ0. Обнаружив этот запрос, контроллер DMA выставляет сигнал HRQ на захват системной шины и ожидает от CPU подтверждения захвата шины (сигнала HLDA).

При получении сигнала HLDA контроллер берет на себя управление системной шиной и начинает выполнять циклы ПДП в режиме блочной передачи (рис. 2.5):

- на адресную шину выставляет начальный адрес ячейки RAM, с которого расположены передаваемые кадры;
- сигналом DACK0 уведомляет буфер FIFO1 блока передачи о начале циклов ПДП;
- выдает сигналы \overline{MR} (чтение из RAM) и \overline{IOW} (запись в FIFO1);
- подготавливает и осуществляет циклы ПДП до поступления сигнала низкого уровня \overline{EOP} (завершение ПДП);
- снимает сигналы DACK0 и HRQ и возвращает системную шину процессору.

Циклы ПДП выполняются с последовательно расположенными ячейками памяти, поэтому контроллер ПДП должен иметь счетчик адреса RAM. Управление обменом осуществляется специальной логической схемой, формирующей в зависимости от типа обмена пары управляющих сигналов: \overline{MR} , \overline{IOW} (циклы чтения) и \overline{MW} , \overline{IOR} (циклы записи). Циклы чтения / вывода или записи / ввода выполняются до тех пор, пока содержимое счетчика циклов ПДП не будет равно нулю.



Рис. 2.5. Алгоритм работы блока DMA

2.1.2. Буфер FIFO1

Буфер типа FIFO (“ первым пришел - первым вышел ”) имеет организацию 22 x 8 байт. В буфере одновременно могут быть записаны два кадра формата, показанного на рис. 2.2. Управление буфером осуществляется с помощью двух счетчиков (Сч ЧТ и Сч ЗП), асинхронного триггера управления ТУ и схемы анализа СА (рис. 2.6.).

Буфер FIFO1 одновременно может работать по двум каналам : записывать "новый" кадр по нулевому каналу DMA через вход DI и считывать "старый" кадр в узел последовательного интерфейса (УПИ) через выход DO . Работой канала записи управляют триггер ТУ и счетчик Сч ЗП , канала считывания - счетчик Сч ЧТ .

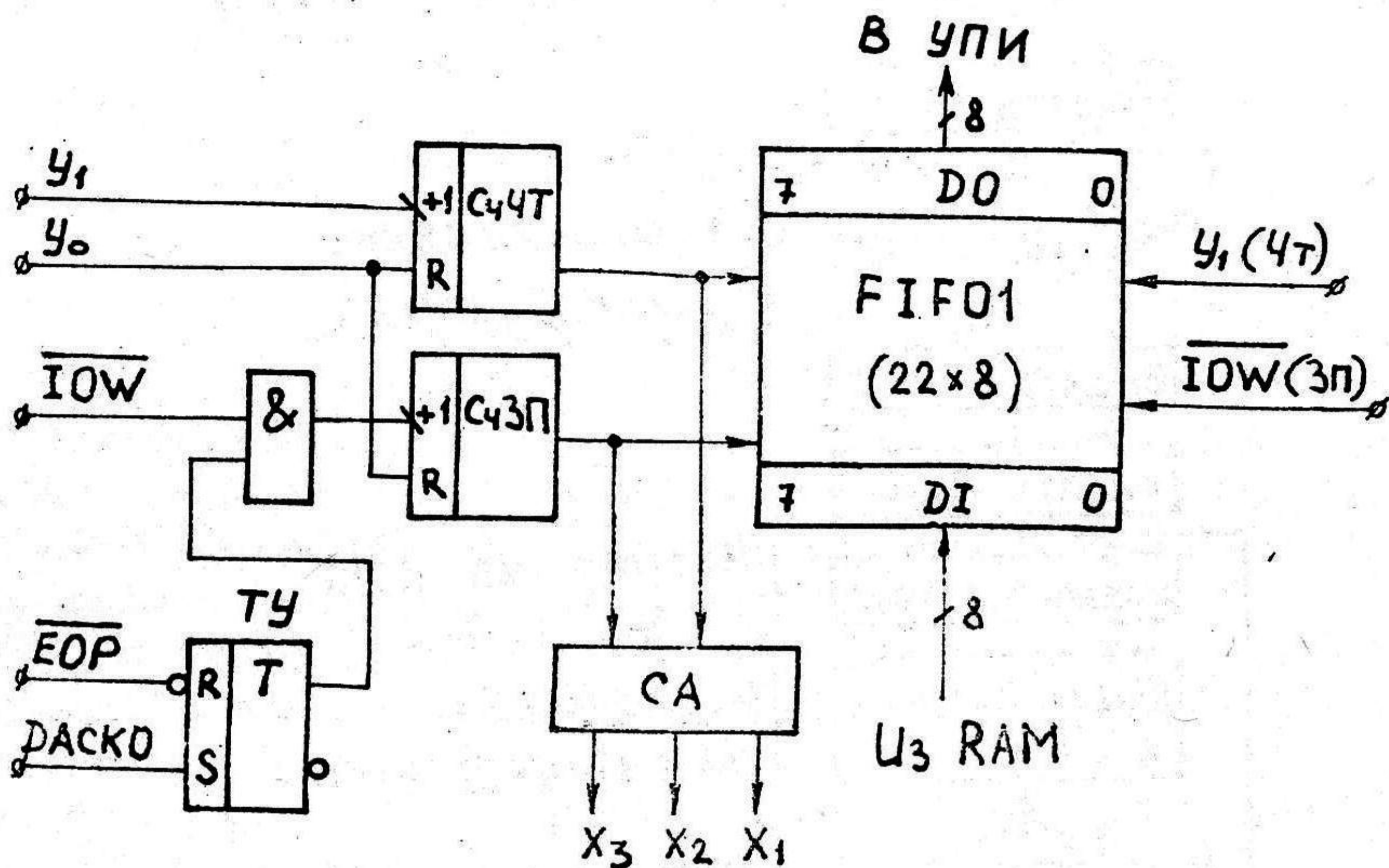


Рис . 2 . 6 . Функциональная схема буфера FIFO

Перед началом работы по сигналу y_0 оба счетчика обнуляются . Сигналом DACK0 устанавливается в единицу триггер управления , разрешая тем самым работу счетчика Сч ЗП . С поступлением от DMA каждого сигнала \overline{IOW} происходит запись в буфер очередного байта кадра и увеличение содержимого счетчика Сч ЗП на единицу . После выработки сигнала \overline{EOP} триггер ТУ сбрасывается и работа по каналу записи в FIFO1 прекращается .

Работой канала считывания байтов из FIFO1 управляет местное устройство управления МУУ1 с помощью управляющего сигнала y_1 .

Схема анализа вырабатывает три осведомительных сигнала : X_1 - буфер FIFO1 пуст ; X_2 - буфер полон ; X_3 - буфер полон на половину . Эти сигналы запоминаются в регистре состояния адаптера .

2.1.3. Узел последовательного интерфейса

Основой УПИ является 88 - битовый сдвиговый регистр РК временного хранения передаваемого в моноканал кадра. Заполнение полей этого регистра перед передачей кадра осуществляется под управлением МУУ1. Поля флагов (F) и адреса исходной станции (SA) хранятся в микросхеме постоянной памяти (ROM), управляемой с помощью счетчика адреса Сч А. Поля DA , AC и D кадра выбираются из буфера FIFO1 (рис. 2.6).

Как только местный блок управления МУУ1 обнаружит в буфере FIFO1 поступивший для передачи кадр (X3 = 1), он начинает заполнение полей регистра РК. Последним заполняется 16 - битовое поле контрольной суммы КС. Формирование значения контрольной суммы происходит с помощью накапливающего сумматора НСМ и мультиплексора MX1 (рис. 2.7).

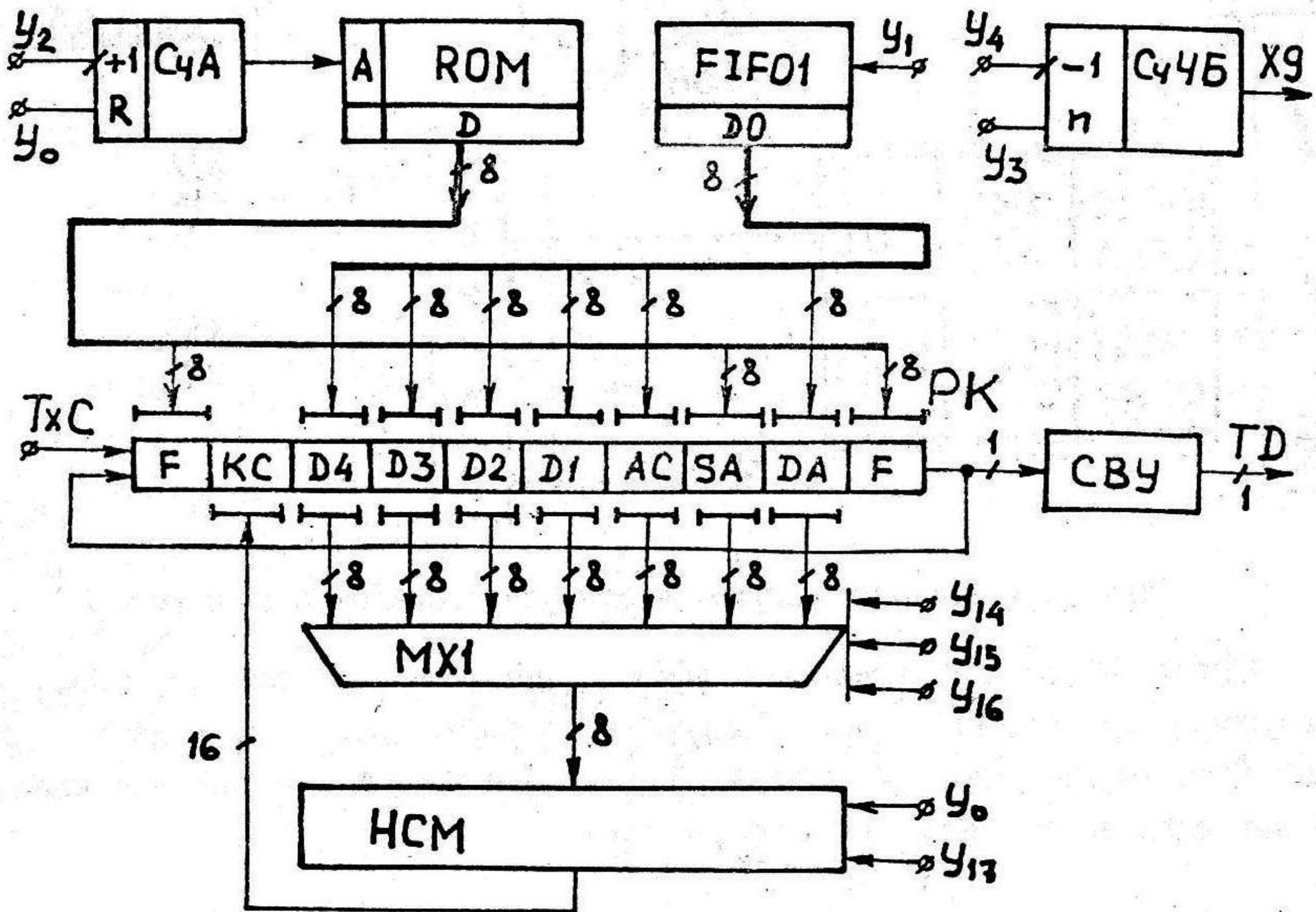


Рис. 2.7. Функциональная схема УПИ

Перед выдачей кадра в сеть в счетчик числа бит кадра Сч ЧБ записывается код 88. Затем проверяется активность среды (сигнал CRS). Если среда свободна, начинается поразрядное выдвигание содержимого регистра РК вправо. Передача кадра завершается после того, как счетчик

Сч ЧБ достигнет нулевого значения ($X9 \doteq 1$). Последовательный двоичный код проходит через схему вставки нулей (СВН), которая осуществляет процедуру "битстаффинга" между двумя флаговыми ограничителями [10,13].

2.1.4. Узел обработки коллизий

В процессе передачи кадра в сеть устройство управления МУУ1 анализирует сигнал CDT с детектора коллизий. При $CDT = 1$ передача кадра в сеть прекращается, а в сеть выдается сигнал "затвор" из 14 подряд идущих единиц. Этот сигнал поступает из кольцевого сдвигового регистра P3 через мультиплексор MX2 (рис. 2.8.).

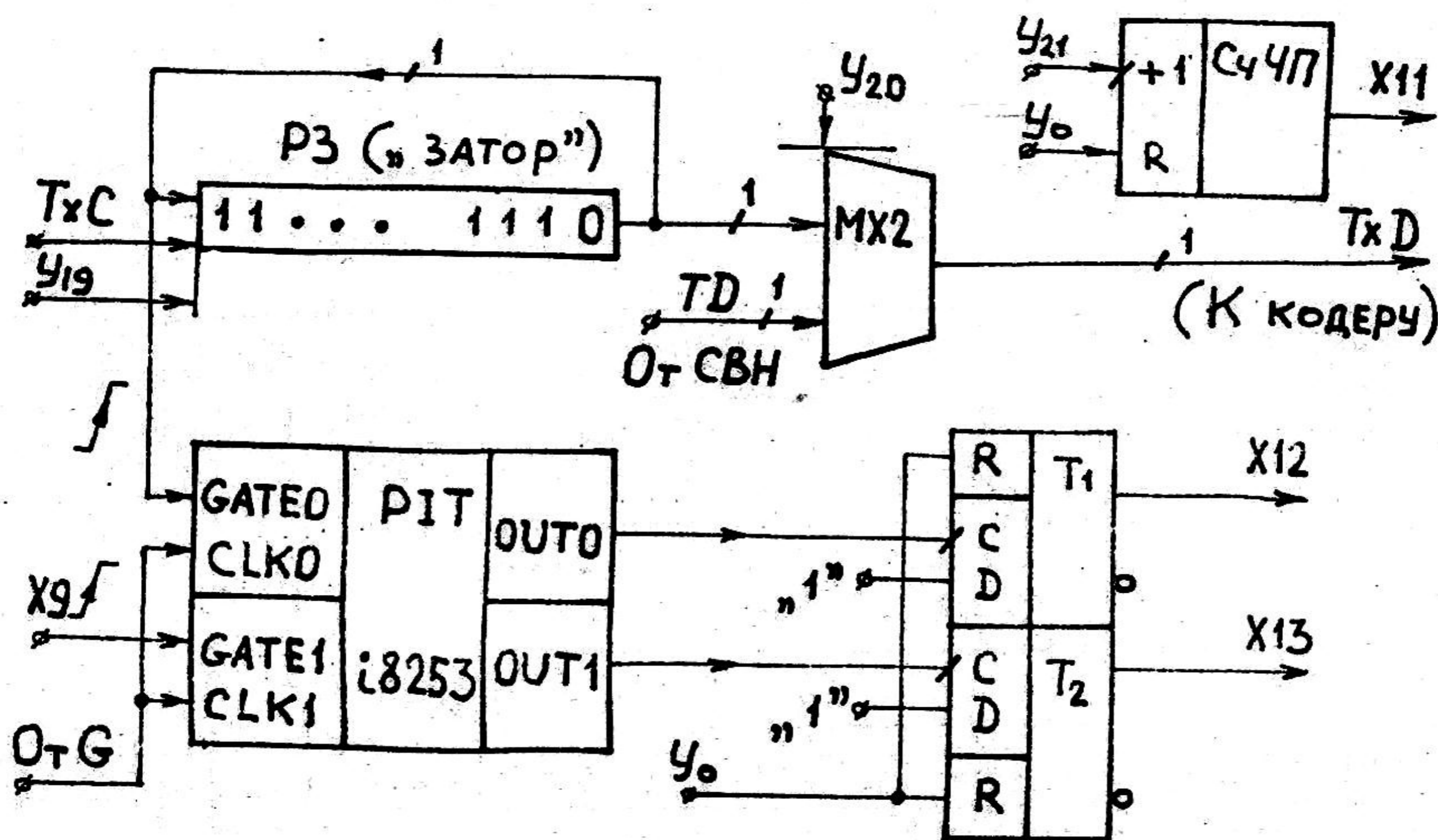


Рис. 2.8. Функциональная схема узла обработки коллизии

Сигнал "затвор" усиливает эффект коллизии с тем, чтобы ее обнаружили все станции сети. Следующая попытка передачи кадра в сеть может быть осуществлена с задержкой передачи, определяемой для каждой станции сети в соответствии с формулой:

$$t_3 = N \cdot T_{clk},$$

где N - номер данной станции;

T_{clk} - длительность периода тактовых импульсов.

Задержка передачи кадра организована с помощью нулевого канала интервального таймера (PIT) типа i8253 (аналог КР1810ВИ53), работающего в первом режиме [15 - 17]. Программируемый таймер i8253 включает в себя три независимых канала, каждый из которых может быть

запрограммирован на работу в одном из шести режимов для двоичного или двоично - десятичного счета .

При инициализации таймера необходимо выполнить следующие действия :

- загрузить управляющее слово с указателем режима работы таймера и номера последовательного канала ;
- загрузить в канал константу пересчета .

В первом режиме таймер работает в качестве программируемого одновибратора . На выходе OUT0 формируется сигнал низкого уровня длительностью $T \cdot n$, где T - период тактовых импульсов на входах CLK , а n - константа пересчета , загружаемая в счетчик .

На выходе OUT0 по положительному фронту сигнала GATE0 устанавливается низкий уровень сигнала , который изменяется после окончания счета . По фронту этого сигнала взводится триггер T1 . Сигнал $X12 = 1$ разрешает возобновить попытку передать кадр . Максимальное число попыток передачи кадра устанавливается с помощью счетчика числа попыток Сч ЧП . При превышении этого значения передача кадра в сеть прекращается , а на верхние уровни выдается соответствующее сообщение .

После успешной передачи кадра в сеть нужно выдержать время межкадрового интервала T_i перед передачей следующего кадра . Для этой цели используется первый канал таймера , работающий в первом режиме , и триггер T2 . Запуск первого канала таймера производится положительным фронтом сигнала X9 , поступающего с выхода счетчика бит кадра Сч ЧБ после выдачи всех разрядов сдвигового регистра РК .

Упрощенная схема алгоритма работы местного устройства управления блока передачи кадра приведена на рис . 2. 9.

Во втором блоке выполняются начальные установки элементов МУУ1 : СчА , НСМ , Сч СБ , Сч ЧП , T1 и T2. Далее в регистре РК происходит формирование кадра для его передачи в сеть . Заполнение этого регистра байтами кадра осуществляется из блоков ROM и FIFO1. Если среда свободна ($CRS = 1$) , происходит поразрядная передача кадра из регистра РК. Одновременно с этим счетчик числа переданных бит Сч ЧБ уменьшается на единицу. Конец передачи кадра наступает при появлении сигнала $X9 = 1$. После этого по первому каналу запускается таймер для отработки межкадрового интервала .

В случае возникновения при передаче кадра коллизии , формируется сигнал " затор " и выдерживается интервал времени для повторной передачи этого же кадра. Если счетчик числа попыток передачи кадра Сч ЧП исчерпан , выдается сигнал прерывания процессора IRQ для уведомления пользователя.

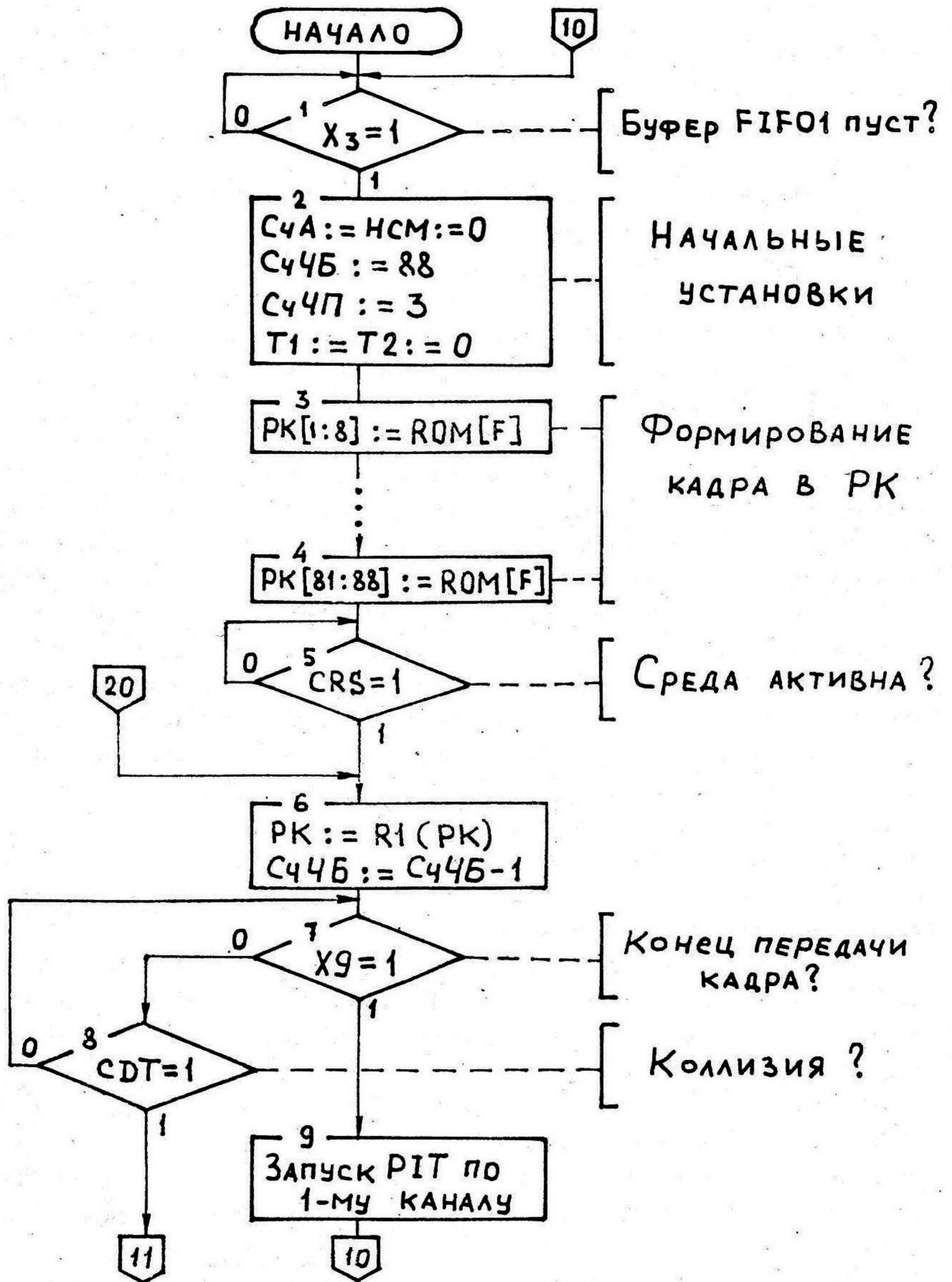


Рис. 2.9. Упрощенная схема алгоритма МУУ1 (начало)

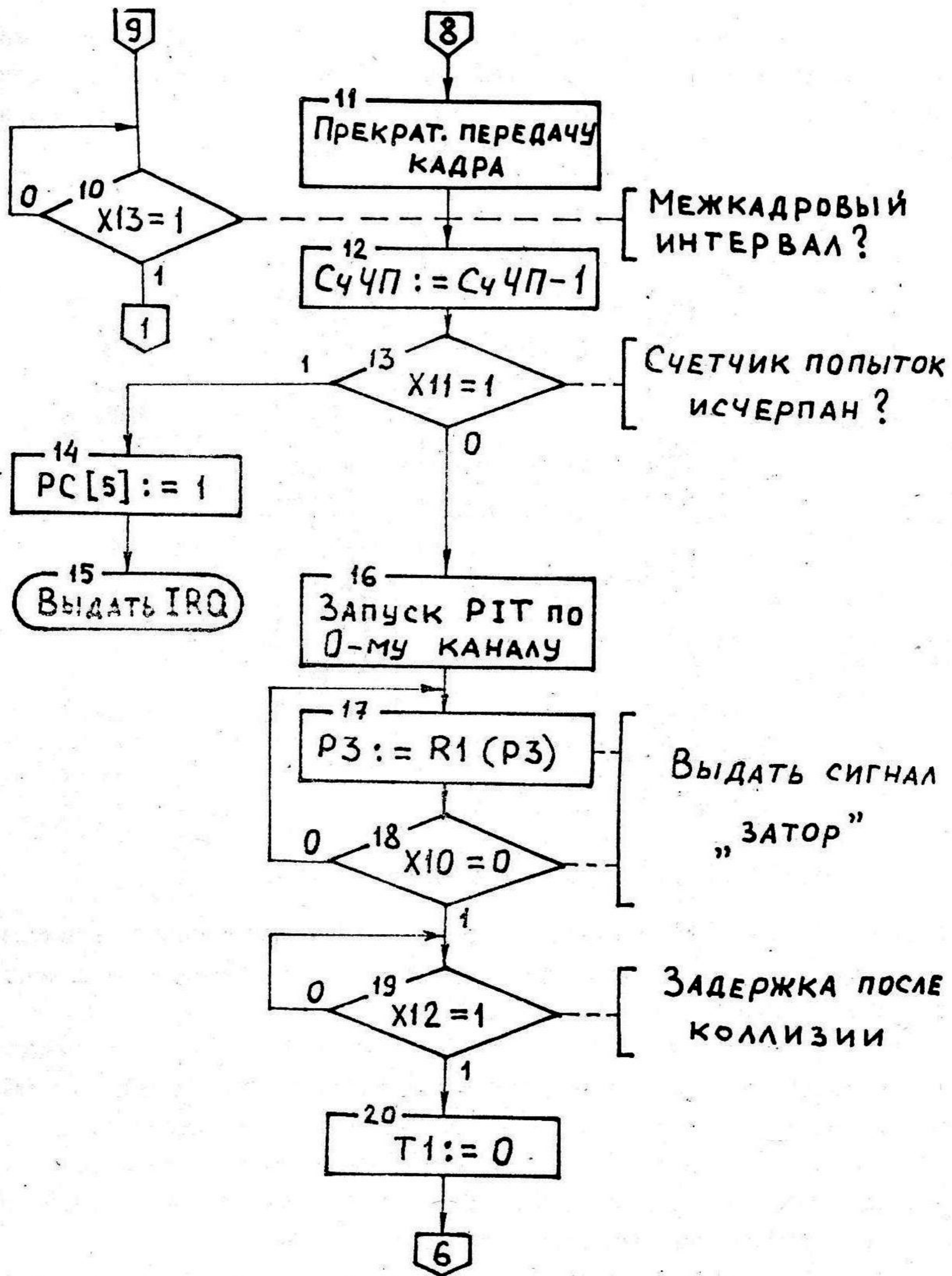


Рис. 2.9. Окончание

2.2. Кодер

Кодер предназначен для преобразования двоичного последовательного кода TxD на выходе мультиплексора $MX2$ (рис. 2.8.) в манчестерский код перед выдачей его в моноканал сети [5, 8]. Функциональная схема кодера приведена на рис. 2.10, а временная диаграмма его работы - на рис. 2.11.

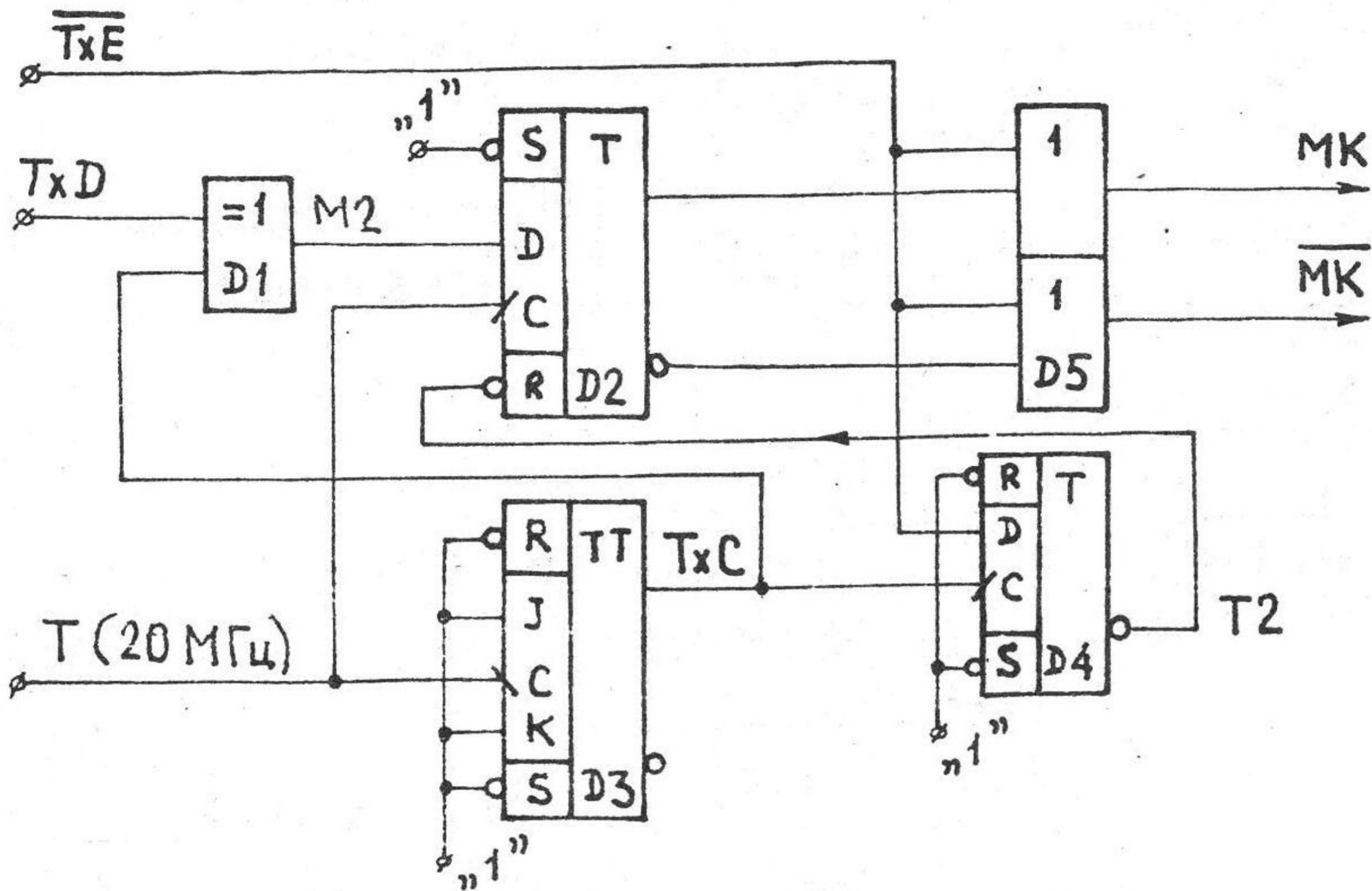


Рис. 2.10. Функциональная схема кодера

В кодере применено фазовое кодирование информации: единица кодируется отрицательным перепадом напряжения в середине битового интервала, нуль - положительным перепадом.

Сигнал опорной частоты $f_{оп} = 20$ МГц с периодом 50 нс поступает с задающего генератора G . Делитель опорной частоты на два на триггере $D3$ обеспечивает выработку импульсов синхронизации TxC блока передачи.

Сигналы TxD и TxC поступают на вход элемента $D1$ (исключающее ИЛИ), который формирует требуемый фазовый перепад напряжений для реализации манчестерского кода.

Сигнал \overline{TxE} управляет работой передатчика перед выдачей кадра в сеть. В качестве этого сигнала можно использовать выход триггера $T2$ из узла обработки коллизий (определяет длительность межкадрового интервала). При $\overline{TxE} = 0$ сбрасывается триггер $D4$ и разблокирует вход R триггера $D2$.

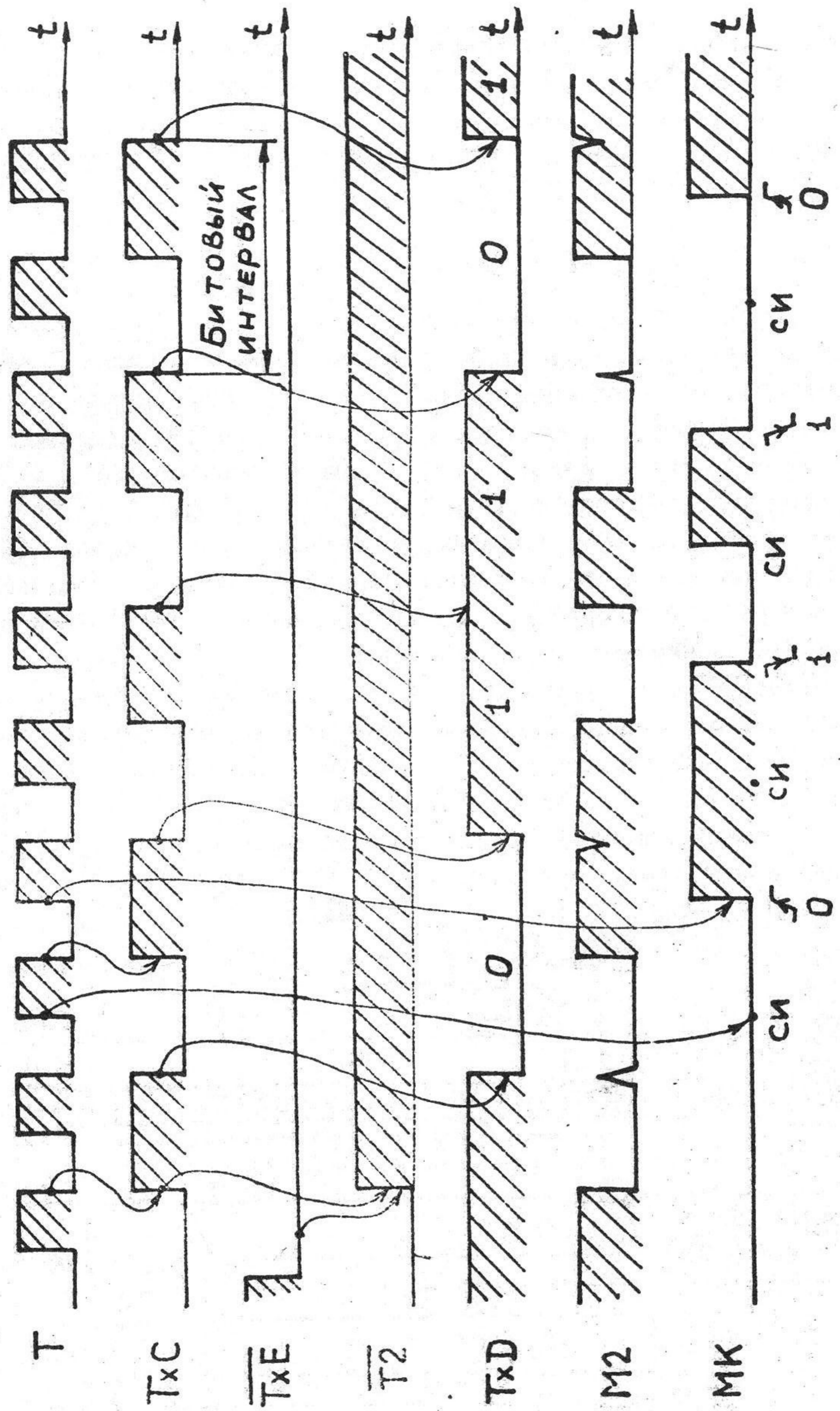


Рис. 2.11. Временная диаграмма работы кодера

Сигналы с выходов этого триггера в манчестерском коде (МК) передаются в моноканал . На триггере D2 ликвидируются возможные просечки , появляющиеся за счет задержек в элементе D1 . В случае когда сигнал $\overline{TxE} = 1$ (выдержка межкадрового интервала) , происходит блокирование выдачи данных в моноканал сети .

2.3. Блок приема кадров

2.3.1. Узел последовательного интерфейса

Местное устройство управления блоком приема кадров МУУ2 “ прослушивает ” среду передачи кадров . При поступлении сигнала несущей ($CRS = 1$) происходит прием последовательного двоичного кода кадра в сдвиговый регистр РК1 (рис . 2 . 12) . Схема удаления нулей (СУН) выполняет процедуру “ битстаффинга ” .

После приема из сети всего кадра начинается его анализ . Схема сравнения СС1 выявляет адрес назначения кадра . Если адрес DA совпадает с собственным адресом станции MA , формируется сигнал $X14 = 1$. В этом случае обработка принятого кадра продолжается .

На накапливающем сумматоре НСМ1 происходит формирование контрольной суммы принятого кадра . Вычисленная контрольная сумма сравнивается на схеме сравнения СС2 с кодом , записанным в поле КС кадра . При несовпадении кодов вырабатывается сигнал $X7 = 1$, который записывается в соответствующий разряд регистра состояния адаптера . Далее вышестоящие сетевые уровни путем прерывания CPU уведомляются о приеме кадра с ошибкой .

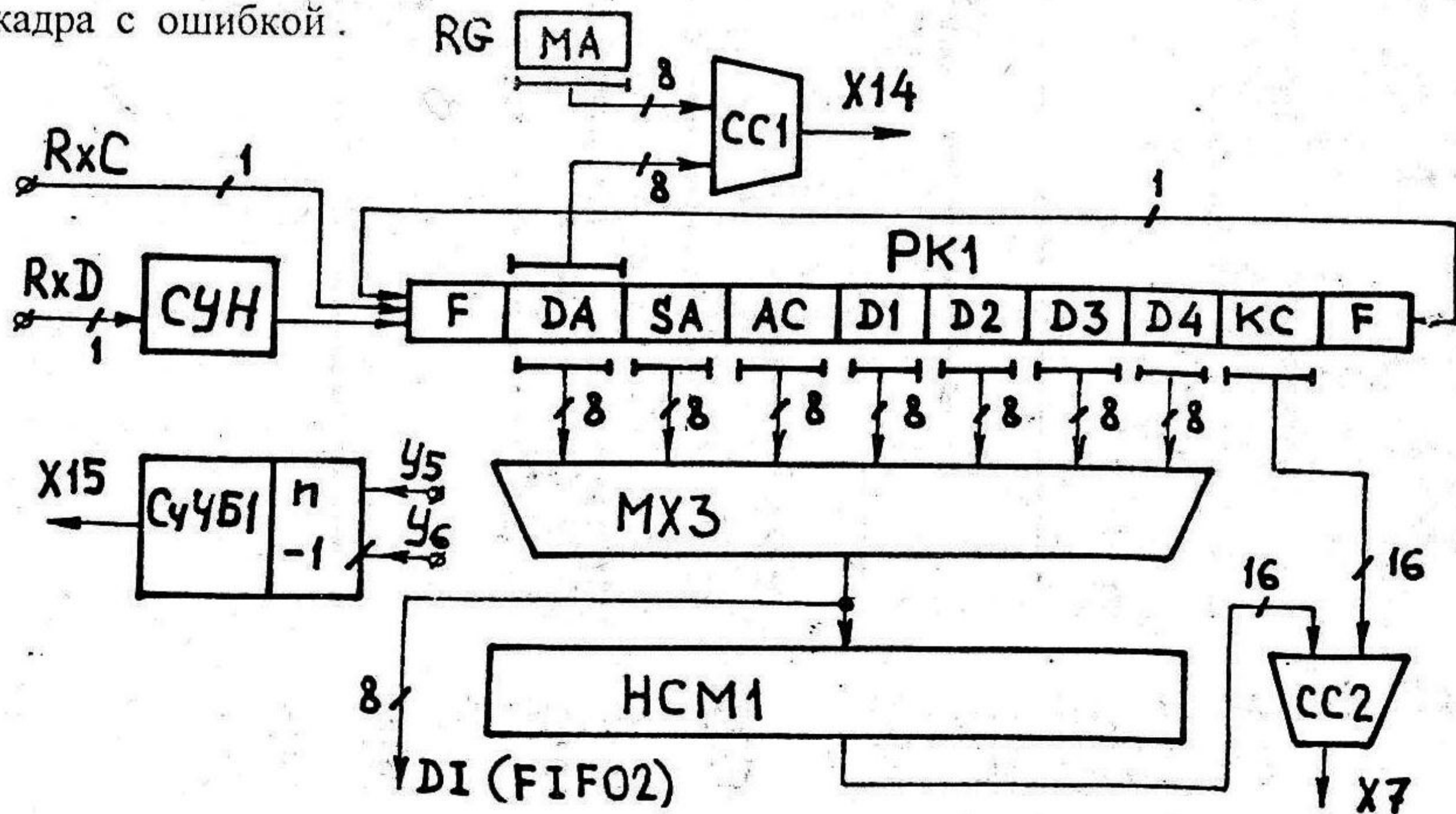


Рис . 2 . 12 . Функциональная схема УПИ

2.3.2. Буфер FIFO2

Буфер FIFO2 работает аналогично буферу FIFO1. Запись в буфер FIFO2 содержимого полей кадра SA, AC и D происходит по линии DI под управлением МУУ2. Как только запись принятого кадра будет завершена, вырабатывается сигнал $X8 = 1$, который записывается в седьмой разряд регистра состояния.

После этого вырабатывается сигнал прерывания процессора IRQ. Процессор после прерывания работы основной программы передает управление подпрограмме обслуживания прерывания от сетевого адаптера. Эта подпрограмма, прочитав содержимое регистра состояния, выясняет причину прерывания и организует прием кадра из буфера FIFO2 в RAM под управлением контроллера DMA по первому каналу. В каждом цикле ПДП контроллер DMA вырабатывает сигнал \overline{IOR} для чтения из FIFO2 и \overline{MW} для записи в RAM. Завершение приема кадра в RAM происходит при низком уровне сигнала \overline{EOP} , формируемым контроллером.

2.4. Декодер

Декодер сетевого адаптера выполняет функцию преобразования самосинхронизирующегося манчестерского кода в двоичный код. Функциональная схема декодера приведена на рис. 2.13.

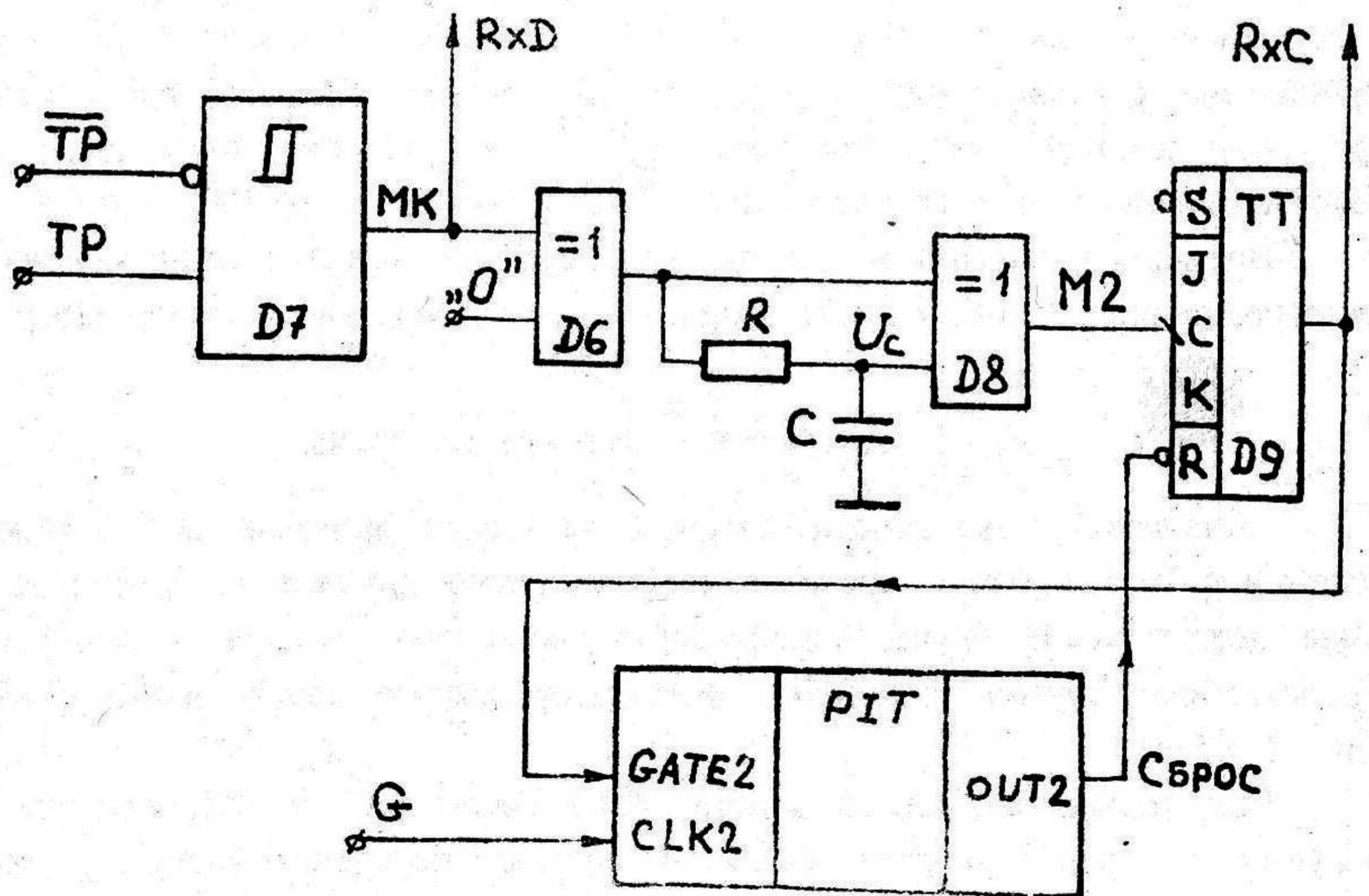


Рис. 2.13. Функциональная схема декодера

Триггер Шмитта, собранный на элементе D7, позволяет преобразовать сигналы с пологими фронтами, поступающими из моноканала через импульсный трансформатор (ТР), в импульсы с крутыми фронтами, а также отфильтровать помехи, проникающие по цепям питания. В качестве триггера Шмитта может быть использована микросхема К155ТЛ1 или К555СА3 [18].

На элементах D6, D8, резисторе R и конденсаторе C выполнен детектор положительного и отрицательного фронтов сигнала, поступающего с триггера Шмитта. На выходе элемента D8 (исключающее ИЛИ) происходит формирование короткого положительного импульса всякий раз, когда на вход детектора поступает очередной фронт или спад сигнала RxD. Длительность импульса в первом приближении может быть рассчитана по формуле $T_i = R \cdot C$.

В исходном состоянии (при отсутствии передаваемого в моноканал сигнала) на выходе триггера Шмитта постоянно присутствует высокий уровень напряжения. Появление сигнала низкого уровня свидетельствует о приходе стартового бита. Детектор обнаружит спад стартового бита и формирует импульс M2 положительной полярности.

По заднему фронту этого импульса срабатывает JK-триггер D9, с выхода которого поступает сигнал RxC. Этот сигнал приходит на вход GATE2 таймера D10 и инициализирует работу счетчика второго канала в четвертом режиме. Через время t таймер вырабатывает импульс отрицательной полярности, сбрасывающий триггер D9 в нулевое состояние. При этом возникает спад сигнала RxC, по которому происходит прием информационного бита со входа RxD в приемный регистр PK1.

Временная диаграмма работы декодера при преобразовании кода 0110 показана на рис. 2.14. Другой вариант схемы декодера приведен в [5].

2.5. Анализатор активности среды

Анализатор активности среды (занятости моноканала) выполняет "слежение" за уровнем составляющей входного сигнала на линии RxD на входе детектора. В случае обнаружения активного сигнала в моноканале, передаваемого другой станцией, анализатор вырабатывает сигнал $CRS = 1$ (рис. 2.15).

Как только сигнал на линии RxD перейдет из верхнего уровня к нижнему, что свидетельствует о начале передачи кадра, вход В одновибратора К155АГ3 станет отличен от нуля [18]. При этом на выходе одновибратора формируется короткий импульсный сигнал АСТIV положительной полярности. Этот сигнал устанавливает в единичное состояние

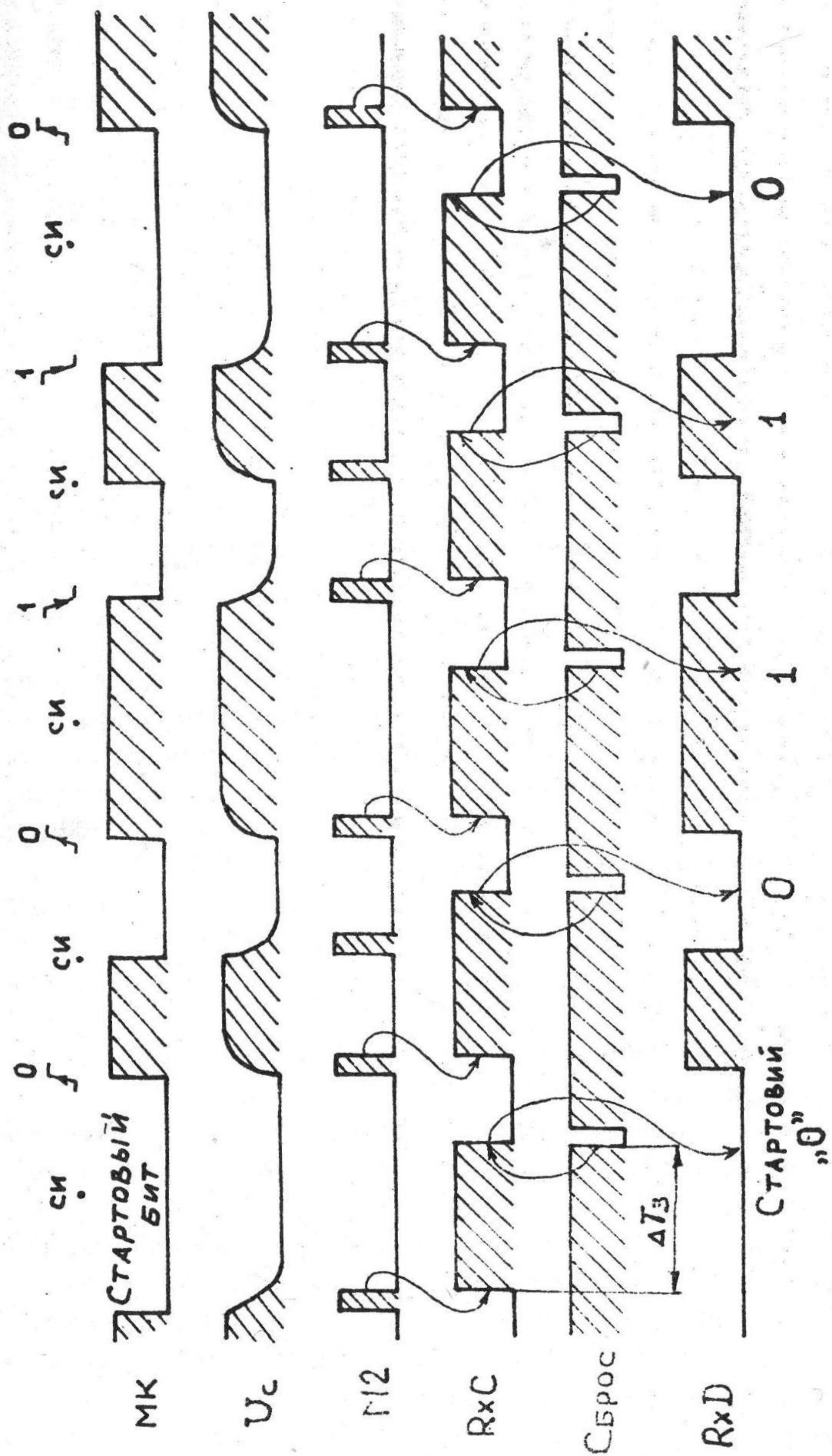


Рис. 2.14. Временная диаграмма работы декодера

триггер (сигнал CRS), инициализирующий процесс приема кадра из моноканала в регистр PK1.

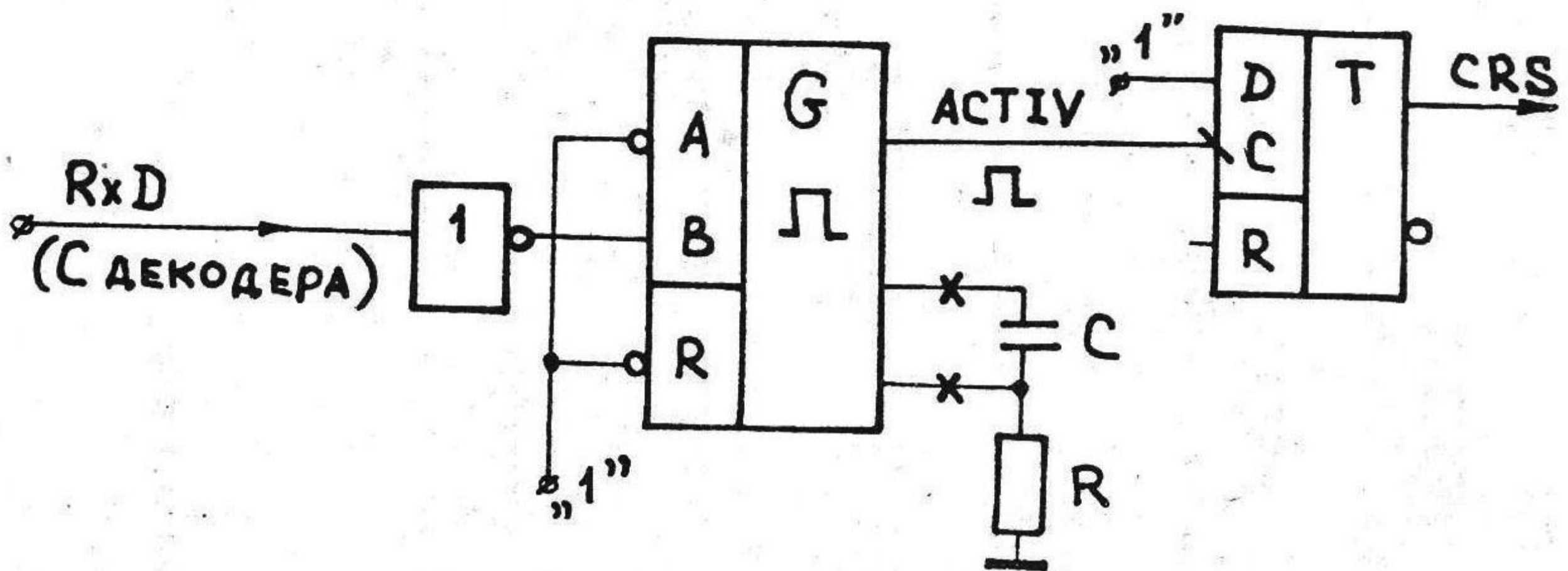


Рис. 2.15. Функциональная схема анализатора среды

2.6. Детектор коллизий

Анализатор коллизий сетевого адаптера выполняет функцию обнаружения одновременной передачи в моноканале двумя и более станциями.

Идея работы анализатора состоит в следующем. В манчестерском коде в средней части каждого битового интервала происходит перепад напряжения. Детектор фиксирует этот перепад и выдает кратковременный импульс положительной полярности. При конфликте в моноканале происходит наложение сигналов, поэтому один из фронтов принимаемого результирующего сигнала будет потерян. Анализатор коллизий должен выявить эту ситуацию и сформировать сигнал CDT о наличии в сети коллизии.

Рассмотрим функциональную схему анализатора коллизий (рис. 2.16) и временную диаграмму его работы (рис. 2.17).

Триггер D11 разрешает работу анализатора в режиме передачи информации в моноканал. При настройке адаптера на прием кадров работа анализатора блокируется.

Триггер D18 обеспечивает выработку сигнала разрешения срабатывания одновибратора D12, собранного на микросхеме K155AG3. Триггер переключается в единичное состояние по заднему фронту сигнала детектора M2 при наличии на входе J сигналов T·TxС·TP. Сброс триггера D18 происходит по R входу при поступлении сигнала T·TxС.

Сигнализатор конфликта D12 вырабатывает импульсный сигнал положительной полярности AG3 при выполнении следующих условий: на входах R и B сигналы верхних уровней, а на входе A - переключение с верхнего на нижний уровень.

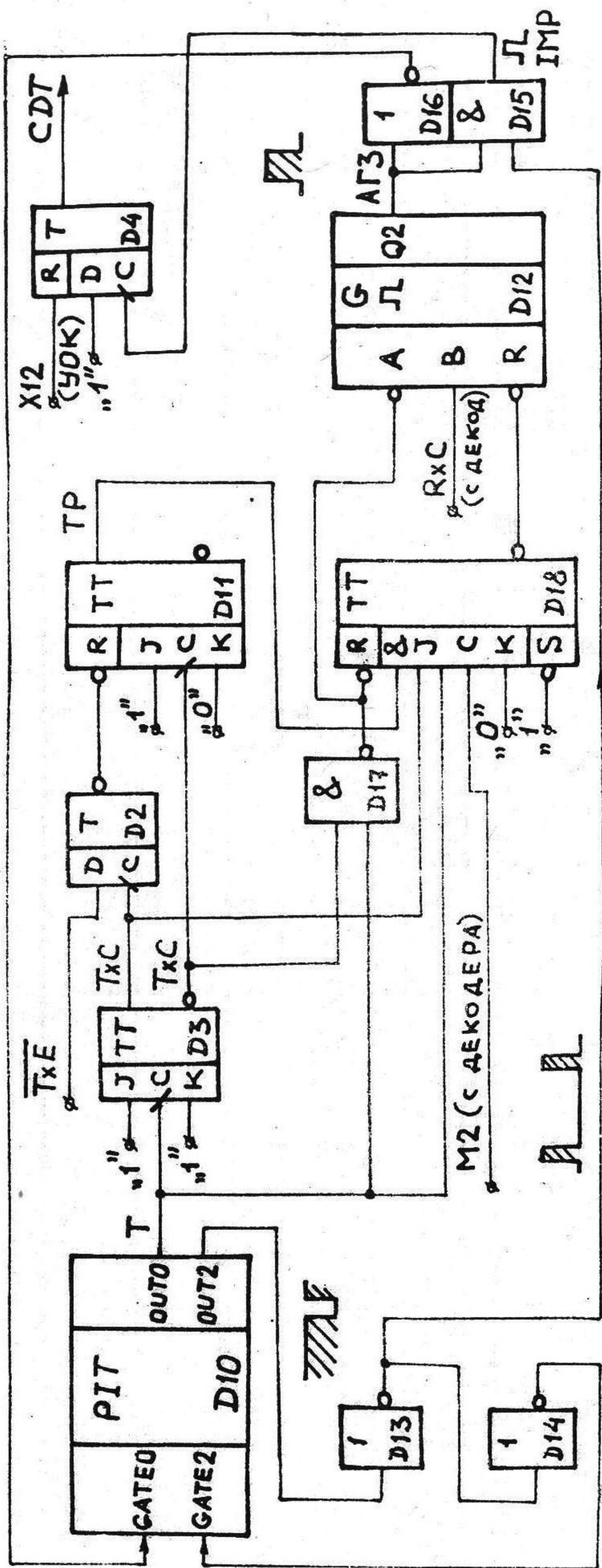


Рис. 2.16. Функциональная схема анализатора коллизий

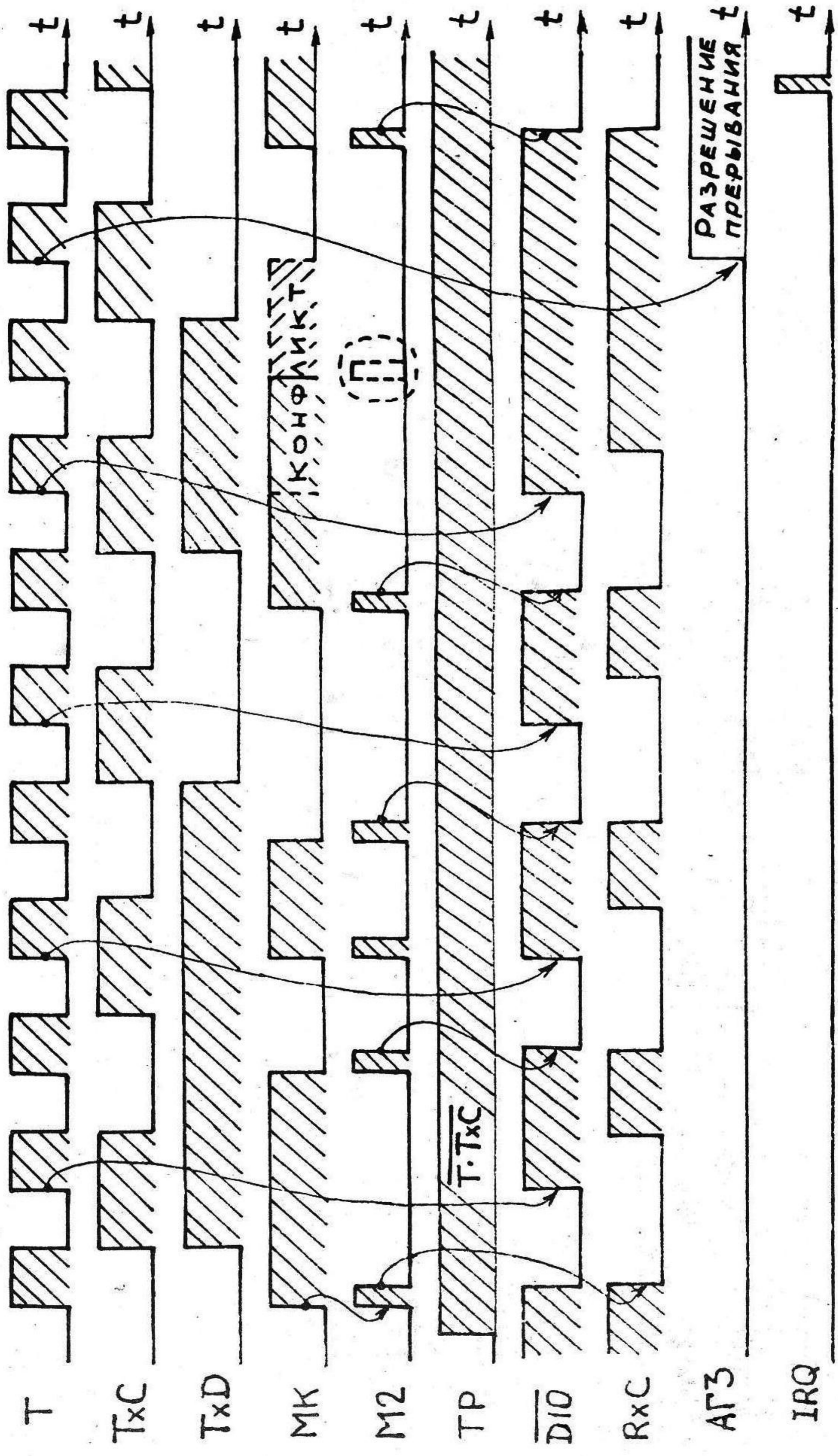


Рис. 2.17. Временная диаграмма работы анализатора коллизий