

ИССЛЕДОВАНИЕ ПРЕОБРАЗОВАТЕЛЯ КОД - ЧИСЛО  
ИМПУЛЬСОВ

Цель работы: изучение принципов работы и приобретение практических навыков исследования преобразователя код - число импульсов.

I. Общие методические указания [1, 2]

Преобразователи код - число импульсов (ПКЧ) обеспечивают на выходе определенное число импульсов в зависимости от управляющего двоичного кода на входе. Такие преобразователи находят применение в измерительной технике, для управления шаговыми двигателями, умножения величин, одна из которых представлена частотой импульсов, а другая - двоичным кодом.

Примером микросхемы ПКЧ может служить схема K155 ИЕ8.

Упрощенная схема преобразователя код - число импульсов приведена на рис. 1. Она содержит синхронный трехзарядный счетчик и ряд логических цепей. К инверсному выходу  $Q_i$  каждого триггера счетчика подключена ячейка И (ИЗ, И4, И5), сигнал на выходе которой может быть равен единице только тогда, когда данный триггер находится в нуле, а все предыдущие триггеры - в единице.

Как видно из рис. 1, на входы всех элементов И подаются внешние управляющие сигналы  $V_0 - V_2$ , разрешающие или запрещающие единичные сигналы на выходах этих элементов. Сигналы  $V_0 - V_2$  могут быть поданы, например, с тумблерного регистра установки УМII.

Если  $V_0 = V_1 = V_2 = 1$ , то при счете синхронным счетчиком импульсов, имеющих опорную частоту  $f$ , на выходах ИЗ-И5 появятся не совпадающие во времени импульсы с частотами  $4f/8$ ,  $2f/8$  и  $f/8$ .

Единичные значения полученных сигналов никогда не будут совпадать друг с другом во времени, что видно из временной диаграммы на рис. 2. Если, например, рассмотреть элемент И5, то, как следует из рис. 1, единичные значения на его выходе будут появляться с частотой  $f/8$  в те моменты, когда первый и второй триггеры находятся в единице, а третий - в нуле. Следовательно, в эти моменты времени не могут появиться импульсы на выходах элементов ИЗ и И4, т.е. одно из условий их появления - нулевое состояние первого или второго триггера.



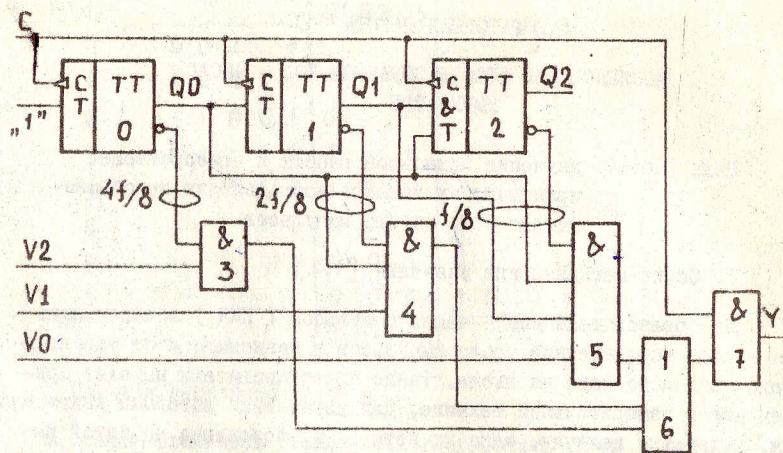


Рис. 1. Схема преобразователя код - число импульсов

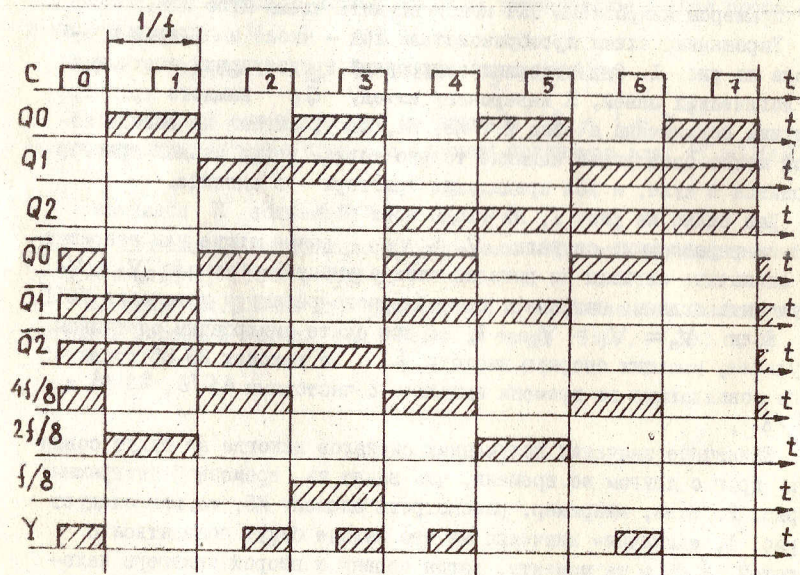


Рис. 2. Временная диаграмма работы ПКЧ при  $V_2 = 1, V_1 = 0, V_0 = 1$

Импульсы с выходов ячеек ИЗ-И5 поступают на дивьинктор 6. На выходе Y получаем импульсную последовательность

$$f_Y = V_2 \frac{4f}{8} + V_1 \cdot \frac{2f}{8} + V_0 \cdot \frac{f}{8} = \frac{f}{8} (V_2 \cdot 2^2 + V_1 \cdot 2^1 + V_0 \cdot 2^0) = \frac{f}{8} V.$$

Таким образом, на выходе ПКЧ получаем частоту  $f_Y$ , пропорциональную числу  $V$ , представленному двоичной кодовой комбинацией. На рис. 2 показана выходная последовательность  $f_Y$  для кода  $V_2 \cdot V_1 \cdot V_0 = 101$ .

## 2. Порядок выполнения работы

Разработать принципиальные электрические схемы преобразователей код - число импульсов на основе Д - и JK - триггеров стандарта УМII.

Выполнить исследования полученных схем, используя осциллограф. Привести временные диаграммы работы ПКЧ при разных значениях входных значений  $V_2, V_1$  и  $V_0$ .

## Л и т е р а т у р а

1. Потемкин И.С. Функциональные узлы цифровой автоматики. - М.: Энергоатомиздат, 1988. - 320 с.
2. Гутников В.С. Интегральная электроника в измерительных устройствах. - Л.: Энергоатомиздат. Ленингр. отд-ние, 1988. - 304 с.



ЛАБОРАТОРНАЯ РАБОТА · 10  
ИССЛЕДОВАНИЕ АРИФМЕТИЧЕСКОГО УСТРОЙСТВА  
ПОСЛЕДОВАТЕЛЬНОГО ДЕЙСТВИЯ

Цель работы: изучение принципов работы арифметического устройства последовательного действия

I. Общие методические указания [1]

Арифметические устройства (АУ) последовательного действия применяются при реализации ЭВМ, для которых быстродействие не является существенным, а основной критерий эффективности - минимум аппаратных затрат (например, калькуляторы).

Схема АУ последовательного действия содержит регистры операндов (РА и РВ), регистр сумматора (РС), одноразрядный комбинационный сумматор (SM) и триггер переноса (ПТ) (см. рис. 1). Выходы младших разрядов регистров РА и РВ соединены с входами одноразрядного сумматора SM. На последнем происходит суммирование двух младших разрядов операндов и содержимого триггера переноса ПТ.

На выходе комбинационного сумматора формируются значения суммы S и переноса P в старшую пару разрядов операндов.

По общему для всех триггеров и регистров АУ синхросигналу происходит сдвиг содержимого РА, РВ и РС вправо на один разряд. В освободившийся при сдвиге старший разряд регистра РС записывается значение суммы S, а значение переноса P поступает в триггер переноса ПТ. После этого АУ готово к суммированию следующих разрядов операндов.

Сдвиг в регистрах РА и РВ осуществляется циклический, благодаря чему после выполнения операции сложения операнды в регистрах восстанавливаются.

Работа одноразрядного комбинационного сумматора описывается таблицей истинности (рис. 2, а), где П - перенос в текущий разряд, Р - перенос в следующий разряд, а S - сумма слагаемых а и в.

Наиболее широко на практике для построения сумматора используют минимальные уравнения. Их можно получить, представив функцию S в виде  $S = f(a, b, \pi, p)$ . Минимизация функции (рис. 2, в) приводит к следующим результатам:

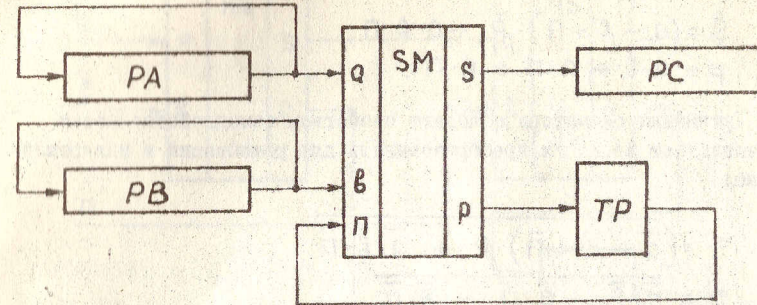


Рис. 1. АУ последовательного действия

q	в	п	р	с
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

q \ в п	00	01	11	10
0			1	
1		1	1	1

а

q \ в	00	01	11	10
00	0	*	*	1
01	1	*	0	*
11	*	0	1	*
10	1	*	0	*

б

Рис. 2. Синтез одноразрядного сумматора:

- а - таблица истинности;
- б - минимизация функции  $P = f(a, b, \pi)$ ;
- в - минимизация функции  $S = f(a, b, \pi, p)$



$$S = (a + b + n) \cdot \bar{p} + a \cdot b \cdot p,$$

$$p = a \cdot b + a \cdot n + b \cdot n.$$

Уравнения сумматора обладают свойством самодвойственности, что позволяет легко их преобразовывать для реализации в инверсной логике:

$$S = \overline{(\bar{a} + \bar{b} + \bar{n}) \cdot p + \bar{a} \cdot \bar{b} \cdot \bar{p}},$$

$$p = \overline{\bar{a} \cdot \bar{b} + \bar{a} \cdot \bar{n} + \bar{b} \cdot \bar{n}}.$$

В общем случае  $S = a \oplus b \oplus n = (a \oplus b) \oplus n$ , что определяет возможность построения  $SM$  на полусумматорах. В этом случае полусумматоры  $HS$  включаются последовательно, а перенос из  $SM$  формируется при наличии переноса в одном из  $HS$  (см. рис. 3).

Вычитание производится путем сложения с дополнительным кодом вычитаемого ( $PB$ ). Дополнительный код формируется путем преобразования кода  $PB$  в обратный код (инверсия  $PB$ ) и сложением с единицей в младшем разряде. В  $AU$  последовательного действия прибавления единицы в младший разряд производится установлением триггера переноса перед началом операции в единицу, а инвертирование  $PB$  путем сема кода с инверсного выхода триггера младшего разряда  $PB$  (см. рис. 4).

## 2. Порядок выполнения работы

1. Разработать схемы в базе элементов стенда одноразрядного сумматора:

- по минимальной формуле в базе И-НЕ;
- по минимальной формуле в базе И-НЕ и И-ИЛИ-НЕ;
- на полусумматорах.

2. Построить схемы  $AU$  последовательного действия на базе  $D$ -триггеров и с различными вариантами сумматоров по п.1.

3. В статическом режиме провести исследование функционирования  $AU$  для различных кодов  $A$  и  $B$ .

4. В динамическом режиме снять осциллограммы в точках  $A, B, n, S, P$ .

Примечание. Для синхронной работы регистров  $PA, PB$  и  $TP$ .

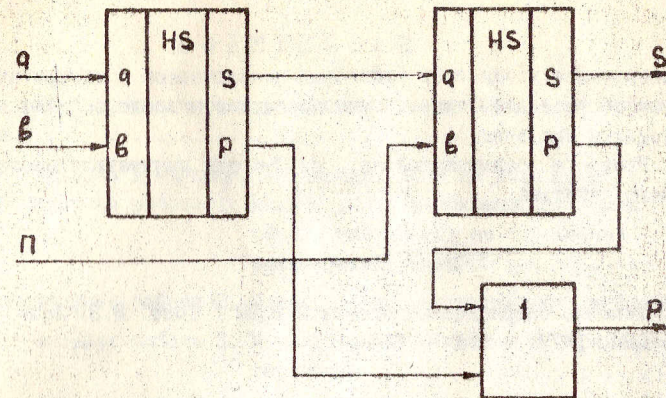


Рис. 3. Функциональная схема одноразрядного сумматора на полусумматорах

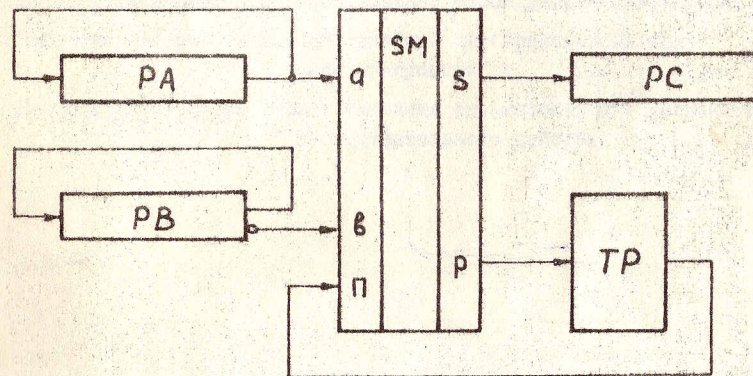


Рис. 4. Функциональная схема вычитателя последовательного действия



синхронизирующие входы всех триггеров подключаются к генератору импульсов обязательно только одним проводником после задания в них исходного значения.

5. Провести исследования по п. 2-4 для вычитателя последовательного действия.

#### Список литературы

1. Типовые операционные элементы ЭЦМ / Сост. В.В. Лапко. - Донецк: ДПИ, 1977. - Ч. I. - 134 с.

#### СОДЕРЖАНИЕ

Общие методические указания к выполнению лабораторных работ .....	3
Правила коммутации логических схем на установке .....	6
Лабораторная работа 1. Исследование комбинационных схем общего назначения на логических элементах серии К155 .....	8
Лабораторная работа 2. Исследование многорежимных регистров .	19
Лабораторная работа 3. Исследование счетчиков с параллельным переносом .....	26
Лабораторная работа 4. Исследование полиномиальных счетчиков.	30
Лабораторная работа 5. Исследование счетчика Джонсона .....	33
Лабораторная работа 6. Исследование пересчетных схем .....	37
Лабораторная работа 7. Исследование узлов перемножения полиномов .....	41
Лабораторная работа 8. Исследование узлов деления полиномов .	44
Лабораторная работа 9. Исследование преобразователя код - число импульсов .....	47
Лабораторная работа 10. Исследование арифметического устройства последовательного действия ..	50



Методические указания  
и задания к лабораторным работам  
по курсу "Теория проектирования ЭВМ и систем"  
(для студентов специальности 22.01)

Составители: Владимир Васильевич Лапко  
Юрий Владимирович Губарь  
Сергей Александрович Ковалев  
Леонид Иванович Дорожко

Редактор Л.Н. Полчанинова  
Корректор Н.А. Филярская  
Техн. редактор С.Х. Аниськова

---

Пл. изд. № 56 1989 г.

Подп. в печать 26.01.90. Формат 60×84<sup>1/16</sup>. Бумага *тилограф. и р.* Офсетная печать.  
Усл. печ. л. 3,25 . Усл. кр.-отт. 3,37 . Уч.-изд. л. 3,42 , Тираж 300 экз.  
Заказ № 9/15 . Бесплатно.

Донецкий политехнический институт, 340000, Донецк, ул. Артема, 58.

---

ДМПП, 340050, Донецк, ул. Артема, 96.