

УДК 004.032.26 + 004.891.3

ДИАГНОСТИКА И ОБНАРУЖЕНИЕ НЕИСПРАВНОСТЕЙ В АНАЛОГОВЫХ ИНТЕГРАЛЬНЫХ СХЕМАХ С ИСПОЛЬЗОВАНИЕМ ИСКУССТВЕННЫХ НЕЙРОННЫХ СЕТЕЙ И МЕТОДА ПСЕВДОСЛУЧАЙНОГО ТЕСТИРОВАНИЯ

Коваленко И.А., Ковалев А.М., Лобанов Е.В., Зинченко Ю.Е., Ханаев В.В.

Донецкий национальный технический университет, Украина

E-mail: futurecoming@inbox.ru

Аннотация

Коваленко И.А., Ковалев А.М., Лобанов Е.В., Зинченко Ю.Е. Диагностика и обнаружение неисправностей в аналоговых интегральных схемах с использованием искусственных нейронных сетей и метода псевдослучайного тестирования. В данной статье рассматривается методика обнаружения ошибок в аналоговых интегральных схемах с использованием эталонной цепи, реализованной на базе опережающих нейронных сетей. Также приводится описание новой методики обнаружения и изолирования неисправностей аналоговых ИС, что приводит к значительному повышению эффективности тестов и последующему сокращению производственных затрат. Данная проблема освещается в докладе, прочитанном на конференции 2004 года по электро- и компьютерной инженерии.

Введение

В связи с растущей сложностью и уменьшением размеров аналоговых устройств свойства интегральных схем (ИС) становятся все более чувствительными к различным отклонениям параметров, заложенным еще на стадии производства. Таким образом тестирование и проверка работоспособности схем становится одним из главных стоимостных факторов на протяжении всей стадии производственных затрат. **Целью** диагностики является устранение тестовых неточностей и сокращение количества работоспособных устройств, идентифицированных как негодные тестовой программой. Тестовая модель и техника встроенного самоконтроля (ТВСК) уже привлекла внимание современных инженеров и должна помочь сократить вероятные трудности, связанные с тестированием.

В настоящее время существует множество методов и устройств обнаружения неисправностей в интегральных схемах. Однако практически все эти методики применяются на этапе массового производства. Данная статья рассматривает, каким образом возможно обнаружить дефекты на производственной стадии, выявить неработоспособные устройства среди множества работоспособных и не допустить попадания неисправных устройств на рынок. В этом заключается **актуальность** предлагаемого метода.

Существует очевидная необходимость снижения стоимости тестирования с помощью техники встроенного самоконтроля для систем на кристалле, а также совершенствование тестового покрытия и поддержки тестируемых моделей. В большинстве случаев ТВСК основана на оптимизации тестовой модели на различных уровнях. Некоторые методики предлагают использование способности распознавания образов искусственными нейронными сетями с целью диагностики неисправностей, мониторинг токов утечки и тестирование аналоговых и аналого-цифровых устройств путем контроля источника питания. Описанная в данной статье методика отталкивается от использования псевдослучайного генератора белого шума как генератора тестовых шаблонов (тестовых последовательностей), а также моделирования эталонного объекта (схемы). В данном случае эталонный объект реализован в качестве многоуровневой опережающей нейронной сети, обученной при

помощи алгоритма обратного распространения ошибок (АОРО).

Белый шум представляет собой шум с постоянством средних параметров, таких как интенсивность, спектральная плотность. Спектральные составляющие такого шума равномерно распределены по всему диапазону задействованных частот. Примером белого шума может служить шум воды, водопада, толпы людей.

Метод обратного распространения ошибки заключается в распространении сигналов ошибки от выходов тестируемой модели к ее входам [2], в данном случае, с целью формирования разностей между фактическими и желаемыми (целевыми) значениями выходов сети. Данный метод применяется при реализации моделей схем, входящих в состав системы диагностики, о чем речь пойдет далее.

Стратегия тестирования

Неисправности аналоговых интегральных схем могут быть как катастрофическими, так и параметрическими (выход параметров за допустимые пределы). В большинстве случаев причиной предшествующего отказа служит физический дефект, который изменяет топологию чипа (короткое замыкание), причиной же последующего отказа являются различные изменения параметров устройств. В общем случае чип, подверженный катастрофическим неисправностям, становится неработоспособным, что делает такие неисправности легко обнаруживаемыми. С другой стороны при параметрических неисправностях работоспособность чипа не нарушается, однако снижается эффективность и, вероятно, правильность выполнения операций.

Существует зона приемлемого поведения схемы, которая граничит с номинальной. В этом регионе работоспособность устройства не соответствует техническим требованиям, однако не вызывает полный отказ. Наконец существуют ошибки, приводящие к полному выходу из строя. Следовательно, можно представить распределение (таксономию) аналоговых неисправностей, как показано на рисунке 1. В связи с этим необходимо выбирать подмножество неисправностей, которое будет наиболее полно соответствовать списку вероятных.

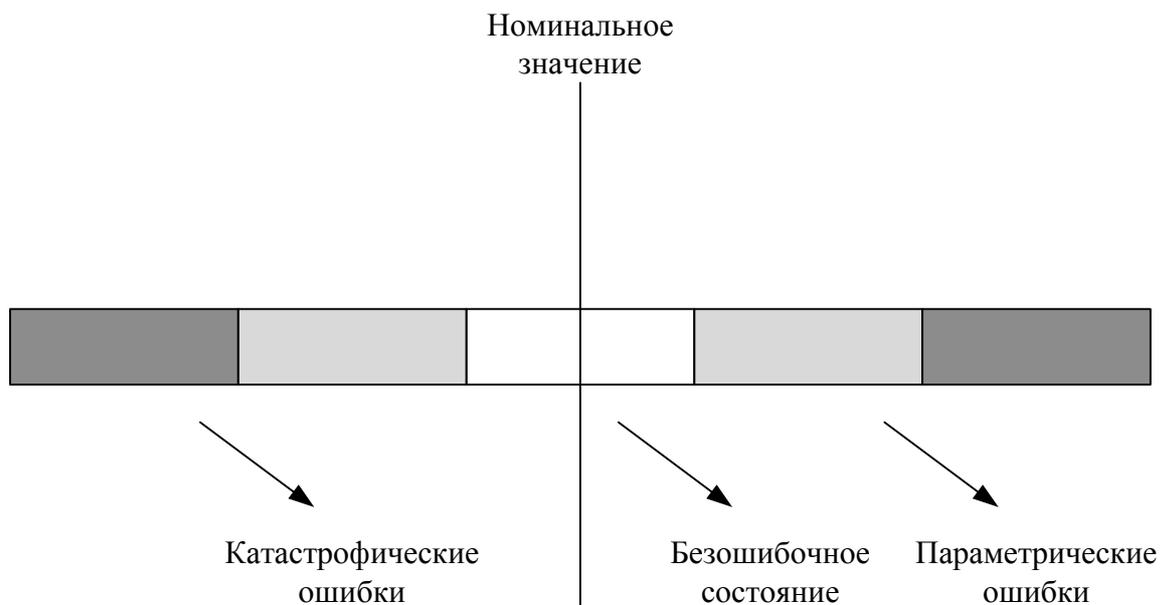


Рисунок 1 – Таксономия аналоговых неисправностей

В данной статье предлагается техника тестирования на основе модели, требующей простого измерения выходных значений. Основная идея заключается в сравнении тестируемой схемы с математической моделью, не содержащей ошибок и реализованной с использованием простой многоуровневой искусственной нейронной сети, обученной при помощи алгоритма обратного распространения ошибок. Предложенная стратегия основана на возбуждении тестируемого аналогового устройства белым шумом и последующим измерением кратковременных ответных сигналов на выходных ножках схемы.

Преимущество использования псевдослучайного шума заключается в том, что тестирование производится через главные входы и выходы схемы. Это позволяет снизить количество проверяемых и эталонных цепей и участков и, таким образом, сократить структуру тестируемой модели. Рисунок 2 упрощенно отображает предлагаемую систему диагностики неисправностей аналоговых ИС, использующую моделируемое обнаружение ошибок с последующим их изолированием.

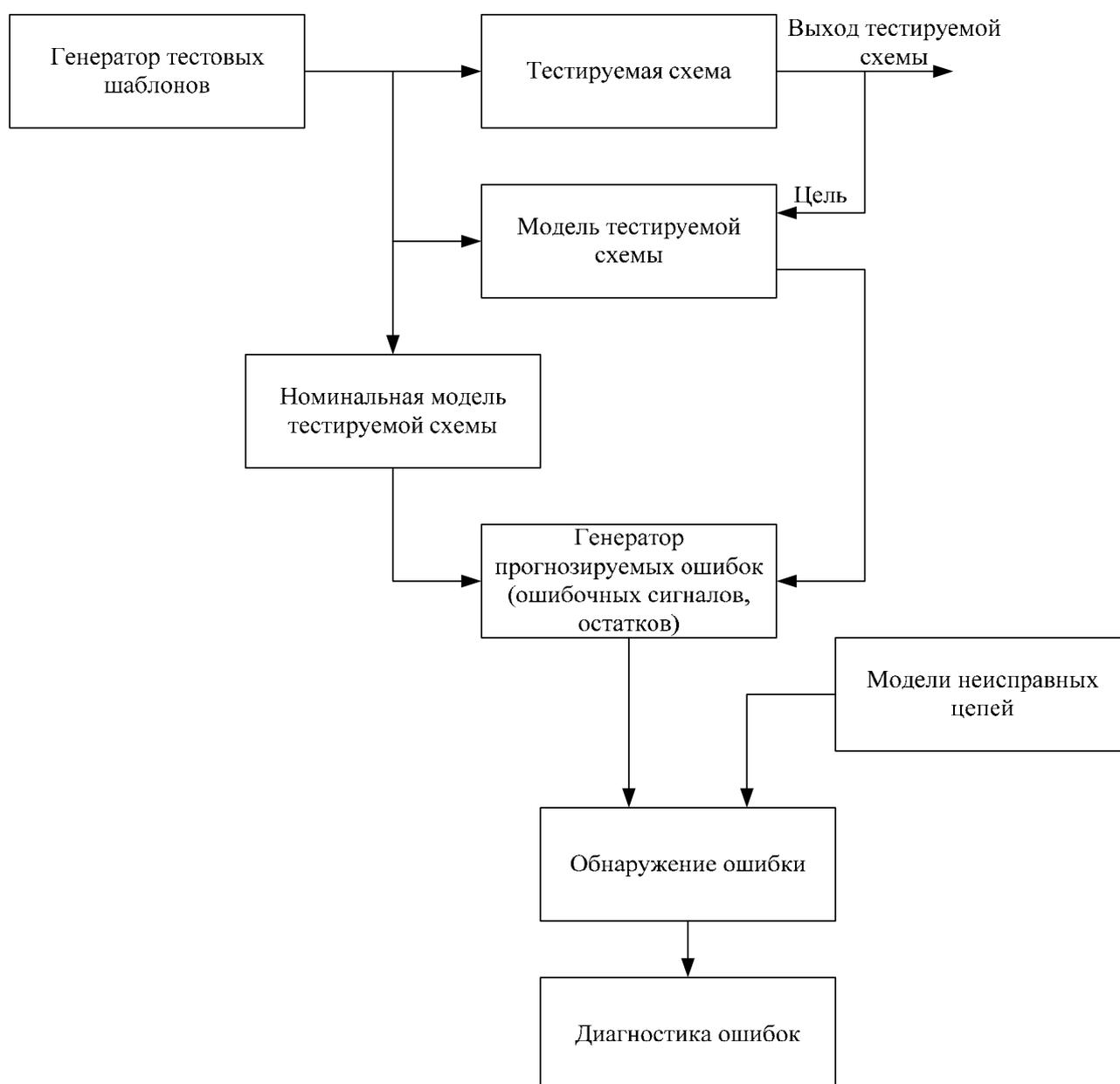


Рисунок 2 – Отображение предлагаемой стратегии тестирования

Процедура предлагаемой диагностики моделируемого обнаружения ошибок может быть жестко разделена на три следующие стадии:

- 1 Генерация сигнатур
- 2 Генерация прогнозных ошибок (ошибочных сигналов, сигнатур, остатков)
- 3 Обнаружение и изолирование неисправностей

Первая стадия включает в себя определение различных классов неисправностей. Тестируемая схема моделируется с использованием псевдослучайного шума, который используется в качестве стимулирования выбранного класса ошибок. Выходной ответ тестируемой схемы формирует сигнатуры для данного класса ошибок.

Для генерации прогнозных ошибок требуется три типа моделей: номинальная, фактическая (действующая) и модель с тестируемым неисправным участком. Для реального представления важно промоделировать все эффекты, которые могут повлиять на обнаружение ошибки. Все модели создаются с использованием простых многоуровневых искусственных нейронных сетей, состоящих из входного уровня, одного или двух скрытых уровней и одного выходного уровня. Модели искусственных нейронных сетей обучены с помощью алгоритма ОРО с целью вывода ответов тестируемого устройства при различных условиях возникновения неисправностей, включая безошибочный вариант. Модель нейронной сети без ошибок обеспечивает допустимое отклонение параметров компонент, представленных номинальной моделью. Разница между номинальной и действующей моделью генерирует необходимые прогнозные ошибки. Когда неисправности нет, две модели (номинальная и действительная) ведут себя примерно одинаково, что в итоге формирует незначительно малые остатки. В условиях возникновения неисправностей система генерирует прогнозные ошибки и показывает, как сильно тестируемая схема отличается от схемы без ошибок. Любая ошибка в системе, катастрофическая или параметрическая, изменяет сигнатуру прогнозных ошибок. Эти остаточные сигнатуры, известные как ошибочные сигнатуры, моделируются и сохраняются в памяти модели для дальнейшего использования [1].

Выводы

Обнаружение и изолирование ошибок включает в себя моделирование действительной тестируемой схемы, генерацию прогнозируемых ошибок и сравнение их с различными ошибочными сигнатурами, которые хранятся в памяти модели. В зависимости от особенностей приложения, количество особых индивидуальных ошибочных сигнатур, хранящихся в модели, может варьироваться от нуля до сотен. Выдвижение предположений для общих ошибочных сигнатур дает преимущество быстрого, предопределенного ответа для таких неисправностей. Интересно заметить, что это объясняет устойчивость методики.

Список литературы

1. Prithviraj Kabisatpathy, Alok Barua, and Satyabroto Sinha. Fault detection and diagnosis in analog integrated circuits using artificial neural network in a pseudorandom testing scheme.
2. Хайкин С. Нейронные сети: полный курс, 2-е изд., испр.: Пер. с англ. – М.: ООО «И.Д. Вильямс», 2006. – 1104с.
3. Пис Р.А. Обнаружение неисправностей в аналоговых схемах. Москва: Техносфера, 2007. – 192 с.
4. Design for testing – Интернет ресурс. – Режим доступа: http://en.wikipedia.org/wiki/Design_for_testing