

УДК 681.3

Ю.В. Ладыженский, канд. техн. наук, доц.,
Д.Д. Моргайлов, магистрант,
Моатаз Юнис, аспирант
ГВУЗ «Донецкий национальный технический университет», Украина
kolleganin@yandex.ru

Марковская модель для анализа производительности многопоточных архитектур сетевого мультипроцессора

Описана Марковская модель для оценки производительности многопоточного сетевого мультипроцессора. Приведен подробный пример расчета характеристик архитектуры на двух процессорах. Исследованы зависимости показателей эффективности мультипроцессора от интенсивности входного потока пакетов, скорости обслуживания памяти и производительности потоков на процессорах. Даны рекомендации по снижению доли отказов в обслуживании пакетов.

Ключевые слова: сетевой процессор, многопоточный мультипроцессор, производительность, Марковская модель.

Введение

Сетевые процессоры (СП) – высокопроизводительные устройства, архитектура которых оптимизирована для решения специального круга задач по обработке потоков пакетов и управления сетью компьютеров [1, 2].

Главным назначением сетевых процессоров является маршрутизация огромных объемов трафика в ядре Интернет.

Производительность СП зависит от эффективного выбора параметров архитектуры, быстродействия применяемых алгоритмов анализа пакетов, работы механизма балансировки загрузки, оптимального использования аппаратных ресурсов системы, а также от характеристик входных потоков трафика.

Марковская модель многопроцессорного сетевого процессора

Модель многопроцессорного сетевого процессора (МСП) состоит из I процессоров, каждый из которых выполняет J потоков. Пример модели для двух процессоров показан на рисунке 1. На этом рисунке λ – интенсивность поступления пакетов на процессор, μ_j – интенсивность обслуживания j -го потока, r_j – интенсивность обращения с запросами к памяти для j -го потока, m – интенсивность обслуживания запросов подсистемой памяти, h – длина очереди запросов к памяти; R, S, T – условные стадии обработки, которые проходит пакет. Значения этих параметров являются исходными данными для рассматриваемой модели.

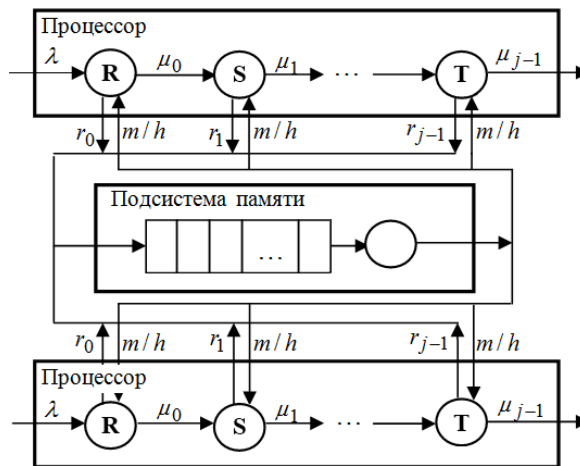


Рисунок 1 – МСП на двух процессорах

Пространство состояний модели есть множество:

$$S = (s_{00}, \dots, s_{0j}, \dots, s_{ij}, \dots), \quad (1)$$

$$0 \leq i < I, 0 \leq j < J.$$

Элемент S_{ij} представляет собой состояние j -го потока на i -м процессоре и может принимать следующие значения: свободен (0), активен (1), запрос-к-памяти (2), готов-к-выполнению (3), завершен (4). В скобках после значений указаны их коды.

Пусть $S(k)$ – множество элементов, которые в текущий момент времени находятся в состоянии k :

$$S(k) = \{S_{ij} | S_{ij} = k, 0 \leq i < I, 0 \leq j < J\}. \quad (2)$$

Количество потоков, выполняющихся на процессоре, равно мощности множества $S(1)$ ($|S(1)|$), а число потоков, готовых к выполнению, равно мощности множества $S(3)$ ($|S(3)|$).

Диаграмма состояний отдельного потока показана на рисунке 2. Переходы, обозначенные

на ней пунктирної лінії, не мають інтенсивності, оскільки являються підчиненими.

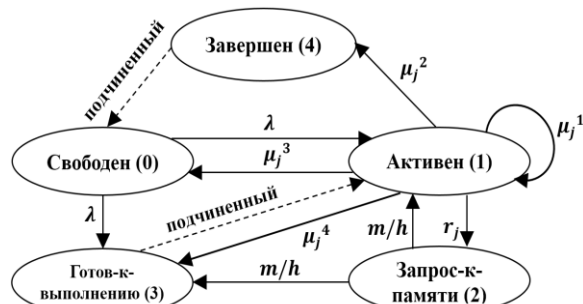


Рисунок 2 – Діаграма станів потоку: $\mu_j^k = 0$
или $\frac{\mu_j}{n}$ (n – число ненулевих μ_j^k)

Переход називається підчиненим, якщо він не ініціює зміну стану моделі, а виникає під дією активізуючого переходу, який здійснюється іншим потоком.

Наприклад, потік, завершивши обробку пакету і блокуваний наступним в конвеєрі

$S^0 = (0, 0)$	$S^5 = (1, 0)$	$S^{10} = (2, 0)$	$S^{15} = (3, 0)$	$S^{20} = (4, 0)$
$S^1 = (0, 1)$	$S^6 = (1, 1)$	$S^{11} = (2, 1)$	$S^{16} = (3, 1)$	$S^{21} = (4, 1)$
$S^2 = (0, 2)$	$S^7 = (1, 2)$	$S^{12} = (2, 2)$	$S^{17} = (3, 2)$	$S^{22} = (4, 2)$
$S^3 = (0, 3)$	$S^8 = (1, 3)$	$S^{13} = (2, 3)$	$S^{18} = (3, 3)$	$S^{23} = (4, 3)$
$S^4 = (0, 4)$	$S^9 = (1, 4)$	$S^{14} = (2, 4)$	$S^{19} = (3, 4)$	$S^{24} = (4, 4)$

Рисунок 3 – Полное множество состояний модели

Здесь $S^n = (a, b)$ обозначает состояние с номером n , в котором потік на першому процесорі знаходиться в стані a , а потік на другому процесорі – в стані b .

Исключив из полного множества состояний все недостижимые состояния по правилам, приведенным в [3], получим множество достижимых состояний модели (рисунок 4).

$S^0 = (0, 0)$	$S^3 = (1, 0)$	$S^6 = (2, 0)$
$S^1 = (0, 1)$	$S^4 = (1, 1)$	$S^7 = (2, 1)$
$S^2 = (0, 2)$	$S^5 = (1, 2)$	$S^8 = (2, 2)$

Рисунок 4 – Множество достижимых состояний модели

Чтобы составить множество допустимых переходов, необходимо последовательно рассмотреть все переходы между достижимыми состояниями с целью выявления и идентификации типа активизирующих событий, вызвавших изменения состояний. Активизирующее событие состоит из активизирующего перехода и возможно нескольких связанных с ним подчиненных переходов.

Считаем, что потоки событий обладают свойством ординарности. Поэтому изменение состояния МСП будет допустимым, если произошло ровно одно активизирующее событие на любом из процессоров. Ситуации, когда в модели одновре-

мя потоком процессора, может перейти в свободное состояние (выполнить подчиненный переход) только после того, как следующий поток завершит обработку своего пакета и передаст его далее (инициирует активизирующий переход). Готовый к выполнению поток никогда не перейдет в активное состояние, пока текущий активный поток не перейдет в другое состояние.

Потік, звернувшись до пам'яті, блокується до тих пор, поки його запит не буде оброблено. Це може призводити до блокувань передшлющих в конвеєрі потоків, які не зможуть передати далі оброблений пакет.

Подробнее модель описана в работах [3-5].

Пример расчета характеристик МСП

Рассмотрим модель, состоящую из двух процессоров, каждый из которых выполняет по одному потоку. Построим полное множество состояний МСП (рисунок 3).

менно виникає декілька активізуючих подій, неможливі.

Інтенсивності переходів між станами визначаються інтенсивностями відповідних активізуючих переходів.

Поскольку очередь запросов к памяти и очередь готовых к выполнению потоков управляются по дисциплине RSS (Random Selection for Service), подсистема памяти может выбрать на обслуживание любой запрос из очереди, а на процессор может поступить произвольный поток, готовый к выполнению.

Это означает, что из некоторых допустимых состояний модели МСП может существовать несколько равновероятных переходов, которые связаны с одним и тем же активизирующим переходом, возникшем на определенном потоке одного из процессоров. Интенсивность равновероятных переходов будет равна интенсивности активизирующего события, их вызвавшего, деленной на количество таких переходов.

Полученное множество допустимых переходов представлено в таблице 1. Четвертая строка в таблице означает, что происходит переход из состояния $S^1 = (0, 1)$ в состояние $S^2 = (0, 2)$, то есть потік на другому процесорі, який був активний, звернувся до пам'яті (активізуючий перехід $1 \rightarrow 2$). Інтенсивність цього переходу r_0 .

Таблица 1 – Множество допустимых переходов

Переход	Активизирующий переход	Интенсивность
$S^0 \rightarrow S^1$	$0 \rightarrow 1$	λ
$S^0 \rightarrow S^3$	$0 \rightarrow 1$	λ
$S^1 \rightarrow S^0$	$1 \rightarrow 0$	μ_0
$S^1 \rightarrow S^2$	$1 \rightarrow 2$	r_0
$S^1 \rightarrow S^4$	$0 \rightarrow 1$	λ
$S^2 \rightarrow S^1$	$2 \rightarrow 1$	m
$S^2 \rightarrow S^5$	$0 \rightarrow 1$	λ
$S^3 \rightarrow S^0$	$1 \rightarrow 0$	μ_0
$S^3 \rightarrow S^4$	$0 \rightarrow 1$	λ
$S^3 \rightarrow S^6$	$1 \rightarrow 2$	r_0
$S^4 \rightarrow S^1$	$1 \rightarrow 0$	μ_0
$S^4 \rightarrow S^3$	$1 \rightarrow 0$	μ_0
$S^4 \rightarrow S^5$	$1 \rightarrow 2$	r_0
$S^4 \rightarrow S^7$	$1 \rightarrow 2$	r_0
$S^5 \rightarrow S^2$	$1 \rightarrow 0$	μ_0
$S^5 \rightarrow S^4$	$2 \rightarrow 1$	m
$S^5 \rightarrow S^8$	$1 \rightarrow 2$	r_0
$S^6 \rightarrow S^3$	$2 \rightarrow 1$	m
$S^6 \rightarrow S^7$	$0 \rightarrow 1$	λ
$S^7 \rightarrow S^4$	$2 \rightarrow 1$	m
$S^7 \rightarrow S^6$	$1 \rightarrow 0$	μ_0
$S^7 \rightarrow S^8$	$1 \rightarrow 2$	r_0
$S^8 \rightarrow S^5$	$2 \rightarrow 1$	$\frac{m}{2}$
$S^8 \rightarrow S^7$	$2 \rightarrow 1$	$\frac{m}{2}$

По переходам из таблицы 1 формируем матрицу переходов. Матрица приведена на рисунке 5.

	S^0	S^1	S^2	S^3	S^4	S^5	S^6	S^7	S^8
S^0	0	λ	0	λ	0	0	0	0	0
S^1	μ_0	0	r_0	0	λ	0	0	0	0
S^2	0	m	0	0	0	λ	0	0	0
S^3	μ_0	0	0	0	λ	0	r_0	0	0
S^4	0	μ_0	0	μ_0	0	r_0	0	r_0	0
S^5	0	0	μ_0	0	m	0	0	0	r_0
S^6	0	0	0	m	0	0	0	λ	0
S^7	0	0	0	0	m	0	μ_0	0	r_0
S^8	0	0	0	0	0	$\frac{m}{2}$	0	$\frac{m}{2}$	0

Рисунок 5 – Матрица переходов модели

Строим систему линейных алгебраических уравнений Колмогорова в разностной форме для вероятностей состояний модели:

$$\begin{cases} 2\lambda P_0 = \mu_0 P_1 + \mu_0 P_3 \\ \mu_0 P_1 + r_0 P_1 + \lambda P_1 = \lambda P_0 + m P_2 + \mu_0 P_4 \\ m P_2 + \lambda P_2 = r_0 P_1 + \mu_0 P_5 \\ \mu_0 P_3 + \lambda P_3 + r_0 P_3 = \lambda P_0 + \mu_0 P_4 + m P_6 \\ 2\mu_0 P_4 + 2r_0 P_4 = \lambda P_1 + \lambda P_3 + m P_5 + m P_7 \\ \mu_0 P_5 + m P_5 + r_0 P_5 = \lambda P_2 + r_0 P_4 + \frac{m}{2} P_8 \\ m P_6 + \lambda P_6 = r_0 P_3 + \mu_0 P_7 \\ m P_7 + \mu_0 P_7 + r_0 P_7 = r_0 P_4 + \lambda P_6 + \frac{m}{2} P_8 \\ P_0 + P_1 + P_2 + P_3 + P_4 + P_5 + P_6 + P_7 + P_8 = 1 \end{cases}$$

Пусть $\lambda = 1,5$ пакет/с, $\mu_0 = 4$ пакет/с, $r_0 = 1$ пакет/с, $m = 2$ пакет/с. Тогда вероятности состояний будут равны значениям, показанным на рисунке 6.

$$\begin{matrix} P_0 = 0,4038 & P_3 = 0,1514 & P_6 = 0,0757 \\ P_1 = 0,1514 & P_4 = 0,0568 & P_7 = 0,0284 \\ P_2 = 0,0757 & P_5 = 0,0284 & P_8 = 0,0284 \end{matrix}$$

Рисунок 6 – Вероятности состояний модели

Выполним расчет показателей эффективности исследуемой архитектуры.

Среднее число работающих процессоров определяется как сумма произведений вероятности каждого состояния модели на число потоков, которые обслуживаются процессором в этом состоянии:

$$\begin{aligned} P_{power} &= P_0 * |S^0(1)| + P_1 * |S^1(1)| + \\ &+ P_2 * |S^2(1)| + P_3 * |S^3(1)| + P_4 * |S^4(1)| + \\ &+ P_5 * |S^5(1)| + P_6 * |S^6(1)| + P_7 * |S^7(1)| + \\ &+ P_8 * |S^8(1)| = 0,4732. \end{aligned}$$

Поскольку процессорные элементы в МСП имеют равную производительность, и нагрузка входного потока распределяется между ними равномерно, коэффициент использования отдельного процессора (его полезная нагрузка) рассматривается как отношение среднего числа работающих процессоров к их общему количеству:

$$P_{efficiency} = \frac{P_{power}}{I} = 0,2366.$$

Коэффициент использования памяти есть сумма вероятностей состояний, в которых хотя бы один поток запросил доступ к памяти:

$$M_{efficiency} = P_2 + P_5 + P_6 + P_7 + P_8 = 0,2366.$$

Среднее число обращений к памяти рассчитывается по состояниям, содержащим один или несколько потоков, ожидающих завершения обслуживания в подсистеме памяти:

$$\begin{aligned} M_{access} &= P_0 * |S^0(2)| + P_1 * |S^1(2)| + \\ &+ P_2 * |S^2(2)| + P_3 * |S^3(2)| + P_4 * |S^4(2)| + \\ &+ P_5 * |S^5(2)| + P_6 * |S^6(2)| + P_7 * |S^7(2)| + \\ &+ P_8 * |S^8(2)| = 0,2650. \end{aligned}$$

Средняя длина очереди готовых к выполнению потоков на процессоре представлена отношением среднего числа готовых потоков в МСП к общему числу процессоров:

$$R_{\text{length}} = \frac{P_0 * |S^0(z)| + P_1 * |S^1(z)|}{I} + \frac{P_2 * |S^2(z)| + P_3 * |S^3(z)| + P_4 * |S^4(z)|}{I} + \frac{P_5 * |S^5(z)| + P_6 * |S^6(z)| + P_7 * |S^7(z)|}{I} + \frac{P_8 * |S^8(z)|}{I} = 0.$$

Эксперименты с моделью

Пусть моделируемая архитектура задается следующими параметрами: $I = 2, J = 2, \mu_0 = \mu_1 = 10 \text{ пакет/с}, r_0 = r_1 = 32 \text{ пакет/с}$.

На рисунках 7 и 8 приведены зависимости характеристик загрузки памяти и процессоров от интенсивности потока пакетов и производительности памяти для указанных значений исходных данных.

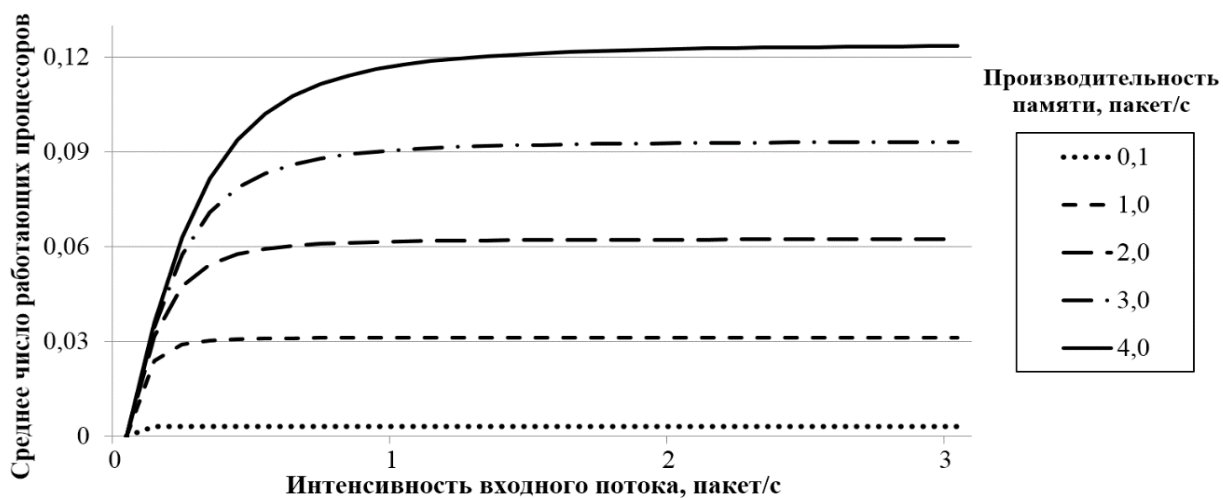
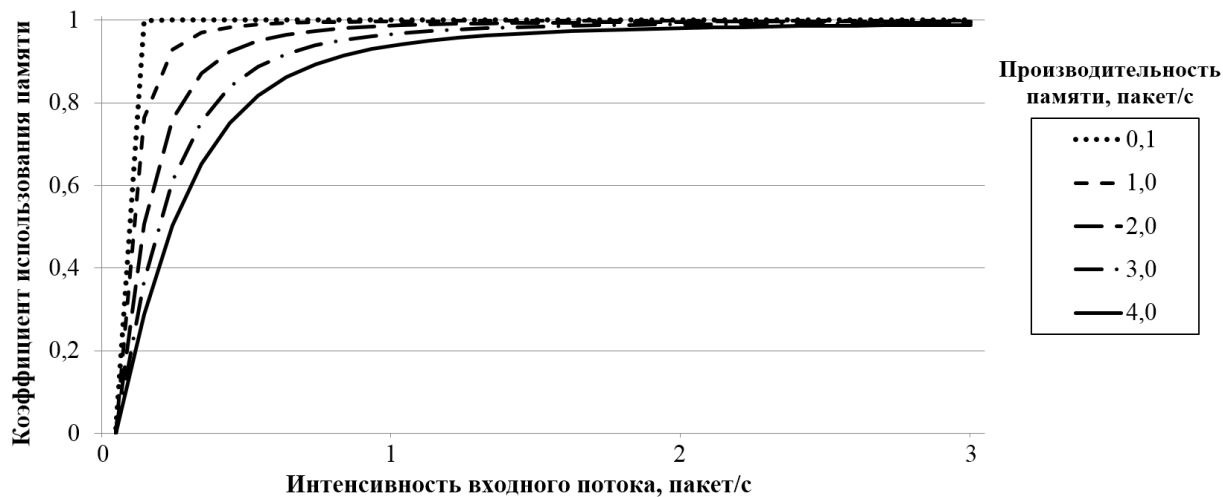


График изменения среднего числа работающих процессоров показывает, что качество роста исследуемых характеристик определяется величиной интенсивности обслуживания заявок подсистемой памяти. При использовании медленной памяти показатели эффективности быстрее достигают устойчивости, которая на практике выражается в наличии существенной доли отказов в обслуживании.

Отказы в обслуживании пакетов при относительно низкой интенсивности входного трафика

растут, когда первый поток процессора заблокирован и ожидает ответа от подсистемы памяти.

Увеличение производительности памяти снижает вероятность такого состояния процессора и, как следствие, приводит к сокращению числа необслуженных пакетов. Полезная загрузка процессора при этом возрастает.

График среднего числа работающих процессоров для $\mu_0 = \mu_1 = 20 \text{ пакет/с}$ представлен на рисунке 9.

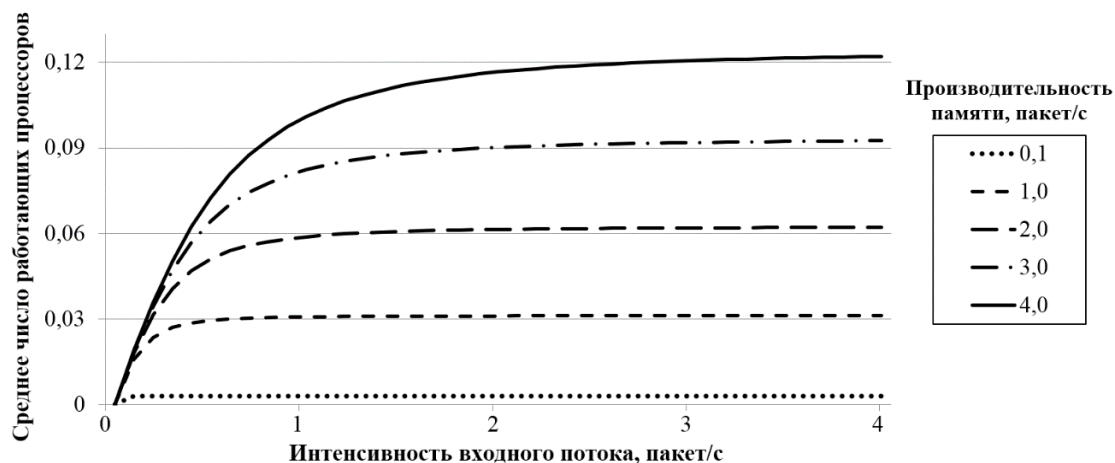


Рисунок 9 – Изменение среднего числа работающих процессоров при двукратном увеличении производительности процессоров

Анализ графиков на рисунках 8 и 9 показывает, что наращивание производительности потоков для рассматриваемого случая не приведет к значительному снижению количества отброшенных пакетов. Несмотря на то, что величина среднего числа работающих процессоров демонстрирует более медленный рост и становится устойчивой при более интенсивных входных потоках, увеличение интенсивности обслуживания потоков не приводит к значительному росту пропускной способности МСП.

Заключение

Описана непрерывная марковская модель для оценки производительности многопоточного сетевого мультипроцессора. Приведен подробный пример расчета характеристик архитектуры на двух процессорах. Исследованы зависимости показателей эффективности мультипроцессора от интенсивности входного потока пакетов, скорости обслуживания памяти и про-

изводительности потоков на процессорах. Даны рекомендации по снижению доли отказов в обслуживании пакетов.

Экспериментальные исследования показали, что эффективность сетевого мультипроцессора существенно зависит от производительности подсистемы памяти. Влияние низкого быстродействия памяти проявляется в виде роста отказов в обслуживании уже при небольших интенсивностях входного потока.

В многопоточных МСП целесообразно применять многоканальную память для параллельной обработки пакетов. При высокой интенсивности запросов к памяти это позволит снизить время блокировки потоков, ожидающих завершения обслуживания пакетов в памяти, и в некоторых случаях вероятность длительной блокировки первого потока в конвейере процессора.

Список литературы

1. Грищенко В.И. Основные направления развития современных сетевых процессоров / В.И. Грищенко, Ю.В. Ладыженский, М. Юнис // Наукові праці ДонНТУ. Серія «Інформатика, кібернетика та обчислювальна техніка». – 2011. - № 14 (188). – С. 123-127.
2. Jie L. Analytical Performance Analysis of Network-Processor-Based Application Designs / L. Jie, W. Jie // Proceedings of the 15th International Conference on Computer Communications and Networks, (9-11 октября 2006). – 2006. – PP. 33-39.
3. Lin Y.-N. Thread Allocation in CMP-based Multithreaded Network Processors / Y.-N. Lin, Y.-D. Lin, Y.-C. Lai // Parallel Computing. – 2010. – vol. 36 (2-3). – PP. 104-116.
4. Ладыженский Ю.В. Программный комплекс для исследования производительности сетевых процессоров / Ладыженский Ю.В., Моргайлов Д.Д., Юнис Моатаз // Научно-технический и прикладной журнал «Известия ЮФУ. Технические науки». – 2013. – № 5. – С. 29-34.
5. Моргайлов Д.Д. Оценка эффективности архитектур сетевых процессоров / Д.Д. Моргайлов, Ю.В. Ладыженский, Юнис Моатаз // Информационные управляющие системы и компьютерный мониторинг – 2013: Материалы IV международной научно-технической конференции студентов, аспирантов и молодых ученых, (23-25 апреля 2013, Донецк). – Донецк: ДонНТУ, 2013. - С. 219-224.

Надійшла до редакції 30.08.2013

Ю.В. ЛАДИЖЕНСЬКИЙ, Д.Д. МОРГАЙЛОВ, МОАТАЗ ЮНІС

ДВНЗ «Донецький національний технічний університет»

МАРКІВСЬКА МОДЕЛЬ ДЛЯ АНАЛІЗУ ПРОДУКТИВНОСТІ БАГАТОПОТОЧНИХ АРХІТЕКТУР МЕРЕЖНОГО МУЛЬТИПРОЦЕСОРА

Описана Марківська модель для оцінки продуктивності багатопоточного мережного мультипроцесора. Наведено детальний приклад розрахунку характеристик архітектури на двох процесорах. Досліджені залежності показників ефективності мультипроцесора від інтенсивності вхідного потоку пакетів, швидкості обслуговування пам'яті та продуктивності потоків на процесорах. Надано рекомендації щодо зниження доли відмов в обслуговуванні пакетів.

Ключові слова: *мережний процесор, багатопоточний мультипроцесор, продуктивність, Марківська модель.*

Yu.V. LADYZHENSKIY, D.D. MORGAILOV, MOATAZ YOUNIS

Donetsk National Technical University

MARKOV MODEL FOR PERFORMANCE ANALYSIS OF MULTITHREADED NETWORK MULTI-PROCESSOR ARCHITECTURES

In this paper the Continuous-Time Markov model for performance estimation of multithreaded network multi-processor is described. The model considers the number of processors, threads in a processor, parameters of each thread and memory subsystem. The modeled architecture implies that several processors and memory banks can be placed in a single chip. Such kind of architecture is known as chip multiprocessor (CMP)-based multithreaded architecture. The model is designed for the approximate analysis of network multiprocessor heterogeneous architectures with the assumption of blocking processing mode. According to the heterogeneous thread allocation scheme, threads in a processor belong to different types and take equal processing load. The blocking processing means that there is no buffer between two adjacent threads in a pipeline. The detailed example of performance metrics calculation for dual-processor architecture is shown. It demonstrates the way to build and solve the model manually step-by-step. We specified the state space of the model and excluded unreachable states, determined the set of valid transitions, derived the transition rate matrix, generated the set of Kolmogorov equations, solved it and thus obtained the stationary probability vector for the Markov chain. After that it became possible to compute the efficiency indexes using formulas presented in the paper. The experimental dependences between efficiency indexes of network processor (i.e. processing power, memory efficiency) and architecture parameters (e.g. memory service rate, service rate of each thread in a processor pipeline) are examined. Some recommendations to reduce packet drop rate are given. It is found that packet drop rate value grows, when the first thread in a processor is blocked by the memory. We discovered that memory subsystem tends to be a performance bottleneck because of its low speed and high memory access rate of the threads. Our advise is to use multichannel memory architecture, which supports parallel packet processing.

Keywords: *network processor, multithreaded multiprocessor, performance, Markov model.*