

компьютерные средства, сети и системы

# КОМП'ЮТЕРНІ ЗАСОБИ, МЕРЕЖІ ТА СИСТЕМИ

7/2008

УДК 681.3

Розглянуто результати досліджень у розвитку онтологій предметних галузей, застосування інформаційних нанотехнологій при впровадженні навчальних систем, методи і принципи побудови апаратних і програмних засобів комп'ютерних систем.

Всі статті збірника прорецензовані провідними фахівцями, кандидатами та докторами наук. Для науковців та інженерів, які працюють у галузі комп'ютерних засобів, систем та мереж.

Рассмотрены результаты исследований в развитии онтологий предметных областей, применение информационных нанотехнологий при внедрении обучающих систем, методы и принципы построения аппаратных и программных средств компьютерных систем.

Все статьи сборника прорецензированы ведущими специалистами, кандидатами и докторами наук.

Для научных работников и инженеров, работающих в области компьютерных средств, систем и сетей.

## РЕДАКЦІЙНА КОЛЕГІЯ

Відповідальний редактор  
О.В. ПАЛАГІН

Заступники відповідального  
редактора  
В.О. РОМАНОВ  
В.П. БОЮН

Відповідальний секретар  
Л.В. ТЕСЛЕНКО

Т.К. ВІНЦЮК

І.Д. ВОЙТОВИЧ

А.О. МОРОЗОВ

С.Д. ПОГОРІЛИЙ

Ю.С. ЯКОВЛЕВ

Затверджено до друку вченою радою Інституту кібернетики  
імені В.М. Глушкова НАН України

Свідоцтво про державну реєстрацію KB № 6541 від 19.09.2002

Збірник "Комп'ютерні засоби, мережі та системи" внесено до переліку  
фахових видань ВАК України

Адреса редколегії:

03680, МСП, Київ 187, проспект Академіка Глушкова, 40  
Інститут кібернетики ім. В.М. Глушкова НАН України  
[www.icyb.kiev.ua](http://www.icyb.kiev.ua)  
aik @ public.icyb.kiev.ua

БАРКАЛОВ А.А., МАТВИЕНКО А.В., ЦОЛОЛО С.А. Уменьшение аппаратур- ных затрат в схеме автомата Мура с использованием особенностей бази- са CPLD.....	86
БЕХ А.Д., ЧЕРНЕЦКИЙ В.В. Аппаратные методы повышения чувстви- тельности электромагнитных усилителей напряжения.....	95
ЛУКАШ С.И., ВОЙТОВИЧ И.Д., ВЕТКИНА З.В., КОЛЕСНИЦКИЙ О.К. Осо- бенности работы матричных полупроводниковых сенсоров в системе „элек- тронный нос”. Ч. II.....	101
КУРЗАНЦЕВА Л.И. Об адаптивном интеллектуальном интерфейсе „Поль- зователь – система массового применения”.....	110
ГЛАДУН А.Я. Модель взаємодії WEB-сервісів та аналіз їх продуктивності в інтерактивному середовищі Інтернет.....	117
ПАЛАГІН О.В., СВІТЛА С.Ю., ПЕТРЕНКО М.Г., ВЕЛИЧКО В.Ю. Про один підхід до аналізу та розуміння природномовних об’єктів.....	128
ГАЛЕЛЮКА І.Б. Інформаційні технології в напрацюванні методичного забез- печення інтелектуальних портативних приладів.....	138
РОМАНОВ В.О., ГРУША В.М., АРТЕМЕНКО Д.М., СКРИПНИК О.В., ВІЛЬК Н.М. Інтелектуальні сенсори: особливості та проблеми проектування..	146
ДЕРКАЧ А.В. Применение онтологии для автоматизации весового проекти- рования сложных технических объектов.....	153

# КОМП'ЮТЕРНІ ЗАСОБИ, МЕРЕЖІ ТА СИСТЕМИ

A.A. Barkalov, A.V. Matvienko,  
S.A. Tsololo

## OPTIMIZATION OF CIRCUIT OF MOORE FSM WITH USING CPLD'S FEATURES

*The method of Moore FSM circuit optimization is proposed. The method is based on use of free outputs EMB blocks for representation of the codes of classes of pseudo-equivalent states. Results of researches of the proposed method are given*

*Запропоновано метод зменшення витрат апаратури у схемі автомата Мура. Метод заснований на використанні вільних виходів блоків ЕМВ для представлення кодів класів псевдоеквівалентних станів. Наведені результати досліджень запропонованого підходу.*

*Предлагается метод уменьшения аппаратных затрат в схеме автомата Мура. Метод основан на использовании свободных выходов блоков ЕМВ для представления кодов классов псевдоэквивалентных состояний. Приведены результаты исследований предложенного подхода.*

© А.А. Баркалов, А.В. Матвиенко,  
С.А. Цололо, 2008

УДК 681.324

А.А. БАРКАЛОВ, А.В. МАТВИЕНКО,  
С.А. ЦОЛОЛО

## УМЕНЬШЕНИЕ АППАРАТУРНЫХ ЗАТРАТ В СХЕМЕ АВТОМАТА МУРА С ИСПОЛЬЗОВАНИЕМ ОСОБЕННОСТЕЙ БАЗИСА CPLD

В настоящее время модель микропрограммного автомата (МПА) Мура [1] часто используется для реализации устройств управления (УУ) [2, 3], которые координируют работу блоков цифровой системы. Для реализации как УУ, так и в целом цифровых систем все чаще используются «системы на кристалле» (SoC, system-on-chip) [4]. В этих системах используются функциональные элементы двух основных типов: макроячейки (PAL, programmable array logic) для реализации произвольной логики и блоки памяти (EMB, embedded memory blocks) для реализации табличных функций [5]. Использование этого базиса позволяет реализовать сложную цифровую систему на одном кристалле [6].

Сложность реализуемых систем обуславливает актуальность задачи уменьшения аппаратных затрат в схеме МПА [2]. При решении этой задачи необходимо учитывать особенности структурной схемы МПА и особенности элементного базиса SoC. Среди особенностей МПА Мура, которые можно использовать в этом случае, следует отметить наличие псевдоэквивалентных состояний [7], а также регулярный характер системы микроопераций, что позволяет реализовать ее на ЕМВ [5]. Особенности PAL являются большой коэффициент объединения по входу, который достигает нескольких десятков в реальных CPLD (complex programmable logic devices) [8], и ограниченное число элементарных конъюнкций (термов) в одной макроячейке (порядка восьми) [2].

Целью представленных в данной работе исследований является возможность оптимизации комбинационной схемы автомата Мура за счет использования нескольких источников кода текущего состояния автомата, что возможно, благодаря особенностям PAL. Основная решаемая в работе задача – разработка метода синтеза МПА Мура, позволяющего оптимизировать число макроячеек PAL в схеме формирования функций возбуждения (СФФВ) триггеров памяти автомата.

Пусть алгоритм управления цифровой системы представлен граф-схемой алгоритма (ГСА)  $\Gamma = \Gamma(B, E)$ , где  $B = \{b_0, b_E\} \cup E_1 \cup E_2$  – множество вершин;  $E = \{< b_q, b_t > | b_q, b_t \in B\}$  – множество дуг. Здесь  $b_0$  – начальная вершина ГСА;  $b_E$  – конечная вершина ГСА;  $E_1$  – множество операторных вершин;  $E_2$  – множество условных вершин. В вершинах  $b_q \in E_1$  записываются наборы микроопераций  $Y(b_q) \subseteq Y$ , где  $Y = \{y_1, \dots, y_N\}$  – множество микроопераций операционного автомата цифровой системы [9]. В вершинах  $b_q \in E_2$  записываются элементы множества логических условий  $X = \{x_1, \dots, x_L\}$ . Начальная и конечная вершины ГСА соответствуют состоянию  $a_1 \in A = \{a_1, \dots, a_M\}$ , где  $A$  – множество состояний автомата Мура, а каждая вершина  $b_q \in E_1$  соответствует одному из элементов множества  $A$  [1]. Логическая схема МПА Мура задается системой уравнений:

$$\Phi = \Phi(T, X), \quad (1)$$

$$Y = Y(T), \quad (2)$$

где  $T = \{T_1, \dots, T_R\}$  – множество внутренних переменных, кодирующих состояния  $a_m \in A$ ,  $R = \lceil \log_2 M \rceil$ ;  $\Phi = \{D_1, \dots, D_R\}$  – множество функций возбуждения памяти состояний. Системы (1) – (2) формируются на основе прямой структурной таблицы (ПСТ) со столбцами:  $a_m$  – текущее состояние;  $K(a_m)$  – код состояния  $a_m \in A$ ;  $a_s$  – состояние перехода;  $K(a_s)$  – код состояния  $a_s \in A$ ;  $X_h$  – конъюнкция некоторых элементов множества  $X$  (или их отрицаний), определяющая переход  $< a_m, a_s >$ ;  $\Phi_h$  – набор функций возбуждения памяти МПА, принимающих единичное состояние для переключения памяти из  $K(a_m)$  в  $K(a_s)$ ;  $h = 1, \dots, H_1(\Gamma)$  – номер строки таблицы. В столбце  $a_m$  записывается набор микроопераций  $Y(a_m) \subseteq Y$ , формируемых в состоянии  $a_m \in A$ . При этом  $Y(a_m) = Y(b_q)$ , где вершина  $b_q \in E_1$  отмечена состоянием  $a_m \in A$ .

Число переходов  $H_1(\Gamma)$ , как правило, больше числа переходов  $H_2(\Gamma)$  эквивалентного автомата Мили [1]. Это приводит к увеличению числа PAL в схеме МПА Мура по сравнению с этим показателем эквивалентного автомата Мили. Используя псевдоэквивалентные состояния (ПЭС) МПА Мура [10], параметр  $H_1(\Gamma)$  можно уменьшить. Состояния  $a_m, a_s \in A$  называются ПЭС, если выходы соответствующих им вершин соединены с выходом одной и той же вершины ГСА  $\Gamma$ . Пусть  $\Pi_A = \{B_1, \dots, B_I\}$  – разбиение множества  $A$  на классы ПЭС ( $I \leq M$ ). Поставим в соответствие классу  $B_i \in \Pi_A$  двоичный код  $K(B_i)$  разрядности  $R_1 = \lceil \log_2 I \rceil$  и используем переменные  $\tau, \epsilon \in \tau$  для такого кодирования, где  $|\tau| = R_1$ . В этом случае МПА Мура представляется в виде структуры  $U_1$ , показанной на рис. 1.

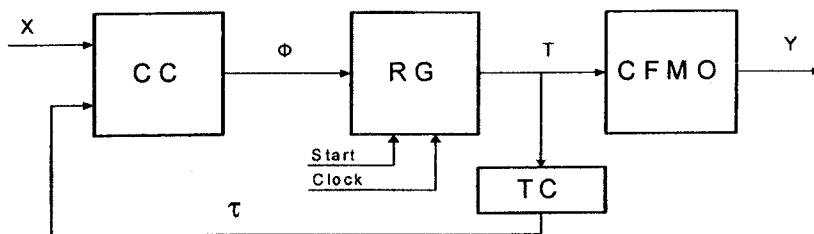


РИС. 1. Структурная схема МПА Мура  $U_1$

В МПА  $U_1$  схема  $CC$  формирует функции  $\Phi = \Phi(\tau, X)$ , а схема формирования микроопераций  $CFMO$  реализует систему (2). Регистр  $RG$  реализует память состояний, в котором по сигналу  $Clock$  происходит смена кодов. По сигналу  $Start$  в  $RG$  заносится нулевой код начального состояния  $a_1 \in A$ .

Преобразователь кодов состояний  $TC$  реализует систему функций  $\tau = \tau(T)$ , при этом код  $K(B_i)$  формируется на основе кода  $K(a_m)$ , где  $a_m \in B_i$ .

В работе [10] показано, что для МПА  $U_1$  число переходов уменьшается до  $H_2(\Gamma)$ . Недостатком МПА  $U_1$  является наличие схемы  $TC$ , которая требует дополнительных ресурсов. Следует отметить, что схема  $CC$  реализуется на PAL, а схемы  $TC$  и  $CFMO$  – на блоках памяти  $EMV$ .

В данной работе предлагается метод синтеза МПА Мура, позволяющий уменьшить аппаратные затраты в схеме  $TC$  (при определенных условиях этот блок может не использоваться вообще). Предлагаемый метод использует следующие особенности SoC, основанные на технологии CPLD [2, 8]:

– у макроячейки PAL коэффициент объединения по входу значительно превосходит максимально возможное число букв в терминах системы (1), определяемое  $L + R$ ;

– число выходов ЕМВ может меняться в некотором диапазоне (как правило, 1, 2, 4, 8).

Для минимизации аппаратных затрат используем оптимальное кодирование состояний МПА Мура [10]. Для этого кодирование ПЭС выполняется так, чтобы максимально возможное число классов  $B_i \in \Pi_A$  соответствовали одному обобщенному интервалу  $R$ -мерного булева пространства. Представим множество  $\Pi_A$  в виде  $\Pi_A = \Pi_B \cup \Pi_C$ , где  $B_i \in \Pi_B$ , если  $|B_i| > 1$ , и  $B_i \in \Pi_C$  в противном случае. Очевидно, что схема ТС должна формировать только коды классов  $B_i \in \Pi_B$ , тогда как в случаях, когда выполняется условие

$$|\Pi_C| = 0 \quad (3)$$

получаем, что  $\Pi_A = \Pi_B$ . Закодируем состояния  $a_m \in A$  оптимальным образом [10] и представим множество  $\Pi_A$  в виде  $\Pi_A = \Pi_D \cup \Pi_E$ , где  $B_i \in \Pi_D$ , если коды  $a_m \in B$  входят в один обобщенный интервал пространства кодирования. В данном случае преобразованию подлежат только коды состояний  $a_m \in A(\Pi_E)$ , где  $A(\Pi_E) \subseteq A$  – множество состояний, входящих в классы  $\Pi_E$ . Для кодирования классов  $B_i \in \Pi_E$  достаточно  $R_2 = \lceil \log_2(|\Pi_E| + 1) \rceil$  переменных, образующих множество  $Z$ , где  $|Z| = R_2$ .

Пусть  $t_F$  – фиксированное число выходов блока ЕМВ и пусть  $q$  – число слов в блоке при  $t_F = 1$ . При реализации схемы CFMO автомата  $U_1$  параметр  $t_F$  определяется следующим образом:

$$t_F = \lceil q / M \rceil.$$

При этом интегрально блоки ЕМВ схемы CFMO имеют  $t_S = \lceil N / t_F \rceil \cdot t_F$  выходов. Очевидно, что  $\Delta_t$  выходов могут не использоваться для представления микроопераций, где  $\Delta_t = t_S - N$ . Эти выходы можно использовать для представления переменных  $z_r \in Z$ .

Рассмотрим случай, когда выполняется условие (3) и  $\Delta_t \geq 0$ , т. е. ГСА Г имеет ПЭС, содержащих только одно состояние автомата и количество неиспользуемых выходов блоков ЕМВ больше 0.

В этом случае для интерпретации ГСА Г предлагается автомат Мура  $U_2$ , структурная схема которого показана на рис. 2.

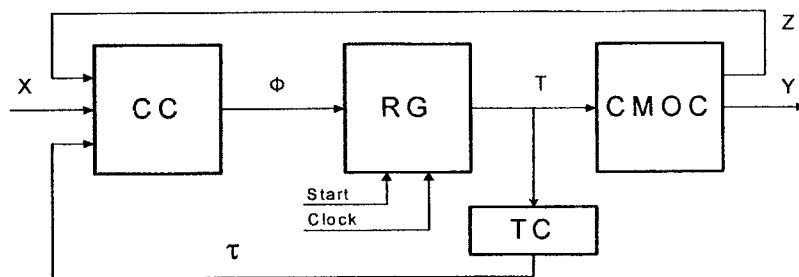


РИС. 2. Структурная схема МПА Мура  $U_2$

Из выполнения условия

$$\Delta_t \geq R_2 \quad (4)$$

следует, что коды классов  $B_i \in \Pi_E$  полностью формируются на СМОС, в противном случае часть кодов реализуется на преобразователе кодов ТС.

Автомат  $U_2$  имеет ряд отличий от автомата  $U_1$ :

– схема СС формирует систему функций  $\Phi = \Phi(\tau, Z, X)$ ;

– для реализации системы функций (2) и системы функций  $Z = Z(T)$ ,

которая представляет коды классов  $B_i \in \Pi_E$ , вместо схемы CFMO используется схема СМОС;

– для формирования кодов классов  $B_i \in \Pi_D$  и кодов классов  $B_i \in \Pi_E$  (только в случае невыполнения условия (4)) используется преобразователь кодов ТС.

При этом число входов в макроячейках PAL схемы СС увеличивается с  $L + R_1$  (автомат  $U_1$ ) до  $L + R_1 + R_2$  (автомат  $U_2$ ). Поскольку ячейки PAL имеют коэффициент объединения по входу порядка нескольких десятков [8], это не приводит к росту аппаратных затрат. У автоматов  $U_1$  и  $U_2$  времена циклов совпадают, причем это время равно времени цикла автомата Мура  $U_0$ , который реализуется по системам (1) – (2). Отсюда следует, что предлагаемый метод позволяет сохранить быстродействие цифровой системы при уменьшении аппаратных затрат.

Синтез схемы МПА  $U_2$  включает следующие этапы:

- 1) формирование отмеченной ГСА Г;
- 2) выполнение оптимального кодирования состояний;
- 3) выполнение разбиения  $\Pi_A = \Pi_D \cup \Pi_E$ ;
- 4) кодирование ПЭС классов  $\Pi_D$  и  $\Pi_E$ ;
- 5) определение параметра  $\Delta_t$ ;
- 6) формирование таблицы схемы СМОС;



- 7) построение модифицированной ПСТ автомата  $U_2$ ;
- 8) формирование таблицы схемы ТС;
- 9) реализация схемы автомата в заданном элементном базисе.

Для исследования эффективности предложенных в данной работе методов использовались такие принципы:

- переход от отдельных ГСА к классам ГСА, который основан на вероятностном подходе, предложенном Г.И. Новиковым [11] и развитым в работе [7];
- переход от схемы на макроячейках PAL и блоках ЭМВ к матричным схемам, предложенным С.И. Барановым [1];
- переход от абсолютных оценок аппаратурных затрат к относительным оценкам для разных структур схемы автомата, что позволяет оценить общие тенденции, а не отдельные точки в пространстве решений.

На рис. 3 показана матричная реализация МПА  $U_1$ , где символ «&» означает конъюнктивную матрицу, а символ «∨» – дизъюнктивную матрицу.

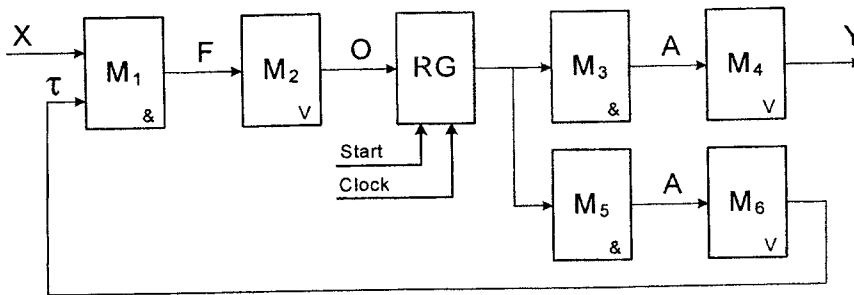


РИС. 3. Матричная реализация МПА Мура  $U_1$

Здесь матрицы  $M_1$  и  $M_2$  образуют схему СС, в которой число термов и переменных обратной связи совпадают с характеристиками эквивалентного автомата Мили; матрицы  $M_3$  и  $M_4$  образуют схему CFМО, выходы схемы  $M_3$  соответствуют конъюнкциям  $A_m$  ( $m=1, \dots, M$ ), соответствующих кодам состояний автомата Мура; матрицы  $M_5$  и  $M_6$  образуют схему ТС. Площади  $S(M_i)$  матриц  $M_i$  ( $i=1, \dots, 6$ ) могут быть определены в условных единицах таким образом:

$$\begin{aligned}
 S(M_1) &= 2(L + R_1)H_0; & S(M_2) &= H_0R; \\
 S(M_3) &= S(M_5) = 2R \cdot 2^R; & S(M_4) &= 2^R \cdot N; \\
 S(M_6) &= 2^R \cdot R_1.
 \end{aligned}
 \tag{5}$$

В работе [11] предложено оценивать классы ГСА параметром  $P_1$ , который равен доле операторных вершин ГСА. Используя этот параметр и результаты работы [7], можно найти следующие выражения для аргументов систем (5):

$$\begin{aligned} L &\approx 0.75 \cdot (1 - P_1) K; \\ R_1 &= \lceil \log_2 (3.55 + 0.3 \cdot P_1 \cdot K) \rceil; \\ H_0 &= 4.44 + P_1 \cdot K; \\ R &= \lceil \log_2 P_1 \cdot K \rceil, \end{aligned} \quad (6)$$

где  $K$  – число вершин ГСА.

Введем коэффициент  $k_p$ , определяющий отношение одной условной единицы площади макроячейки PAL к соответствующему параметру ЕМВ. Тогда площадь матричной реализации схемы МПА  $U_1$  можно выразить в виде

$$S(U_1) = k_p H_0 (2L + 2R_1 + R) + 2^R (4R + N + R_1).$$

С учетом (6) выражение для  $S(U_1)$  может быть представлено как функция от аргументов  $K, P_1, k_p, N$ .

Матричная реализация МПА  $U_2$  может быть представлена аналогичным образом. В силу большого коэффициента объединения PAL по входу будем считать, что наличие двух источников кода исходного состояния  $a_m \in A$  не влияет на величину площади, занимаемой схемой СС, и эти площади для автоматов  $U_1$  и  $U_2$  одинаковы. Поскольку переменные  $z_r \in Z$  формируются на свободных выходах схемы СМОС, площади схем СМОС и CFMO также будем считать совпадающими. Площадь матричной реализации схемы МПА  $U_2$  может быть выражена формулой

$$S(U_2) = k_p H_0 (2L + 2R_1 + R) + 2^R (2R + N).$$

С учетом (6) выражение  $S(U_2)$  можно представить как функцию от аргументов  $K, P_1, k_p, N$ .

Для определения эффективности предложенного метода, необходимо найти область, где выполняется условие

$$f_1 = \frac{S(U_2)}{S(U_1)} < 1.$$

На рис. 4 и 5 показаны результаты исследований, при этом параметр  $K$  менялся в диапазоне от 100 до 1000, параметр  $k_p = 0.2$ , число микроопераций  $N \in \{10, 50, 100\}$ , вероятность  $P_1 \in \{0.3; 0.7\}$ .

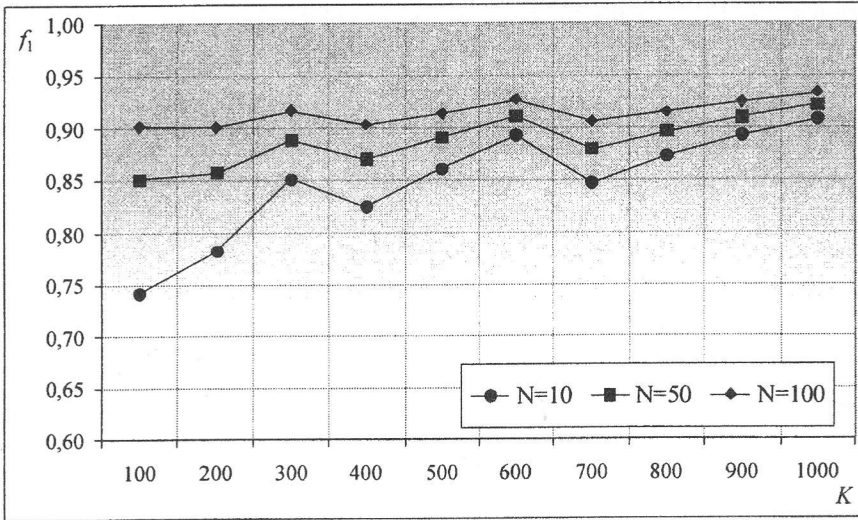


РИС. 4. Функция  $f_1$  при  $P_1 = 0.3$ ,  $k_p = 0.2$

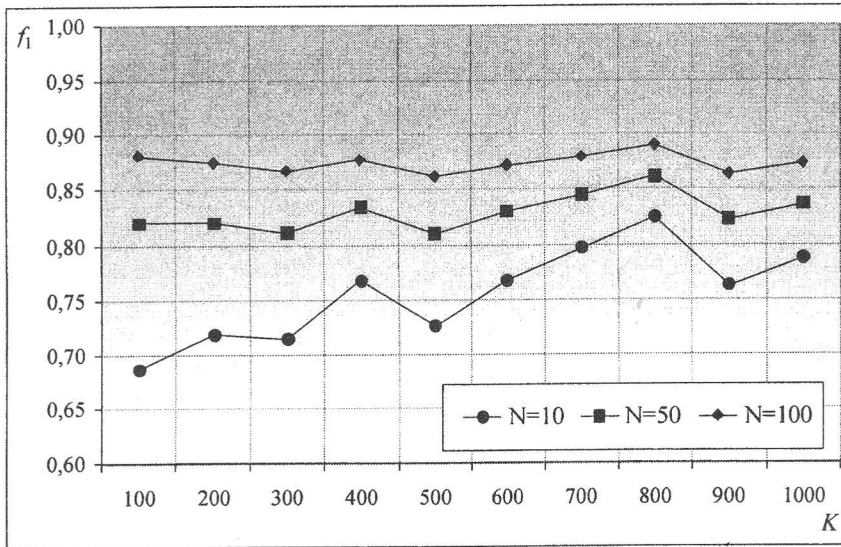


РИС. 5. Функция  $f_1$  при  $P_1 = 0.7$ ,  $k_p = 0.2$

Из анализа графиков следует, что предлагаемый метод позволяет получить устройства с лучшими характеристиками, чем у автомата  $U_1$ . Выигрыш при этом увеличивается по мере роста доли операторных вершин ГСА (рост  $P_1$ ), уменьшения числа микроопераций и числа вершин. Максимальный выигрыш

достигался для ГСА, имеющих около 100 вершин, и составлял 31% при  $N = 10$  и  $P_1 = 0.7$ . Выигрыш также увеличивается по мере уменьшения параметра  $k_p$ .

Предложенный метод позволяет уменьшить число макроячеек PAL в схеме МПА Мура по сравнению со схемой автомата  $U_1$ .

При этом схема ТС реализуется на PAL, что позволяет уменьшить число блоков ЕМВ по сравнению с эквивалентным автоматом  $U_1(\Gamma)$ .

Метод основан на использовании особенностей элементного базиса SoC (большой коэффициент объединения по входу) и особенностей автомата Мура (наличие классов псевдоэквивалентных состояний) для оптимизации аппаратурных затрат схемы автомата.

Практическая значимость метода заключается в уменьшении занимаемой комбинационной схемой МПА площади кристалла SoC, что, с одной стороны, позволяет получить схемы, которые обладают меньшей стоимостью, а с другой – реализовывать более сложные цифровые системы на одном кристалле.

1. *Baranov S.* Logic Synthesis for Control Automata. – Dordrecht: Kluwer Academic Publishers, 1994. – 312 p.
2. *Соловьев В.В.* Проектирование цифровых схем на основе программируемых логических интегральных схем. – М.: Горячая линия-ТЕЛЕКОМ, 2001. – 636 с.
3. *Баркалов А.А., Палагин А.В.* Синтез микропрограммных устройств управления. – Киев: Институт кибернетики НАН Украины, 1997. – 136 с.
4. *Barkalov A., Wegrzyn W.* Design of Control Units with Programmable Logic. – Zielona Gora: University of Zielona Gora Press, 2006. – 150 p.
5. *Maxfield C.* The Design Warriors Guide to FPGAs. – Amsterdam: Elsevier, 2004. – 541 p.
6. *Грушницкий Р.И., Мурсаев А.Х., Узрюмов Е.П.* Проектирование систем с использованием микросхем программируемой логики. – СПб: БХВ–Петербург, 2002. – 608 с.
7. *Баркалов А.А.* Синтез устройств управления на программируемых логических устройствах. – Донецк: ДНТУ, 2002. – 262 с.
8. *Kania D.* Synteza logiczna przeznaczona dla matrycowych struktur programowalnych typu PAL. – Gliwice: Zeszyty naukowe Politechniki Śląskiej, 2004. – 240 p.
9. *De Micheli G.* Synthesis and Optimization of Digital Circuits. – New York: McGraw-Hill, 1994. – 636 p.
10. *Баркалов А.А.* Принципы оптимизации логической схемы микропрограммного автомата Мура // Кибернетика и системный анализ – 1998. – № 1. – С. 65–72.
11. *Новиков Г.И.* Оценка эффективности параллельной выборки микрокоманд // Известия вузов СССР. Приборостроение – 1974. – № 2. – С. 71–73.

Получено 09.10.2008