

УДК 004.051-054

Параллельная генерация тестов для МОП-структур на переключательном уровне

А.И. Андрюхин

Донецкий национальный технический университет

alexandruckin@rambler.ru

Abstract

Andruckin A. I. Parallel Test Generation for MOS-Structures on Switch Level. A method for pseudo-random test generation on switch level is described. Experimental results on ISCAS-89 circuits are presented to demonstrate the effectiveness of the proposed method.

Введение

Задача тестирования современных СБИС, производимых по МОП и КМОП, БиКМОП технологиям, вследствие быстрого роста интеграции, частоты и архитектурной сложности является существенно более сложной и затратоемкой, нежели аналогичная задача для схем, которые изготовлены по ЭСЛ- или ТТЛ-технологиям. Для МОП-схем использование известной модели константных неисправностей для ее вентиляного представления не позволяет описывать реальные физические дефекты. Предложено множество путей ее решения: различные расширения вентильного подхода, переход на транзисторный уровень, токовые модели (IDDQ) и т.п.[1-3]. Наиболее известный и радикальный путь обеспечения единого подхода к моделированию различных неисправностей схем изготовленных согласно различным направлениям МОП- технологий, это как известно, использование переключательных моделей [4-7]. Они используют представление устройства на транзисторном уровне и учитывают конкретные особенности МОП-схем, рассматривая их топологическую структуру.

Постановка задачи

Замыкания (обрывы) между слоями металлизации, замыкания (обрывы) между областями диффузии, замыкания между слоями металлизации и подложкой и другие реальные дефекты МОП-схем отображаются тремя классами неисправностей (моделями дефектов): SA (stuck-at), SOP (stuck-open) и SON (stuck-on), что соответствует моделям константных неисправностей, устойчивых обрывов транзисторов и устойчивых замыканий транзисторов [1]. Известно, что обрывы (замыкания) транзисторов могут перевести устройство из класса комбинационных схем в класс последовательностных схем. На вентильном уровне моделировать эти дефекты невозможно или чрезвычайно затруднительно[1,3]. На рис.1 представлены значения двухнаборного теста для

проверки SOP – неисправности для вентиля ИЛИ-НЕ.

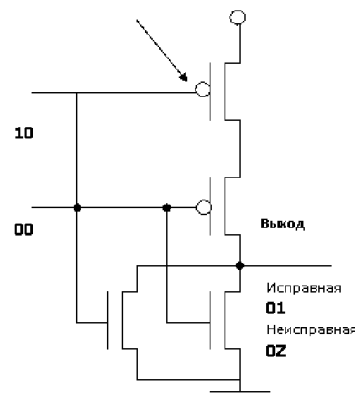


Рисунок 1 – SOP-неисправность для вентиля ИЛИ-НЕ.

Обнаружение SON-неисправностей требует использования метода IDDQ, т.е. измерения тока. На рис.2 показано пути прохождения тока и значения вход-выходных реакций для исправной и неисправной схем.

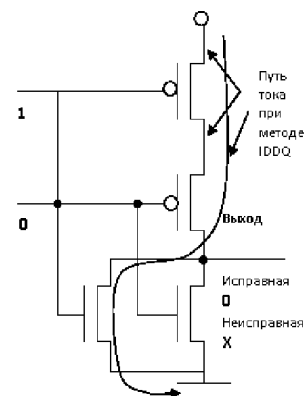


Рисунок 2 – SON-неисправность для вентиля ИЛИ-НЕ.

На рис.3,4 представлено применение метода IDDQ. На этих рисунках показаны путь тока при

наличии неисправности и сравнение сил тока на выходе для исправной и неисправной схем.

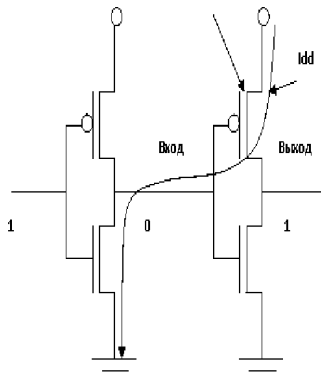


Рисунок 3 – Токвый путь при наличии неисправности.

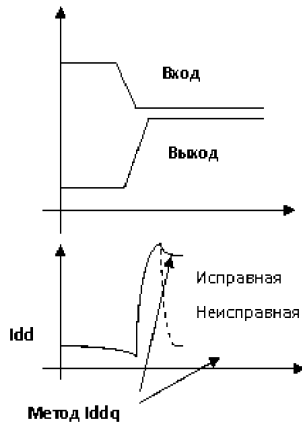


Рисунок 4 – Значения тока в исправной и неисправной схемах.

Однако существуют границы $IDDQ$ тестирования. При субмикронных технологий увеличились токи утечки и стало труднее определить порог $IDDQ$ для разделения исправных и неисправных чипов. Метод $IDDQ$ хорошо работает, когда средний ток схемы с неисправностью больше, чем ток исправного устройства. Методы диагностирования, использующие токовые модели, имеют такие особенности:

- 1) построение тестов проще, так как не надо строить чувствительный путь от места неисправности до выхода схемы;
- 2) точность метода ограничена сложностью кристалла из-за разброса проводимостей транзисторов;
- 3) токовые испытания можно проводить только на низкой частоте.

Моделирование неисправностей является основным инструментом при построении контрольных (проверочных) и диагностических тестов для цифровых систем. Необходимость использования переключательного уровня при

анализе КМОП-неисправностей приводит к значительному увеличению неисправностей различных классов, так как если логические вентили реализуются несколькими транзисторами, то большинство триггерных примитивов требуют для своей аппаратной реализации нескольких десятков транзисторов. Необходимо также указать на незначительные возможности использования правил для определения эквивалентных неисправностей на переключательном уровне. Поэтому более детальное переключательное моделирование неисправностей требует больших затрат компьютерного времени, нежели вентильно-функциональное моделирование и повышение его эффективности является важной и актуальной проблемой.

В работе решается задача тестирования современных СБИС и предлагаются методы повышения эффективности моделирования наиболее значимых дефектов МОП-структур на переключательном уровне, необходимого для генерации и оценки характеристик тестов.

Решение проблемы

Производительность компьютерных систем в предыдущие десятилетия определялась тактовой частотой, оптимизацией исполнения команд и увеличением кэша. В настоящее время и в ближайшей перспективе она будет определяться многоядерностью и доминирующим направлением развития программных технологий станет развитие средств параллельного программирования. Параллельное программирование должно и позволяют решить проблему замедления скорости роста тактовой частоты. Они позволяют принципиально по-новому подойти к созданию масштабируемого программного обеспечения, которое будет полностью использовать увеличение количества вычислительных узлов в процессоре [8]. Таким образом, программное обеспечение будет получать прирост производительности не столько от увеличения тактовой частоты центрального процессора, но и от роста количества ядер в нем.

Основные этапы алгоритма распараллеливания моделирования КМОП-неисправностей для оценки покрывающей способности теста представим таким образом:

1. Исходный большой файл списка неисправностей разбивается на множество небольших файлов, что позволяет осуществить выполнение модуля с этими файлами на множестве вычислителей, за счет чего и происходит повышение эффективности.

В частности, если разбиваем весь список на N равных частей и распределяем на N вычислителей одинаковой мощности, то эффективность увеличивается в N раз.

2. Если вычислитель является многоядерным, мы используем технологию

OpenMP в її простейшій формі для розпаралелювання циклів[9,10]. Звернемо увагу, що основною процедурою при програмній реалізації моделювання дискретних пристроїв є цикл обробки елементів. Це справедливо і на вентильному рівні, і на переключальному рівні, причому як при події подходу, так і при скрізному (сплошному) моделюванні.

Для використання паралельної програмної технології OpenMP була виконана переделка існуючого програмного коду з CBuilder в VC++,

Таблиця 1. Характеристики ефективності розпаралелювання з OPENMP (2 процесора)

Ім'я схеми	Кількість елементів/входів/виходів	Кількість інверторів/триггерів	Переключальне представлення			
			Характеристики представлення	Час моделювання (сек) на 50 наборах		
				Послідовне виконання	#pragma omp sections	#pragma omp parallel for
S13207	8620/33/121	5378/669	25559/58309	8	7	7
S15850	10369/16/87	6324/597	27123/61188	9	7	7
S35932	17793/37/320	3861/1728	77485/177500	22	19	19
S38417	23815/30/106	13470/1636	66906/153443	20	15	15

благодаря чому з'явилася можливість використовувати директиви OpenMP в Visual Studio 2008. Характеристики ефективності виконання розробки представлені в таблиці 1, 2 для процесора Intel Pentium E6300 з частотою 1,86 ГГц на 50 входних наборах. В таблиці 1 наведено результати для моделювання правильних пристроїв. В таблиці 2 наведено результати для несправностей «обрив затвора транзистора».

Таблиця 2. Час моделювання схем з несправностями

Ім'я схеми з списку Iscas89	Кількість несправностей	Час виконання послідовно (год)			Час виконання з директивою OPENMP #pragma omp sections			Час виконання з директивою OPENMP #pragma omp parallel for		
		Кількість процесорів з 1 процесором			Кількість процесорів з 2 процесорами			Кількість процесорів з 2 процесорами		
		1	10	100	1	10	100	1	10	100
S38417	88393	296	30	3	184	18,4	1,9	184	18,4	1,8
S38417	190212	528	53	5,3	396	40	4	396	40	4
S13207	71293	79	8	0,8	69	7	0,7	69	7	0,7
S15850	61185	76	7,6	0,8	60	6	0,6	60	6	0,6
S35932	177497	542	54,2	5,4	468	47	4,7	468	47	4,7

Осцилляции при моделировании неисправностей

Відомо, що при моделюванні дискретних пристроїв можлива осциляція значень сигналів на лініях пристрою, т.е. схема не переходить в стійке стан. При побудові тестів такі несправності вважаються виявленими умовно. Це є серйозною проблемою при моделюванні СБИС. Необхідно при

побудові тестів забезпечити відсутність зв'язаних як для правильного пристрою, так і для його несправних модифікацій, які визначаються розглядаємою класом несправностей [11]. Відомо, що для різних ітераційних алгоритмів теоретичний максимум кількості ітерацій для виявлення осциляцій на вентильному або переключальному рівнях моделювання є лінійною функцією кількості базових елементів [2,3]. На практиці обмежують

число ітерацій при моделюванні на основі аналізу структури схеми, урахування характеристик зворотних зв'язків і т.п. При досягненні предельного числа ітерацій звичайно обривають процес моделювання присвоєнням неопределеного значення X осцилюючим лініям моделюваної схеми. Ці дії можуть призводити до помилкових результатів при неправильному визначенні предельного числа ітерацій. Считаем, що при проектуванні урахується умова поглинання $\sigma(S,X) = \sigma(\sigma(S,X),X)$ [5]. Ясно, що при моделюванні пристрою з несправністю (безрадічно на якому рівні ми його моделюємо), це умова порушується.

Заключення і далішні дослідження

В роботі вперше виконано побудову тесту при допомозі моделювання несправностей на переключальному рівні з використанням паралельних технологій.

Результати роботи показують, що паралельні технології дозволять забезпечити моделювання на рівні переключень для всієї СБИС, о чом з сумнівом говорилося в [2, с.226].

Дефекти призводять до неустойчивим значенням напруги на виході пристрою. При моделюванні таких несправностей виникають осциляції, т.е. ітеративний процес моделювання схеми не може

визначити її стійке стан. При виявленні несправностей це явище може бути використано. Однак дати певні відповіді на запитання, чи має осциляція своєю причиною моделювану несправність, визначення практично прийнятної граничної кількості ітерацій для виявлення осциляції, чи можна вважати виявлену несправність при наявності осцилюючих значень сигналів на внутрішніх лініях схеми згідно рис.5, дуже складно в загальному випадку [12-13].

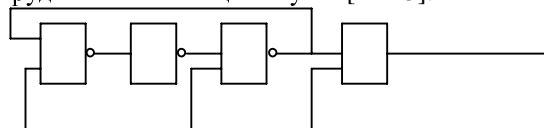


Рисунок 5 – Осциляції внутрішніх ліній схеми

На основі алгоритмів моделювання правильних схем на переключальному рівні програмно реалізовано моделювання схем з несправностями з використанням OpenMP, що дозволяє будувати тести для переключального рівня. Приведені результати ефективності генерації тестів, засновані на моделюванні різних класів несправностей. Разноманітність характеристик різних типів сучасних транзисторних структур стимулює розвиток всіх методів генерації тестів для них.

Література

1. Вейцман І.Н. Тестування КМОП-схем / І.Н.Вейцман, О.М.Кондратьєва // Автоматика і телемеханіка.-1991.-№ 2.-С.3-34.
2. Кіносита К., Асада К., Карацу О. Логічне проектування СБИС.: пер. з япон / К.Кіносита, К.Асада, О.Карацу.-М.:Мир,1988.-309 с.
3. Андрюхін А.І. Паралельне моделювання несправностей МОП-структур / А.І. Андрюхін // Научні праці Донецького державного технічного університету. Серія: Проблеми моделювання і автоматизації проектування динамічних систем. - 2001. - Вип. 29. - С.205-211.
4. Андрюхін А.І. Паралельне багатовзначне логічне моделювання правильних і неправильних псевдобулевих схем / А.І.Андрюхін // Електронне моделювання. -1997. - № 1. - С. 58-63.
5. Hayes J.P. Pseudo-Boolean Logic Circuits//IEEE Trans. on Computers.- 1986. Vol. C-35, N 7, P.602-612.
6. Андрюхін А.І. Генерація тестів для МОП-структур на переключальному рівні / А.І.Андрюхін // Научні праці Донецького національного технічного університету. Серія: Інформатика, кібернетика і обчислювальна техніка(ІКВТ-2008). - 2008. - Вип. 9(132). - с. 195-202.
7. Андрюхін А.І. Статистичні оцінки рішень задач оптимізації в розподілених системах. I. / А.І.Андрюхін // Научні праці Донецького державного технічного університету. Серія: Інформатика, кібернетика і обчислювальна техніка. - 2009. - Вип. 10(153) - С.285 -290.
8. OpenMP Architecture Review Board (<http://www.openmp.org/>).
9. Антонов А.С. Паралельне програмування з використанням технології OpenMP: навчальне посібник. - М.: Изд-во МГУ, 2009. - 77 с.
10. Андрюхін А.І. Статистичні характеристики осциляцій при логічному моделюванні неправильних цифрових схем / А.І.Андрюхін // Научні праці Донецького державного технічного університету. Серія: Інформатика, кібернетика і обчислювальна техніка. - 2009. - Вип. 11(153). - С.291 -295.
12. Лазер І.М. Стійкість цифрових мікроелектронних пристроїв / І.М.Лазер, В.А.Шубарев. - М.: Радио і зв'язь, 1983. - 216с.
13. Wiklund K., Magnusson T., Dahlgren P. Switch-Level Test Generation of Competing Bridging Faults in the Presence of Feedback// Department of Computer Engineering, Chalmers University of Technology S-412 96 Gothenburg, Sweden. Technical Report 00-02

Поступила в редакцію 15.02.2010