

НАЦИОНАЛЬНАЯ АКАДЕМИЯ НАУК УКРАИНЫ
МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ,
МОЛОДЕЖИ И СПОРТА УКРАИНЫ
ИНСТИТУТ ПРОБЛЕМ ИСКУССТВЕННОГО ИНТЕЛЛЕКТА
МОН УКРАИНЫ И НАН УКРАИНЫ
ИНСТИТУТ КИБЕРНЕТИКИ им. В.М. ГЛУШКОВА НАН УКРАИНЫ
ЭКСПЕРИМЕНТАЛЬНОЕ ОТДЕЛЕНИЕ МОРСКОГО
ГИДРОФИЗИЧЕСКОГО ИНСТИТУТА НАН УКРАИНЫ
РОССИЙСКАЯ АКАДЕМИЯ НАУК
МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
ЮЖНЫЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ
ТАГАНРОГСКИЙ ТЕХНОЛОГИЧЕСКИЙ ИНСТИТУТ ЮФУ
НАЦИОНАЛЬНАЯ АКАДЕМИЯ НАУК БЕЛАРУСИ
МИНИСТЕРСТВО ОБРАЗОВАНИЯ РЕСПУБЛИКИ БЕЛАРУСЬ
БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
НИИ ПРИКЛАДНЫХ ПРОБЛЕМ МАТЕМАТИКИ И ИНФОРМАТИКИ

ИСКУССТВЕННЫЙ ИНТЕЛЛЕКТ. ИНТЕЛЛЕКТУАЛЬНЫЕ СИСТЕМЫ

ИИ-2012

ARTIFICIAL INTELLIGENCE.
INTELLIGENT SYSTEMS

AI-2012

Материалы

Международной научно-технической конференции
пос. Кацивели, АР Крым, 1 – 5 октября 2012 года

Донецк
ИПИИ «Наука і освіта»
2012

УДК 004.89
ББК 32.973
И85

И 85 **Искусственный интеллект. Интеллектуальные системы ИИ-2012** : материалы Международной научно-технической конференции (пос. Кацивели, АР Крым, 1-5 октября 2012 года).
Донецьк : ІПШ «Наука і освіта», 2012. – 312 с.

ISBN 978-966 -7829-59-9

Материалы Международной научно-технической конференции «Искусственный интеллект. Интеллектуальные системы» (ИИ-2012) отражают актуальные вопросы современной науки в области систем искусственного интеллекта, интеллектуальных и робототехнических систем, вопросы информационной безопасности. В докладах конференции на высоком научно-методическом уровне освещаются проблемы теоретической и практической разработки информационных технологий.

Матеріали Міжнародної науково-технічної конференції «Штучний інтелект. Інтелектуальні системи» (ШІ-2012) відбивають актуальні питання сучасної науки у сфері систем штучного інтелекту, інтелектуальних і робототехнічних систем, питання інформаційної безпеки. У доповідях конференції на високому науково-методичному рівні висвітлюються проблеми теоретичного й практичного застосування новітніх інформаційних технологій

УДК 004.89
ББК 32.973

ISBN 978-966 -7829-59-9

© ІПШ «Наука і освіта», 2012

АППАРАТНАЯ РЕАЛИЗАЦИЯ ПРЕОБРАЗОВАТЕЛЯ ЧИСЕЛ В ПОСТБИНАРНЫЙ ФОРМАТ

Донецкий национальный технический университет, г. Донецк
anoprien@cs.donntu.edu.ua, ivs@cs.donntu.edu.ua, sergiy@kulibaba.net

Введение

В данной статье представлена аппаратная реализация преобразователя входных данных в постбинарный формат [1], который может изменять свою разрядность, в зависимости от результатов вычислений.

Была построена таблица истинности для внутренних сигналов кода и модификатора формата, типа и вида данных, и получены их функции возбуждения. На базе этих и ряда других был спроектирован преобразователь чисел в тетритовое представление. На рисунке 1 изображена функциональная схема преобразователя, полученная в результате его описания на языке VHDL для дальнейшей его реализации на ПЛИС.

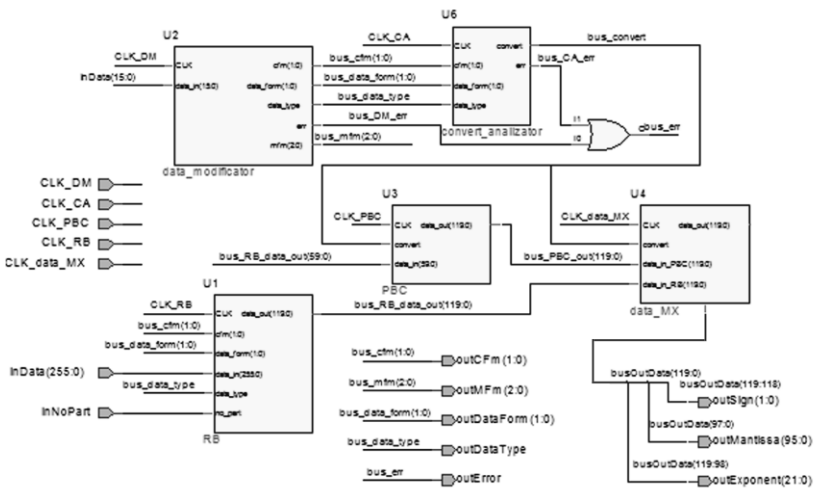


Рисунок 1 – Функциональная схема преобразователя форматов

Функциональная схема преобразователя состоит из блоков:

RB – 256-разрядный буферный регистр. Служит для хранения введенного числа.

PBC – преобразователь входного бинарного числа в постбинарное. При этом каждый бит входного числа представляется тетритом на выходе. Таким образом, данный блок выполняет увеличение разрядности входного числа в 2 раза.

Data_MX – мультиплексор, выбирающий на выходную шину либо значение из буферного регистра, либо из преобразователя PBC. Управляющий сигнал выборки формируется в блоке CA.

CA – блок определения, нужно ли выполнять преобразование входного числа в постбинарное представление.

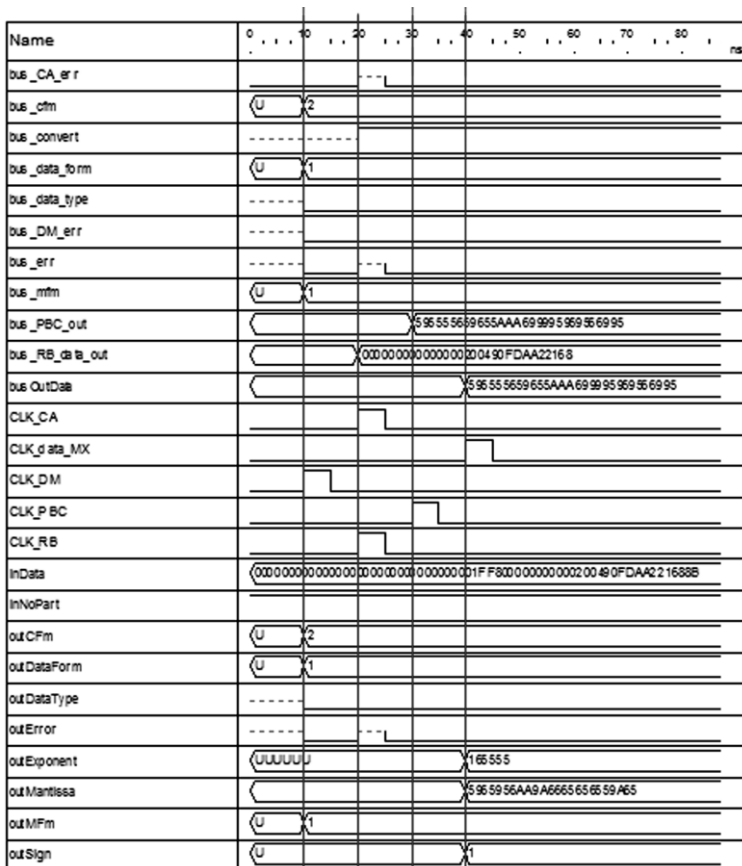
DM – блок определения кода и модификатора формата входного числа, их преобразование в их аппаратный вид. Также, он формирует сигналы data_form и data_type. Эти сигналы, являются более удобными для обработки, в то время, как MF – для хранения.

Моделирование

На рис. 2 изображена временная диаграмма работы преобразователя для введенного входного числа $1/\pi=1,0/3,141592653589793$. Это выражение введено, как 128-разрядная дробь, и далее производится обработка его знаменателя.

(1) Из входного порта младшие 16 бит (0000000000001011) подаются на вход блока DM, где происходит их анализ на наличие полей кода и модификатора формата [2]. Если таковые поля не найдены – генерируется сигнал ошибки. Иначе, происходит их анализ, и генерация новых, модифицированных сигналов (CFm и MFm соответственно), а также data_form и data_type.

(2) Модифицированные сигналы кода и модификатора, а также все 256 бит входного сигнала подаются на вход буферного регистра RB, в котором, происходит выборка 120-битного значения. Если введено просто вещественное число, что оно подается на этот выходной порт, если дробь или интервал, то часть такого числа: первая (числитель или левая граница), или вторая (знаменатель или правая граница соответственно). Выборка части числа происходит по значению входного сигнала по_part, где 0 соответствует первой части, а 1 – второй. При этом, если входное число имеет разрядность меньше, чем 120 бит, то остальные дополняются незначащими нулями.



(1) (2) (3) (4)

Рисунок 2 – Временная диаграмма работы преобразователя

Одновременно с этим, сигналы CMm, data_form и data_type подаются на вход блока CA. На этом блоке происходит анализ этих сигналов на возможность дальнейшей работы постбинарного 120-разрядного процессора с входными данными. В случае невозможности продолжать работу, генерируется сигнал ошибки, который через блок логического ИЛИ подается на выходной порт преобразователя. В случае, если входное число представлено набором тетритов, то выходной сигнал блока convert имеет значение 0 (нет необходимости перехода от битового к тетритовому кодированию), иначе – 1

(необходимо преобразование битовых полей в тетриты), т.к. на разрабатываемом постбинарном 120-разрядном процессоре обрабатываются исключительно постбинарные числа.

(3) Младшие 60 разрядов RB подается на блок преобразователя PBC, где происходит замена бинарных значений регистров их тетритовыми аналогами. После такой операции, на выходном порту блока преобразователя формируются 120 бит, которые поступают на вход АЛУ через блок выборки сигнала data_MX.

(4) Блок выборки выходного сигнала анализирует сигнал convert, по которому входное число проходит на выходной порт преобразователя без изменений, или через блок преобразователя. В данном примере, преобразование необходимо проводить, поэтому, на выходе блока-преобразователя имеем следующие значения:

$S = 0x01$; $E = 0x165555$; $M = 0x5965956AA9A6665656559A65$.

Выводы

В работе рассмотрена аппаратная реализация преобразователя чисел в постбинарные форматы с плавающей запятой и основные принципы его работы. Проведено моделирование и получены ожидаемые результаты.

Литература

1. Аноприенко А.Я. Постбинарный компьютеринг и интервальные вычисления в контексте кодо-логической эволюции / А.Я Аноприенко, С.В. Иваница – Донецк, ДонНТУ, УНИТЕХ, 2011. – 248с.
2. Аноприенко А.Я., Иваница С.В., Кулибаба С.В. Представление постбинарных форматов чисел с плавающей запятой в контексте интервальных вычислений. [Электронный ресурс]. — Режим доступа: http://www.nbu.gov.ua/portal/natural/Npdntu_ikot/2011_14/2_01.pdf.

СОДЕРЖАНИЕ

1 КОНЦЕПТУАЛЬНЫЕ ПРОБЛЕМЫ СОЗДАНИЯ СИСТЕМ ИСКУССТВЕННОГО ИНТЕЛЛЕКТА

<i>Аноприенко А.Я., Иваница С.В., Котов Е.И.</i> Программная модель представления чисел в постбинарных форматах	9
<i>Аноприенко А.Я., Иваница С.В., Кулибаба С.В.</i> Аппаратная реализация преобразователя чисел в постбинарный формат	13
<i>Анцыферов С.С., Русанов К.Е., Маслова Л.В.</i> Качество защиты информации интеллектуальных систем.....	17
<i>Барчукова Ю.В., Крак Ю.В., Троценко Б.А.</i> Побудова системи специфікації для аналізу конфігурації руки людини	20
<i>Булкин В.И.</i> Представление алгебропредикатных структур в виде ассоциативно-логических преобразователей.....	23
<i>Варламов О.О.</i> Миварные технологии и новые проблемы создания искусственного интеллекта – 2012.....	27
<i>Гришко Я.П., Чуйко А.А., Новиков Г.С.</i> Самообучающаяся система неконтактного контроля и диагностики технического состояния летательных аппаратов	31
<i>Иваница С.В.</i> Методы округления чисел с плавающей запятой, представленных в постбинарных форматах.....	33
<i>Кривонос Ю.Г., Крак Ю.В., Сидоренко В.І., Пікалова Г.А.</i> Розробка інформаційних технологій для вивчення жестової мови.....	37
<i>Петрович В.Н.</i> О решении задач моделирования и идентификации параметров динамических систем в условиях неопределенности.....	38
<i>Сторож В.В.</i> Моделирование интеллектуальной деятельности человека	40

Наукове видання

ШТУЧНИЙ ІНТЕЛЕКТ.
ІНТЕЛЕКТУАЛЬНІ СИСТЕМИ
ІІІ-2012

ARTIFICIAL INTELLIGENCE.
INTELLIGENT SYSTEMS
AI-2012

Матеріали
Міжнародної науково-технічної конференції
(сел. Кацівелі, АР Крим, 1 – 5 жовтня 2012 року)

Відповідальний редактор С.Б. Іванова
Технічний редактор В.М. Пігуз
Комп'ютерна верстка А.А. Нікітіна
Коректор С.О. Ізосімова

Формат 60×84/16. Обл.-вид. арк. 18,86. Тираж 300 прим. Зам. № 195/12 від 13.07.12

Видавець і виготовлювач видавництво ІІІІ «Наука і освіта»
Інститут проблем штучного інтелекту МОН і НАН України
Україна, 83050, м. Донецьк, пр. Б. Хмельницького, 84, тел. 311-34-24, 311-72-01
e-mail: edoffice@iai.donetsk.ua, www.iai.dn.ua

Свідоцтво суб'єкта видавничої справи № 444, серія ДК від 08.05.2001.