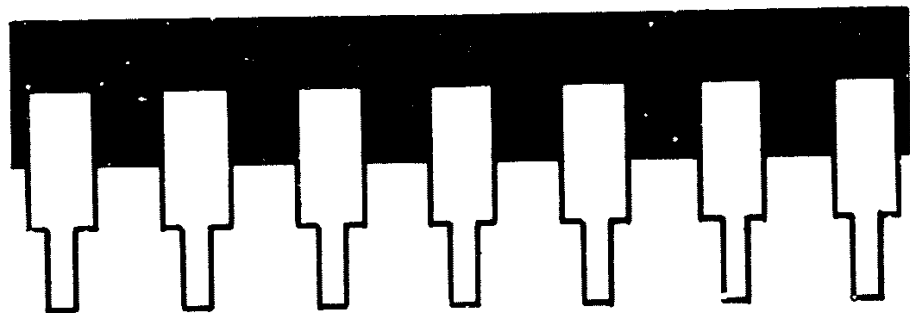


КОНТРОЛЬ И ПРИМЕНЕНИЕ



ЕРЕВАН · 1984 · НОЯБРЬ

тезисы докладов

Научно-производственное объединение "АНИ"
Вычислительный центр АН Армянской ССР

• ВСЕСОЮЗНЫЙ СЕМИНАР
"КОНТРОЛЬ ИЗДЕЛИЙ МИКРОЭЛЕКТРОНИКИ И ПРИМЕНЕНИЕ
МИКРОПРОЦЕССОРНЫХ СРЕДСТВ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ"

Цахгадзор

27 - 30 ноября

ТЕЗИСЫ ДОКЛАДОВ

Ереван 1984

ИССЛЕДОВАНИЕ ГЕНЕРАТОРОВ ТЕСТОВ СХЕМ ВСТРОЕННОГО КОНТРОЛЯ

А. Н. Тарасенко, Ю. Е. Зинченко

-65-

ИССЛЕДОВАНИЕ ГЕНЕРАТОРОВ ТЕСТОВ СХЕМ ВСТРОЕННОГО КОНТРОЛЯ

А.Н.Тарасенко, Ю.Е.Зинченко

Генераторы тестов (ГТ) схем встроенного контроля обычно выполняются на основе двоичного счетчика, ЦЗУ и регистра сдвига с обратными связями. Разработан [1] также подход построения ГТ с хранением и генерацией воздействий, основанный на свойстве анти-самодвойственности функции. Такой подход позволяет оптимизировать затраты ГТ при достаточном количестве точек анти-самодвойственности в тестовой последовательности. Однако, отсутствие сравнительных характеристик различных типов генераторов затрудняет разработку рекомендаций и методик их построения для конкретных схем.

В данной работе приведены результаты исследований по разработке указанных типов ГТ схемы встроенного контроля специфического вычислителя, выполненные параллельно с синтезом тестов. Особенности специфического вычислителя (прием входных сигналов последовательным кодом, наличие запрещенных комбинаций входных сигналов, а также строго регламентированного списка управляющих слов наряду с возможностью произвольного задания информационных слов) обусловили необходимость проведения следующих исследований. С одной стороны стояла задача выбора наиболее приемлемого варианта ГТ по заданной тестовой последовательности, с другой - синтез тестов для выбранного образца ГТ. В результате исследований были получены количественные оценки основных характеристик ГТ, а моделирование последовательностями информационных слов позволило сопоставить конкретный вид тестовой информации с наиболее приемлемым для нее типом ГТ для заданного класса схем (с последовательным приемом информации).

Л и т е р а т у р а

- I. E. M. Abdulhamid, E. Ceruу. *A class of test Generators for Built-in Testing. IEEE Trans. on Computer. October 1983, VC-32, N10, p. 957-959.*

АЛГОРИТМ ГЕНЕРАЦИИ ТЕСТОВ ДЛЯ КОНТРОЛЯ ЯЧЕЕК КМО

А.Н. Айрапетян, В.А. Аветисян

Рассматриваются модели логических схем и вопросы многоуровневого представления компонентов схемы, способы представления и логическое моделирование в системе генерации тестов для контроля ячеек КМО.

Приводится критический анализ различных логических моделей, возможности перехода от одной логической модели к другой. Для компонентов схемы, представленных в виде неполностью определенных абстрактных автоматов, предлагается метод анализа критических соотязаний.

Предлагается алгоритм генерации тестов, основанный на пошаговом приближении к тестовому набору путем максимизации введенного критерия D -различимости. Критерий D -различимости позволяет использовать различные оптимизационные методы поиска локального или глобального экстремума в задачах генерации тестов.

Для определения критерия D -различимости схема разбивается на уровни и вычисляется суммарное хемингово расстояние между сигналами исправной и неисправной модели на линиях одного уровня. Преимущество метода заключается в том, что критерий D -различимости можно определять не только одной исправной и одной неисправной модели, но и для любого числа неисправных моделей, а также