

ОРДЕНА ЛЕНИНА И ДРУЖЕБ НАРОДОВ
АКАДЕМИЯ НАУК УССР
ИНСТИТУТ ПРОБЛЕМ МОДЕЛИРОВАНИЯ В ЭНЕРГЕТИКЕ

На правах рукописи
Для служебного пользования
Экз. №

000050

ЗИНЧЕНКО ЮРИЙ ЕВГЕНЬЕВИЧ

УДК 681.326.74:681.327.8

МЕТОДЫ И СРЕДСТВА ВСТРОЕННОГО ТЕСТОВОГО
ДИАГНОСТИРОВАНИЯ УСТРОЙСТВ СПЕЦИАЛИЗИРОВАННЫХ СЕТЕЙ
ПЕРЕДАЧИ ДАННЫХ РЕАЛЬНОГО ВРЕМЕНИ

Специальности:

- 05.13.13 "Вычислительные машины, комплексы,
системы и сети",
- 05.13.05 "Элементы и устройства вычислительной
техники и систем управления"

А В Т О Р Е Ф Е Р А Т
диссертации на соискание учной степени
кандидата технических наук

КИЕВ 1989

Работа выполнена в Институте проблем моделирования в энергетике ордена Ленина и Дружбы народов Академии Наук УССР и в Донецком ордена Трудового Красного Знамени политехническом институте

Научные руководители доктор технических наук, профессор
Гуляев Василий Анатольевич
кандидат технических наук, доцент
Тараховно Александр Николаевич

Официальные оппоненты доктор технических наук, профессор
Романкевич Алексей Михайлович
кандидат технических наук,
старший научный сотрудник
Зелинский Дмитрий Иосифович

Ведущее предприятие Научно-производственное объединение
"Комета" (г. Москва)

Защита состоится 27 июля 1989 г.
в 10 час 00 мин на заседании специализированного совета
К 016.61.01 в Институте проблем моделирования в энергетике
Академии наук УССР по адресу: 252164, Киев, ул. Генерала Наумова,
15.

С диссертацией можно ознакомиться в библиотеке Института проблем
моделирования в энергетике АН УССР.

Автореферат разослан 19 Июль 1989 г.

Ученый секретарь
специализированного совета
доктор технических наук

В.А. Гуляев

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. Современное состояние развития техники характеризуется все углубляющимся взаимопроникновением электроники, обработки данных и телекоммуникаций, что позволяет выходить на новые рубежи научно-технической революции. Такая тенденция сопровождается увеличением объема передаваемой информации, повышением функциональной и аппаратурной насыщенности сетей передачи данных (СПД), реализующих задачи коммуникаций, ужесточением требований на скорость и надежность передачи и, как следствие, на техническое диагностирование сетей. Традиционные методы и средства технического диагностирования СПД не справляются с возросшим объемом и сложностью задач, что приводит к резкому увеличению сроков проектирования диагностических средств и времени простоя оборудования. Поэтому дальнейшая интенсификация развития техники в значительной степени нуждается в совершенствовании методов и средств технического и, в частности, тестового (ТД) диагностирования СПД.

В отличие от обычных одноплатных комплексов, СПД характеризуется территориальной удаленностью технических средств друг от друга, их сложным взаимодействием, функциональной, временной и аппаратной избыточностью и более высокими требованиями по обеспечению надежности. СПД, функционирующие в реальном времени (РВ), дополнительно отличаются высокой скоростью передачи данных. Указанные особенности настоятельно диктуют необходимость решения задач ТД встроенными средствами, так как внешнее тестирование оказывается сложно реализуемым и неэффективным. Достоинством такого подхода является также и то, что в этом случае диагностирование всей сети сводится к тестированию ее компонентов автономными средствами как обычных одноплатных комплексов, что позволяет использовать накопленный опыт ТД цифровых устройств (ЦУ).

Встроенное ТД несложных ЦУ обычно реализуется с применением методов и средств компактной генерации и анализа тестовых последовательностей (ТП); для сложных (сильно последовательностных) ЦУ, к которым можно отнести и устройства СПД, решение указанной задачи дополнительно сопровождается специальными, контролепригодным, проектированием объекта диагностирования (ОД). Известно, что контролепригодное проектирование сопряжено с внесением существенных изменений в структуру ОД, что не всегда приемлемо. В то же время устройства СПД РВ образуют самостоятельный класс технических

объектов, обладающих рядом специфических особенностей. Поэтому наряду с применением метода контрольно-диагностического проектирования эффективность встроенного ТД может быть повышена на пути совершенствования методов и технических средств компактной генерации и анализа ТП с учетом специфики ОД.

Область исследования. Данная работа посвящена вопросам организации встроенного тестового диагностирования цифровых устройств и систем. В качестве объекта исследования (ОИ) рассматриваются аппаратно-реализованные устройства базовой СЦД РВ. Предметом исследований являются оценка тестируемости операционных и управляющих узлов, модель управляющей части ОИ, методы и средства компактной аппаратной генерации и анализа ТП.

Цель работы является разработка и исследование методов построения технических средств встроенного тестового диагностирования аппаратно-реализованных устройств базовой сети передачи данных реального времени в условиях минимальной аппаратной избыточности и высокой степени обнаружения неисправностей. Для достижения поставленной цели решаются следующие задачи:

1. Исследование операционных и управляющих узлов СЦД РВ как объектов встроенного ТД, определение возможных подходов к решению задач их встроенного ТД.

2. Разработка и обоснование методов аппаратной компактной генерации тестовых воздействий устройств СЦД РВ.

3. Исследование и разработка методов асинхронного компактного анализа тестовых реакций ЦУ.

4. Разработка структур встроенного ТД устройств СЦД РВ.

Методы исследования. При решении поставленных задач в работе используются методы теории автоматов, теории матриц, теории линейной алгебры, теории вероятностей, теории сочетаний.

Научная новизна и основные положения, вносимые на защиту:

1. Графовая структурно-функциональная модель аппаратно-реализованных управляющих узлов базовой СЦД РВ, которая по сравнению с известными аналогичными моделями более адекватно отражает структурные особенности ОД, что позволяет упростить синтез тестовых последовательностей.

2. Подход и функциональные зависимости оценки длины псевдослучайного теста ОЗУ для двух линейных алгоритмов тестирования, который по сравнению с традиционным (вероятностным) подходом отличается качественно (доказано существование верхней границы длины теста) и позволяет снизить избыточность теста.

3. Метод компактной генерации тестов на базе сочетания детерминированных и псевдослучайных тестовых воздействий, который обеспечивает эффективное встроенное тестирование сильно последовательностных ЦУ без их преобразования.

4. Метод компактной генерации детерминированных тестовых воздействий и его реализация на базе разложения на две периодические составляющие и коррекции, что впервые позволило решить задачу компактной генерации детерминированных тестов без изменения порядка следования их векторов.

5. Подход и модель асинхронного компактного анализа тестовых реакций ЦУ, которые расширяют область применения компактного анализа, упрощают расчет сигнатур и оценку характеристик асинхронных анализаторов.

Практическая ценность состоит в том, что полученные в работе результаты позволяют производить синтез ТП и построение компактных средств их генерации для ОЗУ и сильно последовательностных ЦУ, а также позволяют синтезировать структуры и производить расчет вероятностных характеристик компактных анализаторов тестовых реакций синхронных и асинхронных ЦУ. В целом это позволяет в комплексе решать практические задачи встроенного ТД для широкого класса ЦУ.

Реализация результатов работы. Диссертационная работа выполнялась в соответствии с комплексной программой ОЦ-027/05 "Автоматизация научных исследований" (приказы Минвуза СССР № 1063 от 26.09.80 г., № 583 от 05.08.86 г.).

Основные результаты работы были использованы при выполнении научно-исследовательских и опытно-конструкторской работ, проводимых кафедрой ЭИМ Донецкого политехнического института в соответствии с Постановлением ЦК КПСС и Совета Министров СССР и по договорам с предприятиями радиоэлектронной промышленности. В НИО "Комета" (г. Москва) внедрены методы и структуры генерации и анализа ТП при проектировании аппаратных средств встроенного диагностирования блоков ЕС, В1 УЦД и ЕС АД СОВИ, а также методы генерации и анализа ТП при проектировании программного обеспечения средств внешнего диагностирования указанных блоков. В ЦКБ "Алмаз" (г. Москва) внедрена методика оценки и расчета длины псевдослучайного теста запоминающих узлов блока УВВД специализированного процессора обработки сигналов. Годовой экономический эффект от внедрения результатов диссертационной работы составил 75 тыс. рублей.

Апробация работы. Основные научные результаты диссертационной работы докладывались и обсуждались на Всесоюзном семинаре "Контроль изделий микроэлектроники и прикладные микропроцессорных средств связи вычислительной техники" (Дзержинск, 1984); Республиканской научно-технической конференции "Функционально-ориентированные вычислительные системы" (Харьков, 1986); семинаре "Передовой опыт автоматизации проектирования и диагностики микропроцессорных систем" (Киев, 1986); Всесоюзной семинар-школе "Автоматизация научных исследований в области качества и надежности РЭА и ЭВА" (Москва, 1987); Республиканской научно-технической конференции "Проблемы диагностирования микропроцессорных систем" (Ужгород, 1987); семинаре "Техническая диагностика и эксплуатация вычислительных и управляющих систем" при Научном Совете АН УССР (Киев, 1984, 1986); Республиканской научно-технической конференции "Автоматизация контроля вычислительных устройств и систем" (Винница, 1988); УШ Всесоюзной научно-технической конференции "Совершенствование устройств памяти информационных, компьютерных и робототехнических систем" (Одесса, 1988); общенститутской научно-технической конференции ДПИ (Донецк, 1986).

Публикации по работе. Результаты исследований освещены в 13 работах, в том числе в четырех авторских свидетельствах на изобретение и отражены в отчетах по НИР.

Структура и объем работы. Диссертация состоит из введения, пяти глав, заключения, изложенных на 150 страницах машинописного текста, содержит 34 рисунка, список литературы из 89 наименований и приложения.

СОДЕРЖАНИЕ РАБОТЫ

Во введении обосновывается актуальность темы диссертационной работы, формулируются ее цель и задачи исследований.

В первой главе дается краткая характеристика архитектуры СИД и выполняется обзор методов и средств их ТД на системном уровне и на уровне отдельных устройств.

ТД влияет почти на все качественные характеристики СИД, что говорит о необходимости его рациональной организации. На системном уровне построение ТД сетей решается методами взаимно- и самоконтроля, причем по методу самоконтроля, ТД любой сети сводится к тестированию составляющих ее устройств как обычных одноэлементных комплексов. Такой подход упрощает процесс диагностирования и оказывает наиболее благоприятное влияние на качественные характеристики

СИД. Поэтому в данной работе на системном уровне выбран метод самоконтроля.

Далее анализируются известные методы и средства компактной генерации и сжатия тестовых последовательностей.

Известен широкий спектр аппаратных методов и средств компактной генерации исчерпывающих, псевдослучайных (ПСГ) и детерминированных тестов с "гибким" порядком следования векторов, однако, они не эффективны для сильно последовательностных схем, к которым можно отнести и устройства СИД. Строго детерминированные (с "жестким" порядком следования векторов) тесты (СДТ), напротив, обеспечивают удовлетворительное тестирование схем любой сложности, однако не разработаны методы их компактной генерации. Поэтому повышение эффективности в этом направлении может быть обеспечено на базе сочетания СДТ и других типов тестов, например, псевдослучайных, при котором длина детерминированной составляющей сводится к минимуму. Так как при таком подходе СДТ, хотя и резко сокращаясь, все же присутствуют в общем тесте, то наряду с разработкой методов сочетания разнородных тестов, актуальна также задача разработки методов и структур компактной генерации СДТ.

Известные методы и средства компактного анализа можно классифицировать по признаку съема тестовых реакций (ТР). Если сжатие производится по синхросигналам, то анализатор и реализуемый им метод называется синхронным, в противном случае, т.е. когда синхронизация определяется самой сжимаемой ТР, анализатор и метод называются асинхронным. Наиболее исследован, развит и распространен синхронный подход сжатия; сведения об исследованиях асинхронных методах и средствах сжатия практически отсутствуют. В то же время асинхронное сжатие обладает рядом преимуществ по сравнению с синхронным, что особенно ярко проявляется для асинхронных ОД и устройств, функционирующих в системах типа "запрос-ответ". Так как ОИ данной работы можно отнести к устройствам последнего типа, то целесообразна постановка задачи исследования и разработки методов и структур асинхронного компактного анализа ТР.

Во второй главе выполняется анализ особенностей построения и функционирования базовых устройств СИД РВ как объектов ТД, исследование их тестируемости, а также разработка моделей и алгоритмов генерации тестовых воздействий.

Отличительной чертой исследуемых устройств с точки зрения ТД является доминирование общих закономерностей построения и функционирования над специфическими. Среди них наиболее существенное

значение имеет следующие: аппаратная реализация алгоритмов работы устройств, отсутствие сложных функциональных преобразований данных, наличие ЗУ буферного типа и их определяющее влияние на сложность ТД среди операционных узлов, линейность протоколов обмена, сложность и многофункциональность алгоритмов управления процедурами обмена, временная, аппаратная и алгоритмическая избыточность. На основе анализа указанных закономерностей обосновывается направление дальнейших исследований. Он разбивается на операционную и управляющую части, каждая из которых далее рассматривается самостоятельно. Показано, что ввиду отсутствия сложных функциональных преобразований данных неисправности операционной части эффективно покрываются псевдослучайными тестами, где основная сложность вызывает тестирование ЗУ. Поэтому ставится задача исследования тестируемости ЗУ для линейных алгоритмов тестирования, характерных для ЗУ буферного типа, и разработки методики расчета длины ПСТ. По УЧ обосновывается целесообразность разработки структурно-функциональной модели, достаточно полно, просто и адекватно описывающей построение и функционирование УЧ. Далее конкретизируется задача генерации тестов УЧ. Свойство линейности протоколов обмена позволяет классифицировать УЧ как ЦУ сильно последовательностного типа. Поэтому ставится задача разработки алгоритма генерации тестов на базе сочетания детерминированной и псевдослучайной составляющих. Определение доли составляющих в общем тесте и механизма их сочетания предполагается производить на основе использования диагностических свойств УЧ, отраженных в описательной модели.

В области ТД ОЗУ решается задача оценки длины ПСТ. Постановкой такой задачи преследуется цель снизить избыточность длины теста, вносимую при традиционном подходе расчета, который основан на использовании вероятностных свойств ПСТ, но не учитывает их детерминизм. Для решения этой задачи вводятся модели неисправностей, выполняются исследования и формулируются критерии тестируемости неисправностей, на основе которых и с использованием детерминированных свойств ПСТ далее выводятся выражения для оценки длины теста. В качестве ОД рассматривается m -разрядное ОЗУ емкостью $m \cdot n$, где $n, 2^{p-1} < n < 2^p - 1$, - количество m -разрядных слов; $p > 2, m \in \{1, 2, \dots, p\}$. Рассматриваются известные неисправности функционального типа, которые сгруппированы в статическую M^c и динамическую M^d модели. M^c моделирует константные, переходные неисправности, а также неисправности выборки и межсоединений;

M^d помимо указанных моделирует также двухсвязные кодовзависимые неисправности.

Процесс тестирования состоит из k циклов, где k - называется мощностью теста, в каждом из которых производится по одной операции "чтение" и "запись" для каждого слова ОЗУ. На информационных входах ОЗУ генерируется тест T , причем на j -й вход подается тест $T_j, j = \overline{1, m}$, а на адресных входах реализуется линейная генерация кодов адресов. Исследования проводились для двух алгоритмов тестирования, которые различаются порядком чередования операций "чтение" и "запись": по алгоритму В они чередуются через одну, а по алгоритму А - через n -операций. Под критериями тестируемости некоторой неисправности в данной работе подразумевается требования, предъявляемые к тесту T для покрытия этой неисправности. В работе проведены исследования тестируемости каждой из названных выше неисправностей, на основании чего сформулированы и строго доказаны их критерии тестируемости в виде предикатов над элементами теста T . Такое представление позволяет научно обоснованно разрабатывать как детерминированные так и псевдослучайные тесты, а также производить оценку их полноты. Далее на базе полученных критериев рассчитывается длина ПСТ.

Разобьем каждую тестовую последовательность $T_j \in T$ на k сегментов длиной n бит. Условимся, что для псевдослучайного теста T эти сегменты образованы циклическим сдвигом некоторой M -последовательности на определенное число разрядов таким образом, чтобы во всем тесте T не было одинаковых сегментов. Тогда справедливы

Теорема 1. ПСТ T мощностью $k > \lfloor \log_2(n+1) + 1 \rfloor^2$ покрывает все неисправности модели M^c ОЗУ по алгоритму А.

Теорема 2. ПСТ T мощностью $k > \lfloor \log_2^2(n+1) + 1 \rfloor$ покрывает все неисправности модели M^c ОЗУ по алгоритму В.

Анализ результатов, сформулированных теоремами 1,2 показыва-ет, что предложенный подход оценки длины ПСТ имеет преимущества по сравнению с вероятностным подходом. Качественное превосходство состоит в том, что доказано существование верхней границы длины теста, в то время как при вероятностном подходе для достоверного покрытия неисправностей ОЗУ требуется тест бесконечной длины. Использование этих результатов на практике позволяет снизить избыточность ПСТ, вносимую при вероятностном подходе расчета, и приближает его по длине к детерминированным тестам ОЗУ.

Разработка и обоснование структурно-функциональной модели УЧ

базовых устройств СДТ РВ производится в следующем последовательности. В начале УЧ представляется сеть конечных автоматов S , с помощью которой в алгебраической теории автоматов описывается совокупность взаимодействующих конечных автоматов. Такая модель является чрезвычайно сложной и трудно обозримой. С целью ее упрощения на основании специфических свойств ОИ, связанных с реализацией "таймерного механизма", из общей совокупности автоматов сети S выделяются автоматы $\{A_i^c\}$, реализующие функции "таймерного механизма" и описывается их взаимодействие между собой и остальными автоматами сети S - получаем сеть S_C . Следующее преобразование сводится к построению сети S_R как композиции множества $\{A_i^c\}$ и остальных автоматов сети S_C , которые в S_R представлены одним, результирующим, автоматом A_R . Далее определяется "t - устойчивое состояние" автомата A_R как состояние, в котором автомат при определенных условиях может находиться не менее t - элементарных тактов. Множество "t - устойчивых состояний" обозначим как S^t . Искомая модель строится на основании вводимого ниже определения.

Определение 1. Структурно-функциональной моделью УЧ называется помеченный оргграф $G^t(u, R, M)$, в котором множество вершин U отождествляется с множеством S^t , множество дуг R соответствует переходам между состояниями S^t , а множество меток M описывает "вход/выходные" последовательности, обеспечивающие активизацию указанных переходов.

Построение модели сводится к построению графа G , удовлетворяющего определению 1. В работе показаны формальный и неформальный подходы построения графа G по сети S_R . Формальный подход базируется на вычислении степеней матрицы переходов автомата A_R . При неформальном подходе используются предикатные описатели, позволяющие производить построение графа по функциональному описанию ОИ и тем самым значительно упростить этот процесс.

Разработка и обоснование метода генерации тестов УЧ устройств СДТ РВ производится путем совершенствования базового алгоритма синтеза тестов управляющего устройства, представленного конечным автоматом, и распространения полученных результатов на более широкий класс управляющих устройств, описываемых структурно-функциональной моделью. Тест T_2 , построенный по базовому алгоритму, сводится к генерированию СДТ, обеспечивающего активизацию всевозможных переходов между инцидентными состояниями автомата A . Для построения результирующего теста T_2 в T_2 выделяются последовательности,

которые должны иметь строго детерминированный ("жесткий") порядок следования векторов и последовательности, которые можно аппроксимировать псевдослучайными векторами. В результате получен СДТ V длиной L_V как последовательность, обеспечивающая "обход" гамильтонова пути графа переходов автомата, и ИСТ P длиной L_P , который выполняет функции активизации переходов между инцидентными состояниями автомата A . Механизм сочетания детерминированной и псевдослучайной составляющих в тесте T_R состоит в следующем. Пусть V_i - сегмент V , состоящий из i ее первых элементов, U_c - последовательность начальной установки автомата. Тогда $V_i = \overline{U_c} \overline{V_i}$ тест T_R сводится к генерированию j раз, $j \in \overline{1, L_P}$, последовательностей $T_j; T_j = U_c \square V_i \square P(j)$, где " \square " - операция конкатенации; $P(j)$ - j -й вектор P . Этот алгоритм легко распространяется на случай управляющего устройства, представленного структурно-функциональной моделью. Предложенный метод генерации тестов на базе сочетания детерминированных и псевдослучайных последовательностей ценой небольших аппаратных затрат позволяет повысить эффективность компактной генерации тестов для широкого класса ЦУ.

В третьей главе разрабатывается метод компактной генерации детерминированных тестов на базе их разложения на периодические составляющие и коррекции.

Суть метода состоит в том, что по заданной детерминированной ТП с помощью специально разработанного математического аппарата находятся периодические последовательности, которые, суммируясь между собой, образуют исходную ТП. Если такое разложение оказывается возможным, то процесс формирования длиной детерминированной ТП сводится к генерированию ее коротких периодических фрагментов (составляющих), что существенно упрощает процесс генерирования и в конечном итоге снижает затраты на построение генератора тестов. Основой метода является разработанный в данной главе формализм представления двоичной последовательности суммой "по модулю два" двух периодических последовательностей, который состоит в следующем.

Пусть имеются одноразрядные двоичные последовательности V , V_1 и V_2 , длины которых u , u_1 и u_2 соответственно удовлетворяют соотношению $u = u_1 \cdot u_2 / d$, где d - наибольший общий делитель u_1 и u_2 ; j -й элемент некоторой последовательности \mathbb{K} условно обозначать как $\mathbb{K}(j)$.

Определение 2. Последовательность V называется (u_1, u_2) -раз-

ложимой, если существуют такие последовательности V^1 и V^2 , что $\forall i \in \mathbb{N}$ справедливы тождества

$$V(i) = V^1(i \bmod v_1) \oplus V^2(i \bmod v_2) \quad (1)$$

Для выражения условия существования $\{v_1, v_2\}$ -разложимой V , выраженного как функция ее элементов и поиска значений составляющих в работе по соотношениям (1) составляется определенная над полем Галуа $GF(2)$ система уравнений в матричном виде $S: AX = V$, где X - матрица неизвестных, соответствующая периодическим составляющим; A - матрица коэффициентов при неизвестных; V - матрица свободных членов, соответствующая одноименной последовательности. Решение системы S находится на основе анализа структуры матрицы A и приведения расширенной матрицы $\tilde{A} = \|A \parallel V\|$ к канонической ступенчатой форме. На основе полученных результатов доказывается

Теорема 3. Последовательность V является $\{v_1, v_2\}$ -разложимой, если $\forall i = 1, v_1 - v_2 - d$ выполняется тождество

$$V(i) \oplus V(d+i) \oplus \dots \oplus V(td+i) \oplus \\ \oplus V(v_1+i) \oplus V(v_1+d+i) \oplus \dots \oplus V(v_1+td+i) \equiv 0, \quad (2)$$

где $t = v_2/d - 1$.

Если последовательность V $\{v_1, v_2\}$ -разложима, то элементы периодических составляющих V^1 и V^2 удовлетворяют следующим рекуррентным соотношениям

$$V^2(i) = C_i; \\ V^2(k_{l,j}) = V^2(k_{l-1,j}) \oplus V(k_{l-1,j}) \oplus V(v_1 + k_{l-1,j}); \quad (3) \\ V^1(l) = V^2(l \bmod v_2) + V(l),$$

где $k_{l,j} = (lj + j) \bmod v_2$; $l = 1, \overline{v_2/d}$; $j = 1, \overline{d}$; $C_i = 1, u_i; C_i \in \{0, 1\}$.
Первая часть теоремы 3 соответствует условию $\{v_1, v_2\}$ -разложимости V , а вторая ее часть позволяет рассчитывать значения V^1 и V^2 .

Для повышения вероятности разложения в работе предлагается подход коррекции тестов, сущность которого состоит в следующем.

В исходную последовательность V через каждые ее m элементов введем p так называемых корректирующих элементов из последовательности R - получим последовательность, которую назовем (m, p) - коррекцией V .

Определение 3. Последовательность V называется (m, p, v_1, v_2) -разложимой, если существует последовательность R такая, что (m, p) -коррекция V является $\{v_1, v_2\}$ -разложимой.

Значения корректирующих элементов, которые вначале полагаются неизвестными, определяются из условия разложимости V . В процессе формирования тестов корректирующие элементы удаляются, что обеспечивается соответствующей структурой генератора тестов. Для поиска условия (m, p, v_1, v_2) -разложимости V по соотношениям (2) составляется определенная над полем Галуа $GF(2)$ система линейных уравнений, которая в матричной форме имеет вид $\tilde{S}: \tilde{AX} = B$, где X - матрица неизвестных, соответствующая последовательности R ; \tilde{A} - матрица коэффициентов при неизвестных; B - матрица свободных членов. Тогда условие существования решения системы соответственно определяет условие (m, p, v_1, v_2) -разложимости V . При этом в случае, когда V $\{m, p, v_1, v_2\}$ -разложима, значения периодических составляющих можно определить по соотношениям (3).

Построенный формализм разложения и коррекции двоичной последовательности позволяет определять возможность применения предложенного метода генерации тестов и рассчитывать значения периодических составляющих. Применение метода на практике способствует сокращению аппаратных затрат генератора тестов.

Четвертая глава посвящена вопросам компактного анализа ТР.

Выполняется формализация процесса асинхронного компактного анализа, раскрываются механизмы сжатия ТР, обнаружения и компенсации ошибок. Разрабатываются структуры асинхронных анализаторов, которые в общем виде включают компрессор и узел синхронизации (УС) компрессора. Компрессор может быть реализован на базе счетчика (СТ) или сигнатурного регистра (СРГ); в первом случае анализатор называется счетной схемой (СС, рис.1.а), во втором случае - асинхронным сигнатурным анализатором (АСА, рис.1.б). УС состоит из одновибраторов (ОВ) и комбинационной схемы (КС). В зависимости от модификации УС каждый из указанных анализаторов (СС и АСА) подразделяется на анализатор типа 1 (рис.2.а) и типа 2 (рис.2.б). Такая классификация позволяет, с одной стороны, описать известные асинхронные анализаторы, например, схемы счета переходов, а, с другой стороны - разрабатывать оригинальные структуры. Сценку асинхронных анализаторов предлагается производить по известным характеристикам, в качестве которых выбраны вероятности несоблюдения "частной" $P(t)$, средней P_{cp} и кратной P_k ошибок.

Далее выполняется исследование СС. Пусть θ и P вероятность появления "1" на выходе УС и его КС соответственно в предположении равновероятности любой ТР длиной m . Тогда показано, что $P(t)$ и P_{cp} для СС в общем виде имеют вид:

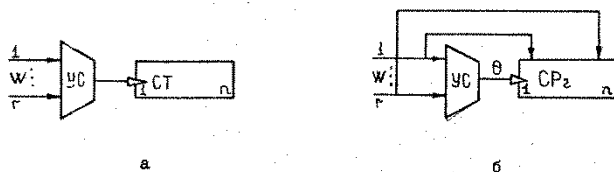


Рис.1

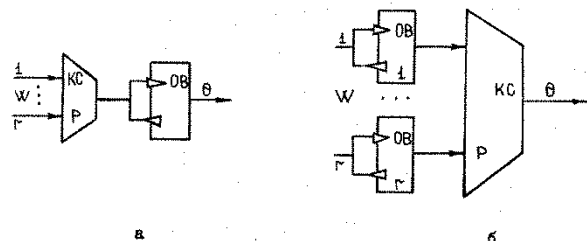


Рис.2

$$P^{cc}(t) = \sum_{t=0}^t A(l, t) - P_s(t), \quad (4)$$

$$P_{cp}^{cc} = \sum_{t=0}^m C_m^t \theta_s^t (1-\theta_s)^{m-t} P^{cc}(t) \quad (5)$$

где $A(l, t) = C_m^l \bar{\theta}^l (1-\bar{\theta})^{t-l} C_m^{t-l} \theta_s^{t-l} (1-\theta_s)^{m-t+l}$;

$P_s(t)$ - вероятность появления эталонной ТР:

$$P_s(t) = \begin{cases} 2^{-\gamma m} & \text{если } W \text{ - ТР синхронного ЦУ;} \\ C_m^t \cdot 2^{-\gamma m} & \text{если } W \text{ - ТР асинхронного ЦУ,} \end{cases}$$

$$\bar{\theta} = \theta / \theta_s, \text{ и } \theta_s = 1 - 2^{-\gamma}$$

Для одноходовой ($\gamma = 1$) СС расширен известный результат вероятности P_K однократной ошибки на случай ошибки произвольной кратности:

$$P_K = 2^{-2K} (C_m^K)^{-1} \sum_{l=1}^{K-1} 2^{2L} C_{m-K}^{K-l} C_{2(K-l)}^{K-l}, \quad (6)$$

что при $K \leq 0,3\sqrt{m}$ упрощается к виду: $P_K \approx 2^{-2K} C_{2K}^K$

Анализ выражений (4), (5) и (6) для СС в общем виде и ее частных модификаций показал, что среди всевозможных вариантов СС оп-

тимальной с точки зрения вероятностных характеристик является одноходовая схема, а среди СС одинаковой разрядности лучше схема, у которой $\theta = 2^{-1}$. Однако и указанные анализаторы являются неудовлетворительными для компактного анализа.

Как альтернатива СС в главе разрабатываются оптимальные по обнаруживающей способности и аппаратным затратам структуры АСА. Для этого в начале строятся выражения для оценки характеристик анализаторов в общем виде, а затем на основе их анализа выбираются оптимальные модификации. Для АСА в общем виде получены выражения:

$$P^{CA}(t) \approx 2^{-n} + \sum_{t=0}^t A(l, t) \theta_s^t 2^{-\gamma t} - P_s(t), \quad (7)$$

$$P_{cp}^{CA} \approx 2^{-n} + \sum_{t=0}^m C_m^t \theta_s^t (1-\theta_s)^{m-t} P^{CA}(t). \quad (8)$$

Анализ выражений (7) и (8) для АСА в общем виде и его частных модификаций показал, что среди двух АСА предпочтителен тот, у которого параметр θ меньше по величине, а для АСА типа I и типа 2 оптимальными будут такие реализации КС, для которых $p = 1 - 2^{-\gamma}$ и $p = 2^{-1}$ соответственно. На основе этих соображений разработаны два оптимальных АСА, среди которых один обладает наилучшей обнаруживающей способностью, а другой наиболее экономичен. В целом же для обоих типов оптимальных АСА можно принять $P(t) \approx P_{cp} \approx 2^{-\gamma}$, что близко к синхронному сигнатурному анализу и говорит, таким образом, об их эффективности для компактного анализа ТР.

В пятой главе на базе теоретических разработок, выполненных в работе, проектируются структуры технических средств встроенного ТД базовой СЦД РВ на ее различных иерархических уровнях.

Основными элементами подсистемы встроенного ТД базовой СЦД РВ являются автономные узлы, которыми комплектуется каждый резервируемый блок устройств сети. Доминирование общих закономерностей структурной организации ОИ над специфическими, что было показано во II главе, позволяет выполнять эти узлы для всех устройств по типовой схеме, содержащей генератор тестов и анализатор ТР.

Основными компонентами генератора тестов являются формирователи ПСТ и СДТ, а также смеситель разнородных тестов. Формирователь ПСТ выполняется на базе регистра сдвига с линейными обратными связями, формирователь СДТ реализует разработанный в третьей главе метод разложения и коррекции СДТ и содержит два регистра для генерирования периодических составляющих и схему коррекции для выделения корректирующих элементов. Смеситель реализует разработанный во второй главе алгоритм сочетания ПСТ и СДТ.

Анализатор ТР реализует разработанный в четвертой главе метод асинхронного компактного анализа и содержит компрессор, построенный по одной из оптимальных схем, а также компаратор, мультиплексор входов и схему хранения эталонных сигнатур.

Рассматривается также функционирование подсистемы встроенного диагностирования на различных иерархических уровнях: на уровне системы, устройства, резервируемого блока.

ОСНОВНЫЕ РЕЗУЛЬТАТЫ РАБОТЫ

1. Выполнен анализ методов и технических средств встроенного ТД и структурных особенностей ЦУ базовой СПД РВ как объектов диагностирования. Обоснована целесообразность псевдослучайного тестирования операционной части исследуемых устройств, которое сведено к тестированию ЗУ как наиболее сложных ее узлов. Для управляющей части обоснована целесообразность сочетания разнородных тестов.
2. Сформулированы критерии тестируемости функциональных неисправностей ОЗУ для двух линейных алгоритмов тестирования, что позволяет научно обоснованно решать задачи верификации и синтеза тестов полупроводниковых ЗУ.
3. Путем совместного анализа условий тестируемости функциональных неисправностей и свойств М - последовательностей доказано существование и получены выражения для оценки верхней границы псевдослучайного теста ОЗУ. По сравнению с традиционным (вероятностным) подходом предложенный подход расчета длины псевдослучайного теста отличается качественно (доказано существование верхней границы) и на практике позволяет снизить избыточность теста.
4. Разработана графовая структурно-функциональная модель управляющей части объекта исследований, которая достаточно просто описывает функционирование и по сравнению с известными аналогичными моделями более адекватно отражает структурные особенности объекта диагностирования, что позволяет упростить тестирование.
5. Разработаны метод и структура компактной генерации тестовых воздействий на базе сочетания детерминированных и псевдослучайных тестов, которые в отличие от известных подходов обеспечивают встроенное ТД сложных ЦУ без их преобразования.
6. Разработаны метод и структуры компактной генерации детерминированных тестов на базе их разложения на две периодические составляющие. Выведены условия разложимости и уравнения для расчета составляющих. Предложен подход разложения и коррекции, позволяющий впервые решить задачу компактной генерации тестов без изменения порядка следования их векторов.

7. Выполнены исследования метода асинхронного компактного анализа тестовых реакций ЦУ, формализован процесс сжатия, выявлен механизм компенсации ошибок, предложена методика оценки качественных характеристик асинхронных анализаторов. Данный метод в отличие от известных расширяет область применения компактного анализа, упрощает расчет сигнатур и поиск ошибок.

8. Построены две оптимальные по качественным характеристикам и аппаратным затратам структуры асинхронного компактного анализа, выполнены их детальные исследования, на основе чего показана их эффективность для компактного анализа тестовых реакций как синхронных, так и асинхронных ЦУ.

По результатам выполненных исследований спроектированы средства встроенного ТД, которые внедрены в НПО "Комета" и ЦКБ "Алмаз". Основные результаты диссертации опубликованы в работах:

1. Зинченко В.Е., Тарасенко А.Н., Имас Т.А. Статистическая оценка длины псевдослучайного теста ОЗУ // Совершенствование устройств памяти информационных, компьютерных и робототехнических систем: Тез. докл. Всесоюз. науч.-техн. конф. - Одесса, 23-25 ноября 1988. - М: Радио и связь, 1988. - С.47.
2. Зинченко В.Е. Псевдослучайное тестирование ОЗУ МПС // Проблемы диагностирования микропроцессорных систем: Тез. докл. науч.-техн. конф. - Ужгород, 14-18 окт. 1987. - Киев, 1987. - С.38.
3. Зинченко В.Е., Тарасенко А.Н. Асинхронный анализ тестовых последовательностей МПС // Проблемы диагностирования микропроцессорных систем: Тез. докл. науч.-техн. конф. - Ужгород, 14-18 окт. 1987. - Киев, 1987. - С.60.
4. Зинченко В.Е., Тарасенко А.Н. Децентрализация средств встроенного диагностирования специализированной системы // Функционально-ориентированные вычислительные системы: Тез. докл. науч.-техн. конф. - Харьков, 28-30 мая 1987. - Харьков, 1986. - С.30.
5. Тарасенко А.Н., Зинченко В.Е. Исследование генераторов тестов схем встроенного контроля // Контроль изделий микроэлектроники и применение микропроцессорных средств вычислительной техники: Тез. докл. Всесоюз. науч.-техн. семинара. - Цахкадзор, 27-30 ноября 1984. - Ереван, 1984. - С.65.
6. Зинченко В.Е. Компактное сжатие двоичных последовательностей асинхронным анализатором /Ред. журн. "Электронное моделирование". - Киев, 1988. - 38 с.: ил. - Библиогр. 8 назв. - Деп. в ВНИИТИ 09.03.88. № 1910-В88.
7. Зинченко В.Е. Разработка средств для диагностики...

- 27 с. ил. - Библиогр. 4 назв. - Деп. в УкрНИИТИ 20.06.86, № 1411 - Укр.Деп.

8. Зинченко Ю.Е. Генератор тестов на базе разложения и коррекции тестовой последовательности /Донец.политехн.ин-т.- Донецк 1986. - II с. - ил. - Библиогр. 8 назв. - Деп. в УкрНИИТИ 11.02.86, № 522 - Укр.Деп.

9. Зинченко Ю.Е., Тарасенко А.Н., Шпарбер В.Л. Тестирование микропроцессора /Донец.политехн.ин-т. - Донецк 1986. - 27с. - ил. - Библиогр. 6 назв. - Деп. в УкрНИИТИ 11.02.86, № 521 - Укр.Деп.

10. А. С. 11949266 СССР, МКИ³, G06F 11/26. Устройство для контроля логических блоков /А.Н.Тарасенко, Н.Н.Деркунская, Ю.Е. Зинченко (СССР). - № 3644492/24-24; Опубл.07.04.86, Бюл.№13. -ИЮС.

11. А. С. 1280634 СССР, МКИ³, G06F 11/00. Многоканальный сигнатурный анализатор /Ю.Е.Зинченко, Е.П.Некрасова (СССР). - № 3913716/24-24; Опубл. 30.12.86, Бюл. № 48 - 252 С.

12. А. С. 1383359 СССР, МКИ³, G06F 11/00. Многоканальный сигнатурный анализатор / Ю.Е.Зинченко, (СССР). - № 4122172/24-24; Опубл. 23.03.88, Бюл. № 11. - 223 С.

13. А. С. 1392569 СССР, МКИ³, G06F 11/26. - Устройство встроенного контроля цифровых схем / Ю.Е.Зинченко, А.Н.Тарасенко, А.П. Журавель, А.И.Уткин, С.В.Громов (СССР) №128851/24-24; Опубл. 30.04.88, Бюл. № 16. - 228 С.

Подписано к печати 16.05.1989г.

Бумага офсетная Усл.-печ.лист. 1,0

Тираж 100. Заказ 35.

Бесплатно

Формат 60x84/16.

Уч.-изд.лист 1,0

ЮЛ Института электродинамики АН УССР,
252057, Киев-57, проспект Победы, 56.

Список публикаций автора

1. Зинченко Ю.Е., Тарасенко А.Н., Имас Т.А.. Статистическая оценка длины псевдослучайного теста ОЗУ // Совершенствование устройств памяти информационных, компьютерных и робототехнических систем: Тез. докл. Всесоюзн. наун. техн. конф. - Одесса, 23-25 ноября 1988. - М: Радио и связь, 1988. - С. 47
2. Зинченко Ю.Е.. Псевдослучайное тестирование тестирование ОЗУ МПС // Проблемы диагностирования микропроцессорных систем: Тез. докл. наун. техн. конф. - Ужгород, 14-18 октября 1987. - К, 1987. - С. 38
3. Зинченко Ю.Е., Тарасенко А.Н.. Асинхронный анализ тестовых последовательностей МПС // Проблемы диагностирования микропроцессорных систем: Тез. докл. наун. техн. конф. - Ужгород, 14-18 октября 1987. - К, 1987. - С. 60
4. Зинченко Ю.Е., Тарасенко А.Н.. Децентрализация средств встроенного диагностирования специализированной системы: Тез. докл. наун. техн. конф. - Харьков, 28-30 мая 1987. - Харьков, 1986. - С. 30
5. Тарасенко А.Н., Зинченко Ю.Е.. Исследование генераторов тестов схем встроенного контроля // Контроль изделий микроэлектроники и применение микропроцессорных средств вычислительной техники: Тез. докл. Всесоюзн. наун. техн. семинара. - Цахкадзор, 27-30 ноября 1984. - Ереван, 1984. - С. 65
6. Зинченко Ю.Е.. Компактное сжатие двоичных последовательностей асинхронным анализатором / Ред. журн. "Электронной моделирование", рук. деп. в ВИНТИ 09.03.88. № 1910-В88. - К: ИПМЭ АНУКрайны. - 1988, - 38 с.
7. Зинченко Ю.Е.. Разложение тестовой последовательности на периодические составляющие / Донец. политехн. ин-т., рук. деп. в УкрНИИНТИ 20.06.86. № 1411, - 1986, - 27 с.
8. Зинченко Ю.Е.. Генератор тестов на базе разложения и коррекции тестовой последовательности / Донец. политехн. ин-т., рук. деп. в УкрНИИНТИ 11.02.86. № 522, - 1986, - 11 с.
9. Зинченко Ю.Е., Тарасенко А.Н., Шпарбер В.Л.. Тестирование микропроцессора / Донец. политехн. ин-т., рук. деп. в УкрНИИНТИ 11.02.86. № 521, - 1986, - 27 с.
10. А. С. № 11949266 СССР, МКИ³ G06F 11/26. Устройство для контроля логических блоков / А.Н. Тарасенко, Н.Н. Деркунская, Ю.Е. Зинченко. - № 3644492/24-24; Оpubл. 07.04.85, Бюл. № 13. - 110 с.
11. А. С. № 1280634 СССР, МКИ³ G06F 11/00. Многоканальный сигнатурный анализатор / Ю.Е. Зинченко, Е.П. Некрасова. - № 3913716/24-24; Оpubл. 30.12.86, Бюл. № 48. - 252 с.

12. А. С. № 1383359 СССР, МКИ³ G06F 11/00. Многоканальный сигнатурный анализатор / Ю.Е. Зинченко. - № 4122172/24-24; Опубл. 23.03.88, Бюл. № 11. - 223 с.
13. А. С. № 1392569 СССР, МКИ³ G06F 11/26. Устройство встроенного контроля цифровых схем / Ю.Е. Зинченко, А.Н. Тарасенко, А.П. Журавель, А.И. Уткин, С.В. Громов. - № 4128851/24-24; Опубл. 30.04.88, Бюл. № 16. - 228 с.