

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ, МОЛОДІ ТА СПОРТУ УКРАЇНИ  
ДЕРЖАВНИЙ ВИЩИЙ НАВЧАЛЬНИЙ ЗАКЛАД  
ДОНЕЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ**

**МЕТОДИЧНІ ВКАЗІВКИ  
до виконання лабораторних робіт  
з курсів «Цифрова схемотехніка» і  
«Мікроелектроніка та мікросхемотехніка»  
(для студентів напрямків підготовки 6.051003 «Приладобудування»,  
6.050802 «Електронні пристрої та системи»,  
6.050502 «Інженерна механіка»)**

**РОЗГЛЯНУТО  
на засіданні кафедри  
електронної техніки  
протокол № 6 від 26.01.11 р.**

**ЗАТВЕРДЖЕНО  
на засіданні навчально-  
видавничої ради  
ДВНЗ «ДонНТУ»  
протокол № 3 від 05.05.11 р.**

УДК 681.51:621.385

Методичні вказівки до виконання лабораторних робіт з курсів «Цифрова схемотехніка» і «Мікроелектроніка та мікросхемотехніка» (для студентів напрямків підготовки 6.051003 «Приладобудування», 6.050802 «Електронні пристрої і системи», 6.050502 «Інженерна механіка») / О.В. Вовна, А.А. Зорі – Донецьк: ДонНТУ, 2011. – 44 с.

Методичні вказівки є лабораторним практикуму з курсів «Цифрова схемотехніка» і «Мікроелектроніка та мікросхемотехніка», в них викладено необхідні положення при підготовці до лабораторних робіт, порядок виконання та завдання до лабораторних робіт, зміст звіту і контрольні запитання.

Укладачі:

к.т.н., доц.

О.В. Вовна

д.т.н., проф.

А.А. Зорі

Рецензент

к.т.н. доц.

М.В. Привалов

## ЗМІСТ

	Стор.
ОПИС ЛАБОРАТОРНИХ СТЕНДІВ, ПРИНЦИПІВ ЗБИРАННЯ СХЕМ І ЛАБОРАТОРНОГО УСТАТКУВАННЯ.....	4
ЛАБОРАТОРНА РОБОТА № 1 – Синтез комбінаційних логічних пристроїв.....	8
ЛАБОРАТОРНА РОБОТА № 2 – Дослідження РС-тригерів на логічних елементах та в інтегральному виконанні.....	11
ЛАБОРАТОРНА РОБОТА № 3 – Дослідження D- і T-тригерів на логічних елементах та в інтегральному виконанні.....	17
ЛАБОРАТОРНА РОБОТА № 4 – Дослідження JK-тригерів в інтегральному виконанні.....	22
ЛАБОРАТОРНА РОБОТА № 5 – Дослідження регістрів на RS-, D- та JK-тригерах.....	27
ЛАБОРАТОРНА РОБОТА № 6 – Дослідження асинхронних лічильників на D- та JK-тригерах.....	33
ЛАБОРАТОРНА РОБОТА № 7 – Дослідження синхронних лічильників на JK-тригерах.....	38
ЛАБОРАТОРНА РОБОТА № 8 – Дослідження дешифратора та мультиплектору .....	42
ПЕРЕЛІК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ.....	44

## **ОПИС ЛАБОРАТОРНИХ СТЕНДІВ, ПРИНЦИПІВ ЗБИРАННЯ СХЕМ І ЛАБОРАТОРНОГО УСТАТКУВАННЯ**

Методичні вказівки є лабораторним практикуму з курсів «Цифрова схемотехніка» і «Мікроелектроніка та мікросхемотехніка», в них викладено необхідні положення при підготовці до лабораторних робіт, порядок виконання та завдання на лабораторні роботи, зміст звіту і контрольні запитання.

На першому занятті викладач повідомляє студентам план лабораторних занять на поточний семестр, рекомендує необхідну літературу, знайомить із прийнятою методикою проведення робіт та заходами при контролі підготовленості студентів до лабораторних занять. У вступній бесіді зі студентами викладач пояснює мету виконання робіт, знайомить із застосуванням основного устаткування та дає загальні методичні вказівки до проведення досліджень. При цьому викладач вказує на специфічні умови роботи у лабораторії, які обумовлено правилами внутрішнього розпорядку, організацією робочого часу, вимогами техніки безпеки та правилами протипожежної безпеки при роботі з електричними колами, приладами, апаратами й установками. Кожен студент повинний самостійно вивчити перераховані документи та підтвердити розписом у спеціальному журналі кафедри про ознайомлення його із заходами щодо безпечного виконання робіт у лабораторії і зобов'язанні не порушувати встановлені правила.

Виконання кожної лабораторної роботи складається із двох етапів:

1. Підготовка до лабораторної роботи, вивчення теоретичного матеріалу, виконання всіх розрахунків, складання плану досліджень.

2. Складання з розрахованих та підібраних елементів робочої схеми і дослідження її відповідності зі складеним планом, зіставлення теоретичних і практичних результатів та їхній аналіз, оформлення звіту.

У процесі підготовки до лабораторної роботи студент повинен чітко усвідомити собі кінцеву мету лабораторного дослідження, форму і характер зміни вхідних і вихідних параметрів досліджуваної схеми та виконати необхідні розрахунки. Протокол, підготовлений до лабораторної роботи, повинен містити назву і мету роботи, досліджувані схеми, і часові діаграми, які пояснюють їхню роботу, план досліджень.

Звіт з лабораторної роботи, який представлено до захисту, додатково містить часові діаграми реальних процесів, що протікають у схемі, аналіз і порівняння отриманих результатів з теоретичними.

Часові діаграми обов'язково складаються таким чином, щоб вони знаходились, одна під іншою, синхронізовані та були ілюстрацією фізичних процесів, які протікають у схемі. Оформлення звітів виконується відповідно до вимог ЕСКД до текстових документів.

Порядок, виконання досліджень у лабораторії:

1. Студені допускається до виконання чергової лабораторної роботи при наявності підготовленого, відповідно до приведених вище вимог протоколу.

2. Після дозволу виконувати дослідження студент збирає схему і самостійно проводить настройку її у випадку, якщо схема не працює або працює неправильно, він має знайти причину несправності та усунути її.

3. Настроївши схему та перевіривши відповідність її вихідних сигналів розрахунковим даним, студент запрошує викладача для огляду та перевірки.

4. Після цього виконуються намічені дослідження, по закінченню яких результати пред'являються викладачеві та за його дозволом схема розбирається і робоче місце прибирається.

5. До наступної лабораторної роботи остаточно оформлюється звіт і пред'являється викладачеві. Зміст з попередньої роботи захищається студентом на наступному лабораторному занятті, студент не допускається до наступної лабораторної роботи, якщо не представлений звіт із попередньої роботи.

Перед виконанням кожної лабораторної роботи викладач, опитує студентів як за змістом самої роботи, так і за методикою її виконання. Непідготовлені студенти не допускаються до виконання лабораторної роботи, а вивчають у лабораторії не засвоєний ними матеріал за літературою, що рекомендується.

Універсальний стенду призначено для дослідження цифрових схем побудованих на основі дискретної логіки та тригерних елементів. До складу стенду входять: окремі функціональні схеми призначені для з'єднання їх у різноманітні цифрові схеми; блок живлення та роз'єднання для підключення зовнішніх пристроїв контрольно-вимірювальної апаратури. Зовнішній вигляд стенду TRIGGER наведено на рис. 1. Як видно з рис 1, всі функціональні схеми, які призначені для досліджень, розташовано в центральній частині пристрою та займають більшу її частину. Для кращого зорового сприйняття кожен функціональну схему на передній панелі представлено її принциповою схемою. В місцях зображення входів та виходів схеми, встановлені відповідні світлодіоди, які показують рівень сигналу (світлодіод, який світиться – високий рівень, світлодіод, який не світиться низький рівень), а також конструктивні елементи призначені для підведення вхідних та виведення вихідних сигналів.

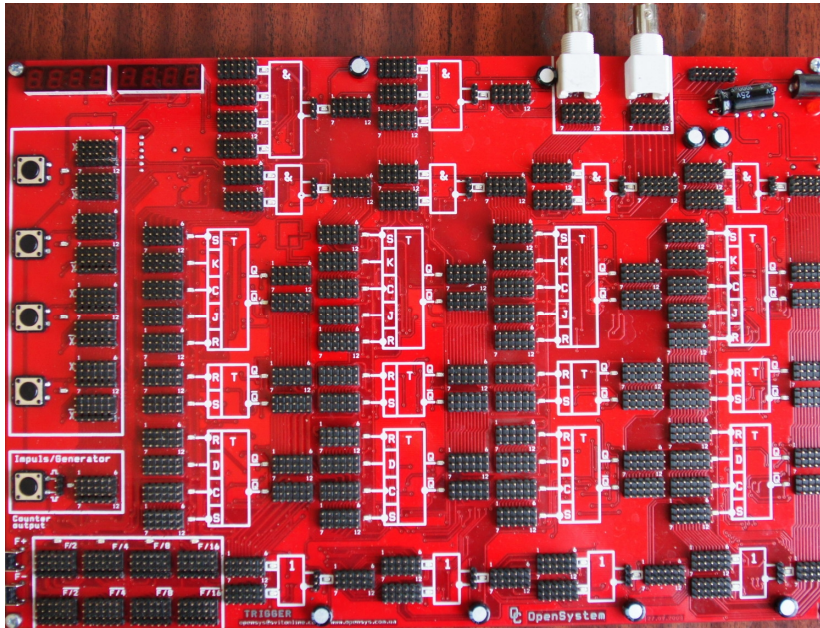


Рисунок 1 – Зовнішній вигляд лабораторного стану TRIGGER

Усі внутрішні контрольно-вимірювальні пристрої стану розташовано у лівій частині лабораторного стану. До їх складу входять:

- кнопки задавання вхідних рівнів;
- генератор сигналів прямокутної форми;
- дільники частот  $F/2$ ,  $F/4$ ,  $F/8$ ,  $F/16$ ;

Блок живлення розташовано у верхній правій частині лабораторного стану. Роз'єкти типу BNC для підключення зовнішньої контрольно-вимірювальної апаратури розміщено у верхній правій частині пристрою.

Для організації внутрішніх зв'язків між окремими блоками лабораторного стану використано 12 внутрішніх ліній зв'язку, конструктивно які виконано дванадцятьма друкованими провідниками. За допомогою перемичок будь-яку із ліній можна з'єднати із входом або виходом будь-якої функціональної схеми, внутрішнім контрольно-вимірювальним пристроєм, роз'єктами. Конструктивне виконання перемичок наступне. Біля кожного входу або виходу розташовано група штирьових контактів розміщених у три ряди. Центральний ряд контактів з'єднано між собою та входом або виходом відповідного блоку макету. Контакти розміщено у крайніх рядах з'єднані кожний із своєю лінією зв'язку. Нумерація ліній проводиться від першої до шостої та від сьомої до дванадцятої лінії, біля яких розміщені відповідні цифрові позначки. Для підключення входу або виходу до відповідної лінії потрібно, надягнути на один із центральних штирків та штирок із відповідним номером на крайніх рядах, перемичку.

На рис. 2 зображено приклад комутаційного поля. Для передачі сигналу

використовується лінія № 3. При встановленні перемички на іншому комутаційному полі в таке ж положення, ці лінії будуть замкнутими. Для передачі сигналу по деякій (обраній) інформаційній лінії необхідно штирок із відповідним номером замкнути перемичкою із спільним рядком на виході і вході відповідних схем.

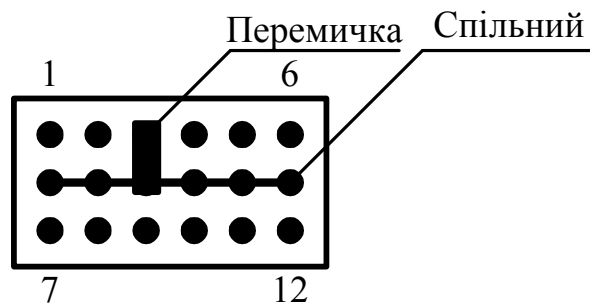


Рисунок 2 – Комутаційне поле

Внутрішній блок живлення лабораторного макету забезпечує напругу живлення +5 В.

# ЛАБОРАТОРНА РОБОТА № 1

## СИНТЕЗ КОМБІНАЦІЙНИХ ЛОГІЧНИХ ПРИСТРОЇВ

**Мета роботи** – вивчення принцип побудови комбінаційних логічних пристроїв, методів мінімізації логічних функцій, методів перетворення схем у базис І – НІ та АБО – НІ.

### 1 Підготовка до роботи

1.1. Виконати синтез комбінаційних логічних пристроїв за аналітичною функціональною залежністю. Записати логічну функцію в базисі І–АБО–НІ.

$$y_1 = \overline{x_1 \cdot x_2} \vee \overline{x_1 \cdot x_2}.$$

1.2 Виконати перетворення в базисі І–НІ та АБО–НІ.

І–НІ 
$$y_1 = \overline{x_1 \cdot x_2} \vee \overline{x_1 \cdot x_2} = \overline{\overline{\overline{x_1 \cdot x_2}} \cdot \overline{\overline{x_1 \cdot x_2}}},$$

АБО–НІ 
$$y_1 = \overline{x_1 \cdot x_2} \vee \overline{x_1 \cdot x_2} = \overline{\overline{x_1} \vee \overline{x_2}} \vee \overline{\overline{x_1} \vee \overline{x_2}}.$$

1.3. Розрахувати таблиці істинності для всіх базисів заданої функції

Базис І–АБО–НІ

$x_2$	$x_1$	$\overline{x_1 \cdot x_2}$	$\overline{x_1 \cdot x_2}$	$y_1 = \overline{x_1 \cdot x_2} \vee \overline{x_1 \cdot x_2}$
0	0	0	0	0
0	1	1	0	1
1	0	0	1	1
1	1	0	0	0

Базис І–НІ

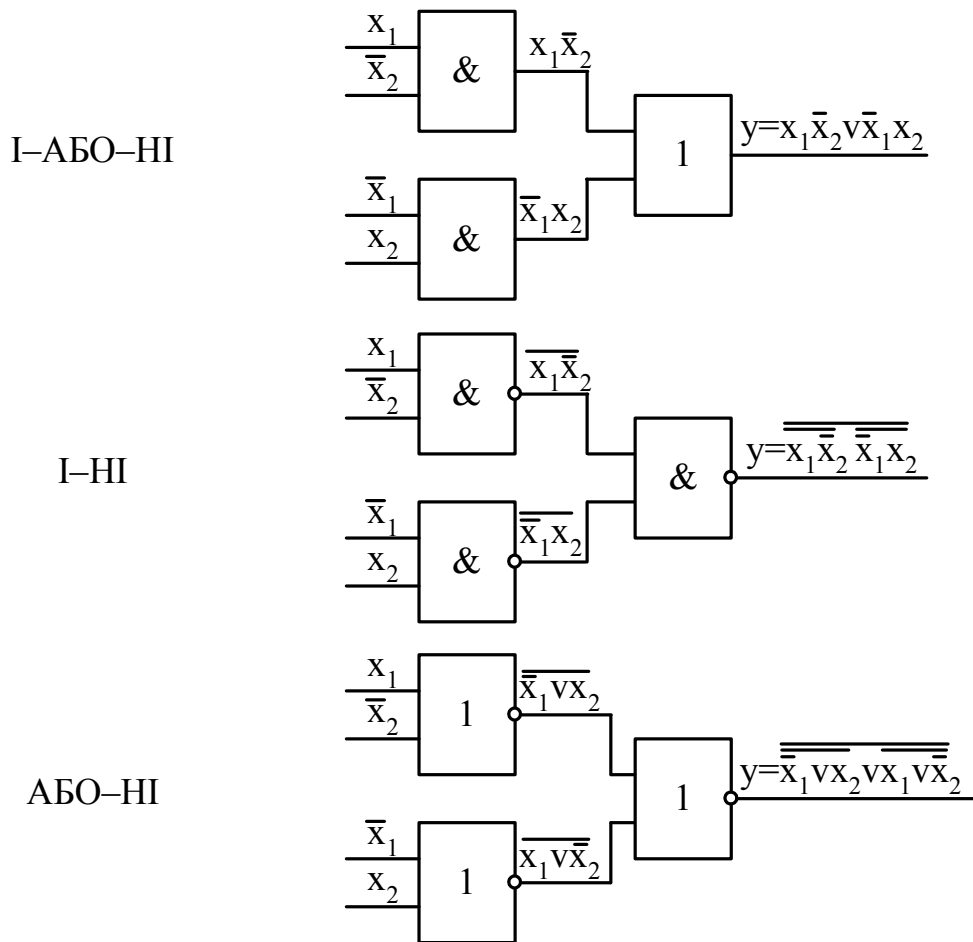
$x_2$	$x_1$	$\overline{\overline{x_1 \cdot x_2}}$	$\overline{\overline{x_1 \cdot x_2}}$	$y_1 = \overline{\overline{\overline{x_1 \cdot x_2}}} \vee \overline{\overline{\overline{x_1 \cdot x_2}}}$
0	0	1	1	0
0	1	0	1	1
1	0	1	0	1
1	1	1	1	0

Базис АБО–НІ

$x_2$	$x_1$	$\overline{\overline{x_1 \vee x_2}}$	$\overline{\overline{x_1 \vee x_2}}$	$y_1 = \overline{\overline{\overline{x_1 \vee x_2}}} \vee \overline{\overline{\overline{x_1 \vee x_2}}}$
0	0	0	0	0
0	1	1	0	1
1	0	0	1	1
1	1	0	0	0



1.4. Розробити комбінаційні логічні схеми та вибрати необхідні логічні пристрої для її реалізації.



1.5. Аналогічно п. 1.2 – 1.4 виконати синтез комбінаційних логічних пристроїв на базі наступних аналітичних залежностей:

$$y_2 = x_1 \cdot \overline{x_2} \cdot x_3 \vee x_2 \cdot \overline{x_3};$$

$$y_3 = x_1 \cdot \overline{x_2} \cdot x_3 \cdot \overline{x_4} \vee \overline{x_1};$$

$$y_4 = x_1 \vee x_2 \vee x_3 \cdot \overline{x_4} \vee x_2 \cdot \overline{x_3}.$$

## 2 Порядок виконання роботи

2.1. Зібрати розроблені комбінаційно-логічні схеми.

2.2. Експериментально отримати таблиці істинності. Переконатися, що зняті експериментально таблиці істинності відповідають розрахунковим.

### **3 Зміст звіту**

3.1. Мета роботи.

3.2. Структурні та принципові схеми комбінаційних логічних пристроїв.

3.3. Таблиці істинності функціонування комбінаційних логічних пристроїв.

3.4. Висновки за результатами виконаної роботи.

### **КОНТРОЛЬНІ ЗАПИТАННЯ**

1. Чим відрізняються між собою статичні та динамічні параметри логічних елементів?

2. Які логічні функції Ви знаєте?

3. Що таке таблиця істинності?

4. Запишіть таблицю істинності для функції 3 І-НІ або 3 АБО-НІ.

5. Що таке ДНФ та КНФ логічних функцій? Навести приклади.

6. Що таке ДДНФ і КДНФ логічних функцій? Навести приклади.

7. Як залежить площа карти Карно від числа змінних?

8. Які основні властивості комбінаційно-логічних схем?

## ЛАБОРАТОРНА РОБОТА № 2

### ДОСЛІДЖЕННЯ RC-ТРИГЕРІВ НА ЛОГІЧНИХ ЕЛЕМЕНТАХ ТА В ІНТЕГРАЛЬНОМУ ВИКОНАННІ

**Мета роботи** – вивчення принципу роботи, основних параметрів та характеристик RC-тригерів на логічних елементах та в інтегральному виконанні, дослідження таблиць станів та побудова часових діаграм їх роботи.

#### 1 Підготовка до роботи

1.1. Скласти таблицю станів асинхронного RC-тригеру на логічних елементах у базисі АБО–НІ (див. табл. 2.1), структурну схему якого наведено на рис. 2.1.

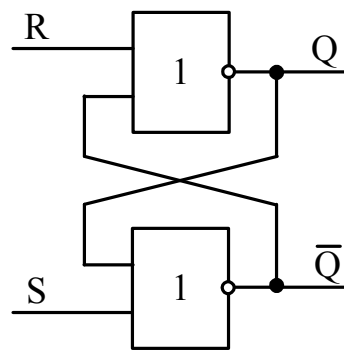


Рисунок 2.1 – Структурна схема асинхронного RC-тригеру на логічних елементах у базисі АБО–НІ

Таблиця 2.1 – Таблиця станів асинхронного RC-тригеру на логічних елементах у базисі АБО–НІ

$R$	$S$	$t$		$t+1$	
		$Q^t$	$\bar{Q}^t$	$Q^{t+1}$	$\bar{Q}^{t+1}$
0	0	0	1	0	1
0	1	0	1	1	0
1	0	0	1	0	1
1	1	0	1	*(0)	*(0)
0	0	1	0	1	0
0	1	1	0	1	0
1	0	1	0	0	1
1	1	1	0	*(0)	*(0)

1.2. Скласти таблицю станів асинхронного RC-тригеру на логічних елементах у базисі І–НІ (див. табл. 2.2), структурну схему якого наведено на рис. 2.2.

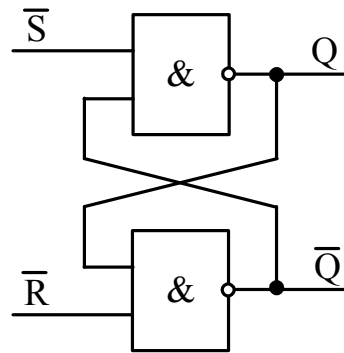


Рисунок 2.2 – Структурна схема асинхронного RC-тригеру на логічних елементах у базисі І–НІ

Таблиця 2.2 – Таблиця станів асинхронного RC-тригеру на логічних елементах у базисі І–НІ

$\bar{S}$	$\bar{R}$	$t$		$t+1$	
		$Q^t$	$\bar{Q}^t$	$Q^{t+1}$	$\bar{Q}^{t+1}$
0	0	0	1	*(1)	*(1)
0	1	0	1	1	0
1	0	0	1	0	1
1	1	0	1	0	1
0	0	1	0	*(1)	*(1)
0	1	1	0	1	0
1	0	1	0	0	1
1	1	1	0	1	0

1.3. Скласти таблицю станів асинхронного RC-тригеру в інтегральному виконанні (див. табл. 2.3), умовно-графічне позначення якого наведено на рис. 2.3.

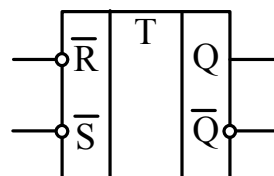


Рисунок 2.3 – Умовно-графічне позначення асинхронного RC-тригеру в інтегральному виконанні

Таблиця 2.3 – Таблиця станів асинхронного RC-тригеру в інтегральному виконанні

$\bar{R}$	$\bar{S}$	$t$		$t+1$	
		$Q^t$	$\bar{Q}^t$	$Q^{t+1}$	$\bar{Q}^{t+1}$
0	0	0	1	*(1)	*(1)
0	1	0	1	0	1
1	0	0	1	1	0
1	1	0	1	0	1
0	0	1	0	*(1)	*(1)
0	1	1	0	0	1
1	0	1	0	1	0
1	1	1	0	1	0

1.4. Скласти таблицю станів синхронного RC-тригеру на логічних елементах у базисі АБО–НІ (див. табл. 2.4), структурну схему якого наведено на рис. 2.4.

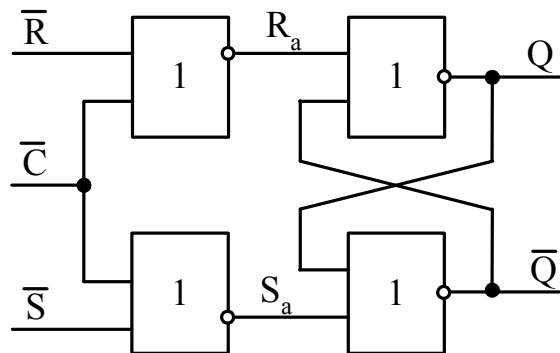


Рисунок 2.4 – Структурна схема синхронного RC-тригеру на логічних елементах у базисі АБО–НІ

Таблиця 2.4 – Таблиця станів синхронного RC-тригеру на логічних елементах у базисі АБО–НІ

$\bar{C}$	$\bar{R}$	$\bar{S}$	$R_a$	$S_a$	$t$		$t+1$	
					$Q^t$	$\bar{Q}^t$	$Q^{t+1}$	$\bar{Q}^{t+1}$
1	0	0	0	0	0	1	0	1
1	0	1	0	0	0	1	0	1
1	1	0	0	0	0	1	0	1
1	1	1	0	0	0	1	0	1

Продовження таблиці 2.4

$\bar{C}$	$\bar{R}$	$\bar{S}$	$R_a$	$S_a$	$t$		$t+1$	
					$Q^t$	$\bar{Q}^t$	$Q^{t+1}$	$\bar{Q}^{t+1}$
1	0	0	0	0	1	0	1	0
1	0	1	0	0	1	0	1	0
1	1	0	0	0	1	0	1	0
1	1	1	0	0	1	0	1	0
0	0	0	1	1	0	1	*(0)	*(0)
0	0	1	1	0	0	1	0	1
0	1	0	0	1	0	1	1	0
0	1	1	0	0	0	1	0	1
0	0	0	1	1	1	0	*(0)	*(0)
0	0	1	1	0	1	0	0	1
0	1	0	0	1	1	0	1	0
0	1	1	0	0	1	0	1	0

1.5. Скласти таблицю станів синхронного RC-тригеру на логічних елементах у базисі І-НІ (див. табл. 2.5), структурну схему якого наведено на рис. 2.5.

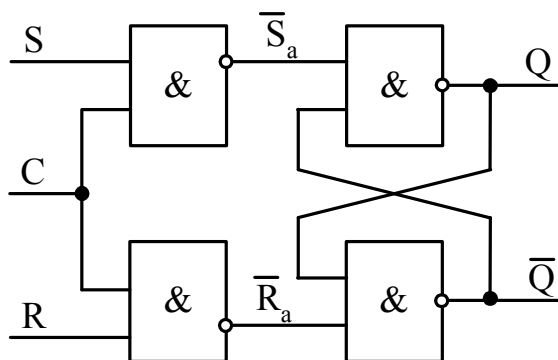


Рисунок 2.5 – Структурна схема синхронного RC-тригеру на логічних елементах у базисі І-НІ

Таблиця 2.5 – Таблиця станів синхронного RS-тригеру на логічних елементах у базисі І–НІ

C	S	R	$\bar{S}_a$	$\bar{R}_a$	t		t+1	
					Q <sup>t</sup>	$\bar{Q}^t$	Q <sup>t+1</sup>	$\bar{Q}^{t+1}$
0	0	0	1	1	0	1	0	1
0	0	1	1	1	0	1	0	1
0	1	0	1	1	0	1	0	1
0	1	1	1	1	0	1	0	1
0	0	0	1	1	1	0	1	0
0	0	1	1	1	1	0	1	0
0	1	0	1	1	1	0	1	0
0	1	1	1	1	1	0	1	0
1	0	0	1	1	0	1	0	1
1	0	1	1	0	0	1	0	1
1	1	0	0	1	0	1	1	0
1	1	1	0	0	0	1	*(1)	*(1)
1	0	0	1	1	1	0	1	0
1	0	1	1	0	1	0	0	1
1	1	0	0	1	1	0	1	0
1	1	1	0	0	1	0	*(1)	*(1)

## 2 Порядок виконання роботи

2.1. Зібрати по черзі схеми тригерів і, подаючи на їх входи інформаційні та керуючі сигнали, виконати експериментальну перевірку функціонування тригерів.

2.2. На базі таблиць станів побудувати часові діаграми тригерів, які досліджувалися у роботі.

## 3. Зміст звіту

3.1. Мета роботи.

3.2. Структурні та принципові схеми тригерів, які досліджувалися в роботі.

3.3. Таблиці станів функціонування тригерів.

- 3.4. Логічні рівняння тригерів, які отримано із таблиць станів.
- 3.5. Часові діаграми, які відповідають таблиці стану.
- 3.6. Висновки за результатами виконаної роботи.

### **КОНТРОЛЬНІ ЗАПИТАННЯ**

1. Чим розрізняються тригери на елементах І-НІ та АБО-НІ?
2. Чим розрізняються асинхронні та синхронні тригери?
3. Запишіть таблицю станів асинхронного RS-тригеру, на базі отриманої таблиці визначте логічне рівняння.
4. На основі логічного рівняння асинхронного RS-тригеру наведіть структурну схему в базисі І-НІ.
5. На основі логічного рівняння асинхронного RS-тригеру наведіть структурну схему в базисі АБО-НІ.
6. Запишіть таблицю станів синхронного RS-тригеру, на базі отриманої таблиці визначте логічне рівняння.
7. На основі логічного рівняння синхронного RS-тригеру наведіть структурну схему в базисі І-НІ.
8. На основі логічного рівняння синхронного RS-тригеру наведіть структурну схему в базисі АБО-НІ.



## ЛАБОРАТОРНА РОБОТА № 3

### ДОСЛІДЖЕННЯ D- І T-ТРИГЕРІВ НА ЛОГІЧНИХ ЕЛЕМЕНТАХ ТА В ІНТЕГРАЛЬНОМУ ВИКОНАННІ

**Мета роботи** – вивчення принципу роботи, основних параметрів та характеристик D- і T-тригерів на логічних елементах та в інтегральному виконанні, дослідження таблиць станів та побудова часових діаграм їх роботи.

#### 1 Підготовка до роботи

1.1. Скласти таблицю станів синхронного D-тригеру на логічних елементах у базисі АБО–НІ (див. табл. 3.1), структурну схему якого наведено на рис. 3.1.

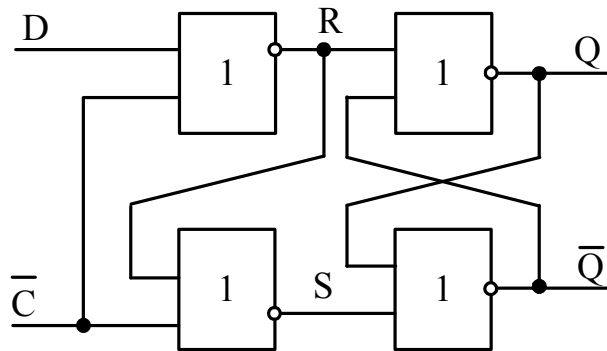


Рисунок 3.1 – Структурна схема синхронного D-тригеру на логічних елементах у базисі АБО–НІ

Таблиця 3.1 – Таблиця станів синхронного D-тригеру на логічних елементах у базисі АБО–НІ

$\bar{C}$	$D$	$R$	$S$	$t$		$t+1$	
				$Q^t$	$\bar{Q}^t$	$Q^{t+1}$	$\bar{Q}^{t+1}$
1	0	0	0	0	1	0	1
1	1	0	0	0	1	0	1
0	0	1	0	0	1	0	1
0	1	0	1	0	1	1	0
1	0	0	0	1	0	1	0
1	1	0	0	1	0	1	0
0	0	1	0	1	0	0	1
0	1	0	1	1	0	1	0

1.2. Скласти таблицю станів синхронного D-тригеру на логічних елементах у базисі І–НІ (див. табл. 3.2), структурну схему якого наведено на рис. 3.2.

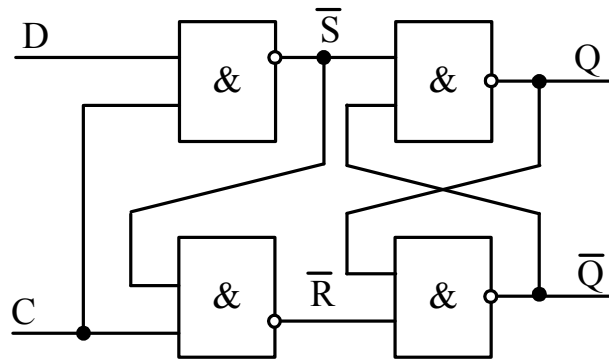


Рисунок 3.2 – Структурна схема синхронного D-тригеру на логічних елементах у базисі І–НІ

Таблиця 3.2 – Таблиця станів синхронного D-тригеру на логічних елементах у базисі І–НІ

$C$	$D$	$\bar{S}$	$\bar{R}$	$t$		$t+1$	
				$Q^t$	$\bar{Q}^t$	$Q^{t+1}$	$\bar{Q}^{t+1}$
0	0	1	1	0	1	0	1
0	1	1	1	0	1	0	1
1	0	1	0	0	1	0	1
1	1	0	1	0	1	1	0
0	0	1	1	1	0	1	0
0	1	1	1	1	0	1	0
1	0	1	0	1	0	0	1
1	1	0	1	1	0	1	0

1.3. Скласти таблицю станів синхронного D-тригеру в інтегральному виконанні (див. табл. 3.3), умовно-графічне позначення якого наведено на рис. 3.3.

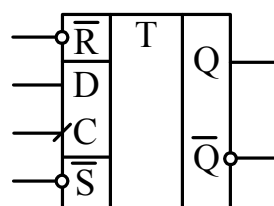


Рисунок 3.3 – Умовно-графічне позначення синхронного D-тригеру в інтегральному виконанні

Таблиця 3.3 – Таблиця станів синхронного D-тригеру в інтегральному виконанні

$\bar{S}$	$\bar{R}$	$C$	$D$	$t$		$t+1$	
				$Q^t$	$\bar{Q}^t$	$Q^{t+1}$	$\bar{Q}^{t+1}$
0	0	*	*	0/1	1/0	*(1)	*(1)
0	1	*	*	0/1	1/0	1	0
1	0	*	*	0/1	1/0	0	1
1	1	0	0	0	1	0	1
1	1	0	1	0	1	0	1
1	1	1	0	0	1	0	1
1	1	1	1	0	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	0
1	1	1	0	1	0	0	1
1	1	1	1	1	0	1	0

1.4. Скласти таблицю станів асинхронного T-тригеру (див. табл. 3.4) на базі синхронного D-тригеру в інтегральному виконанні, структурну схему якого наведено на рис. 3.4.

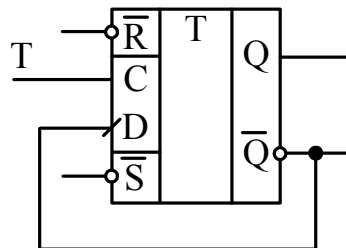


Рисунок 3.4 – Структурна схема асинхронного T-тригеру на базі синхронного D-тригеру в інтегральному виконанні

Таблиця 3.4 – Таблиця станів асинхронного T-тригеру на базі синхронного D-тригеру в інтегральному виконанні

$\bar{S}$	$\bar{R}$	$T$	$t$		$t+1$	
			$Q^t$	$\bar{Q}^t$	$Q^{t+1}$	$\bar{Q}^{t+1}$
0	0	*	0/1	1/0	*(1)	*(1)
0	1	*	0/1	1/0	1	0
1	0	*	0/1	1/0	0	1

Продовження таблиці 3.4

$\bar{S}$	$\bar{R}$	$T$	$t$		$t+1$	
			$Q^t$	$\bar{Q}^t$	$Q^{t+1}$	$\bar{Q}^{t+1}$
1	1	0	0	1	0	1
1	1	1	0	1	1	0
1	1	0	1	0	1	0
1	1	1	1	0	0	1

## 2 Порядок виконання роботи

2.1. Зібрати по черзі схеми D-тригерів і, подаючи на їх входи інформаційні та керуючі сигнали, виконати експериментальну перевірку функціонування тригерів.

2.2. На базі таблиць стану побудувати часові діаграми роботи D-тригерів, що досліджувалися у роботі.

2.3. Зібрати асинхронний T-тригер на базі синхронного D-тригеру в інтегральному виконанні, подаючи на входи інформаційні та керуючі сигнали, виконати експериментальну перевірку функціонування T-тригеру.

2.4. На базі таблиці стану побудувати часові діаграми роботи T-тригерів.

## 3 Зміст звіту

3.1. Мета роботи.

3.2. Структурні та принципові схеми D-тригерів і T-тригеру, що досліджувалися у роботі.

3.3. Таблиці стану функціонування D- і T-тригерів.

3.4. Логічні рівняння D- і T-тригерів, які отримано із таблиць стану.

3.5. Часові діаграми, які відповідають таблицям стану D- і T-тригерів.

3.6. Висновки за результатами виконаної роботи.

## КОНТРОЛЬНІ ЗАПИТАННЯ

1. Запишіть таблицю станів синхронного D-тригеру, на базі отриманої таблиці визначте логічне рівняння.

2. На основі логічного рівняння синхронного D-тригеру наведіть

структурну схему в базисі І-НІ.

3. На основі логічного рівняння синхронного D-тригеру наведіть структурну схему в базисі АБО-НІ.

4. Поясніть, як будується часова діаграма роботи тригеру.

5. Приведіть назву та умовно-графічне позначення різних серій D-тригерів в інтегральному виконанні, які випускаються промисловістю.

6. Запишіть таблицю станів асинхронного T-тригеру, на базі отриманої таблиці визначте логічне рівняння.

7. На основі логічного рівняння асинхронного T-тригеру наведіть його структурну схему.

8. Запишіть таблицю станів синхронного T-тригеру, на базі отриманої таблиці визначте логічне рівняння.

9. На основі логічного рівняння синхронного T-тригеру наведіть його структурну схему.

10. Як побудувати T-тригер на основі RS і D-тригерів?

## ЛАБОРАТОРНА РОБОТА № 4

### ДОСЛІДЖЕННЯ JK-ТРИГЕРІВ В ІНТЕГРАЛЬНОМУ ВИКОНАННІ

**Мета роботи** – вивчення принципу роботи, основних параметрів та характеристик універсального JK-тригеру, дослідження таблиць станів та побудова часових діаграм його роботи.

#### 1 Підготовка до роботи

1.1. Скласти таблицю станів синхронного JK-тригеру (див. табл. 4.1), умовно-графічне позначення якого наведено на рис. 4.1.

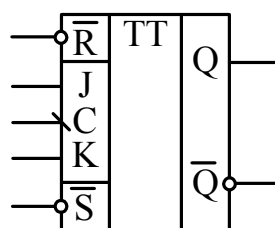


Рисунок 4.1 – Умовно-графічне позначення синхронного JK-тригеру в інтегральному виконанні

Таблиця 4.1 – Таблиця станів синхронного JK-тригеру в інтегральному виконанні

$\bar{S}$	$\bar{R}$	$C$	$J$	$K$	$t$		$t+1$	
					$Q^t$	$\bar{Q}^t$	$Q^{t+1}$	$\bar{Q}^{t+1}$
0	0	*	*	*	0/1	1/0	*(1)	*(1)
0	1	*	*	*	0/1	1/0	1	0
1	0	*	*	*	0/1	1/0	0	1
1	1	0	0	0	0	1	0	1
1	1	0	0	1	0	1	0	1
1	1	0	1	0	0	1	0	1
1	1	0	1	1	0	1	0	1
1	1	1	0	0	0	1	0	1
1	1	1	0	1	0	1	0	1
1	1	1	1	0	0	1	1	0
1	1	1	1	1	0	1	1	0

Продовження таблиці 4.2

$\bar{S}$	$\bar{R}$	$C$	$J$	$K$	$t$		$t+1$	
					$Q^t$	$\bar{Q}^t$	$Q^{t+1}$	$\bar{Q}^{t+1}$
1	1	0	0	0	1	0	1	0
1	1	0	0	1	1	0	1	0
1	1	0	1	0	1	0	1	0
1	1	0	1	1	1	0	1	0
1	1	1	0	0	1	0	1	0
1	1	1	0	1	1	0	0	1
1	1	1	1	0	1	0	1	0
1	1	1	1	1	1	0	0	1

1.2. Скласти таблицю станів асинхронного Т-тригеру (див. табл. 4.2) на базі синхронного JK-тригеру в інтегральному виконанні, структурну схему якого наведено на рис. 4.2.

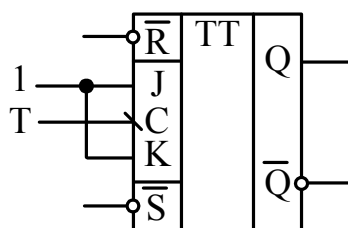


Рисунок 4.2 – Структурна схема асинхронного Т-тригеру на базі синхронного JK-тригеру в інтегральному виконанні

Таблиця 4.2 – Таблиця станів асинхронного Т-тригеру на базі синхронного JK-тригеру в інтегральному виконанні

$\bar{S}$	$\bar{R}$	$T$			$t$		$t+1$	
		$C$	$J$	$K$	$Q^t$	$\bar{Q}^t$	$Q^{t+1}$	$\bar{Q}^{t+1}$
0	0		*		0/1	1/0	*(1)	*(1)
0	1		*		0/1	1/0	1	0
1	0		*		0/1	1/0	0	1
1	1		<b>0</b>		<b>0</b>	1	<b>0</b>	1
1	1		<b>1</b>		<b>0</b>	1	<b>1</b>	0
1	1		<b>0</b>		<b>1</b>	0	<b>1</b>	0
1	1		<b>1</b>		<b>1</b>	0	<b>0</b>	1

1.3. Скласти таблицю станів синхронного Т-тригеру (див. табл. 4.3) на базі синхронного JK-тригеру в інтегральному виконанні, структурну схему якого наведено на рис. 4.3.

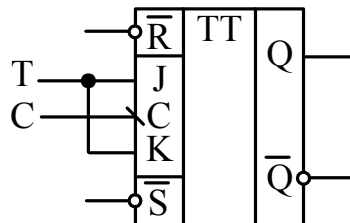


Рисунок 4.3 – Структурна схема синхронного Т-тригеру на базі синхронного JK-тригеру в інтегральному виконанні

Таблиця 4.3 – Таблиця станів синхронного Т-тригеру на базі синхронного JK-тригеру в інтегральному виконанні

$\bar{S}$	$\bar{R}$	$C$	$T$		$t$		$t+1$	
			$J$	$K$	$Q^t$	$\bar{Q}^t$	$Q^{t+1}$	$\bar{Q}^{t+1}$
0	0	*	*	*	0/1	1/0	*(1)	*(1)
0	1	*	*	*	0/1	1/0	1	0
1	0	*	*	*	0/1	1/0	0	1
1	1	0	0	0	0	1	0	1
1	1	0	1	0	0	1	0	1
1	1	1	0	0	0	1	0	1
1	1	1	1	0	0	1	1	0
1	1	0	0	1	1	0	1	0
1	1	0	1	1	1	0	1	0
1	1	1	0	1	1	0	1	0
1	1	1	1	1	1	0	0	1

1.4. Скласти таблицю станів синхронного D-тригеру (див. табл. 4.4) на базі синхронного JK-тригеру в інтегральному виконанні, структурну схему якого наведено на рис. 4.4.

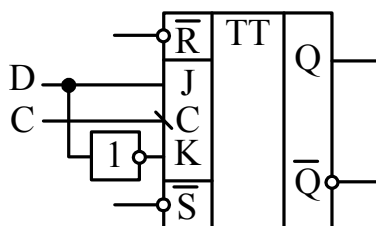


Рисунок 4.4 – Структурна схема D-тригеру на базі JK-тригеру



Таблиця 4.4 – Таблиця станів синхронного D-тригеру на базі синхронного JK-тригеру в інтегральному виконанні

$\bar{S}$	$\bar{R}$	$C$	$D$	$\bar{D}$	$t$		$t+1$	
			$J$	$K$	$Q^t$	$\bar{Q}^t$	$Q^{t+1}$	$\bar{Q}^{t+1}$
0	0	*	*		0/1	1/0	*(1)	*(1)
0	1	*	*		0/1	1/0	1	0
1	0	*	*		0/1	1/0	0	1
1	1	0	0	1	0	1	0	1
1	1	0	1	0	0	1	0	1
1	1	<b>1</b>	<b>0</b>	1	0	1	<b>0</b>	1
1	1	<b>1</b>	<b>1</b>	0	0	1	<b>1</b>	0
1	1	0	0	1	1	0	1	0
1	1	0	1	0	1	0	1	0
1	1	<b>1</b>	<b>0</b>	1	1	0	<b>0</b>	1
1	1	<b>1</b>	<b>1</b>	0	1	0	<b>1</b>	0

## 2 Порядок виконання роботи

2.1. Подаючи на входи JK-тригеру в інтегральному виконанні інформаційні та керуючі сигнали, виконати експериментальну перевірку функціонування тригеру.

2.2. На базі таблиць стану побудувати часові діаграми роботи JK-тригеру.

2.3. Зібрати по черзі схеми асинхронного T-тригеру, синхронного T-тригеру та синхронного D-тригеру на базі JK-тригеру, подаючи на їх входи інформаційні та керуючі сигнали, виконати експериментальну перевірку функціонування тригерів.

2.4. На базі таблиць стану побудувати часові діаграми роботи асинхронного T-тригеру, синхронного T-тригеру та синхронного D-тригеру на базі JK-тригеру.

## 3. Зміст звіту

3.1. Мета роботи.

3.2. Структурні та принципові схеми JK-, T- і D-тригерів, що досліджувалися у роботі.

- 3.3. Таблиці стану функціонування JK-, T- і D-тригерів.
- 3.4. Логічні рівняння JK-, T- і D-тригерів, які отримано з таблиць стану.
- 3.5. Часові діаграми, які відповідають таблицям стану JK-, T- і D-тригерів.
- 3.6. Висновки за результатами виконаної роботи.

### **КОНТРОЛЬНІ ЗАПИТАННЯ**

1. Чому JK-тригер називається універсальним?
2. Для чого використовуються входи  $\bar{S}$  і  $\bar{R}$  у мікросхемі JK-тригеру і яку функцію вони виконують?
3. Як побудувати JK-тригер на базі RS-тригерів?
4. Запишіть таблицю станів JK -тригеру, на базі отриманої таблиці визначте логічне рівняння.
5. Наведіть часові діаграми JK-тригеру, які відповідають таблиці станів.
6. Як побудувати T-тригер на базі JK-тригер?
7. Як побудувати D -тригер на базі JK-тригер?
8. Чи можна в цифровому пристрої замінити синхронних RS-тригер на синхронний JK-тригер, не порушуючи правильності роботи пристрою?

## ЛАБОРАТОРНА РОБОТА № 5

### ДОСЛІДЖЕННЯ РЕГІСТРІВ НА RS-, D- ТА JK-ТРИГЕРАХ

**Мета роботи** – вивчення принципу роботи, основних параметрів і характеристик та схем побудови регістрів на базі тригерів.

#### 1 Підготовка до роботи

1.1. Синтезувати та навести схеми паралельних регістрів на базі RS- (див. рис. 5.1, а) та D-тригерів (див. рис. 5.1, б).

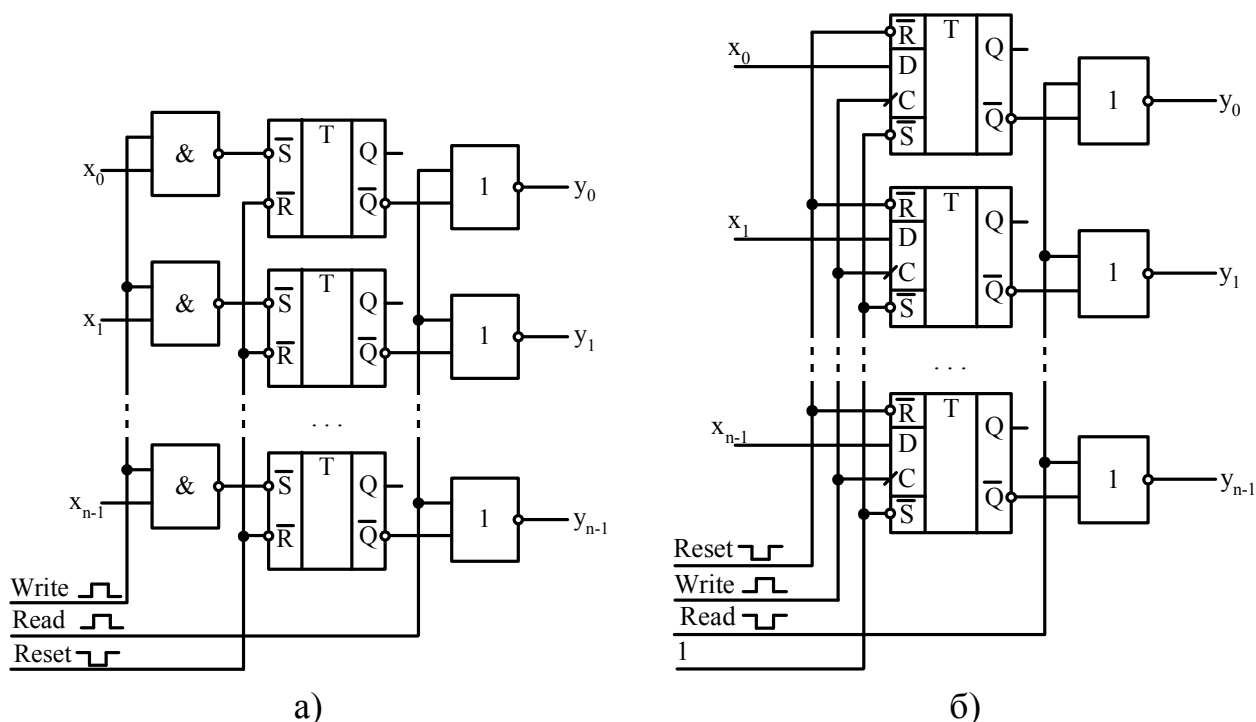


Рисунок 5.1 – Структурна схема паралельних регістрів на RS-(а) та D-тригерах (б)

1.2. Синтезувати та навести схеми регістрів зсуву на базі D- (див. рис. 5.2) та JK-тригерах (див. рис. 5.3). При односпрямованому зсуві між виходами попереднього та входами наступного тригера реалізується безпосередній зв'язок. У регістрі зсуву на D-тригерах (див. рис. 5.2) для передачі інформації між розрядами потрібний зв'язок  $Q_i$  та  $D_{i+1}$ , а у випадку використання JK-тригерів (див. рис. 5.3) – подвійні зв'язки:  $Q_i$  та  $J_{i+1}$ ,  $\overline{Q}_i$  та  $K_{i+1}$ . В іншому структурі, принцип роботи та параметри даних регістрів аналогічні. Введення інформації може здійснюватися послідовно з входу  $X$  із наступним зсувом інформації вправо на один розряд по кожному синхроімпульсу  $C$  або паралельно з входів

А за сигналом Write асинхронного запису числа до попередньо очищеного регістру (сигналом Reset = 0 асинхронного скидання тригерів у стан «0»). Таким чином реалізується послідовний регістр із зсувом числа вправо (вхід –  $X$ , вихід –  $Q_{n-1}$ ), послідовно-паралельний (вхід –  $X$ , виходи –  $Q_0, Q_1, \dots, Q_{n-1}$ ) і паралельно-послідовний (входи –  $A$ , вихід  $Q_{n-1}$ ).

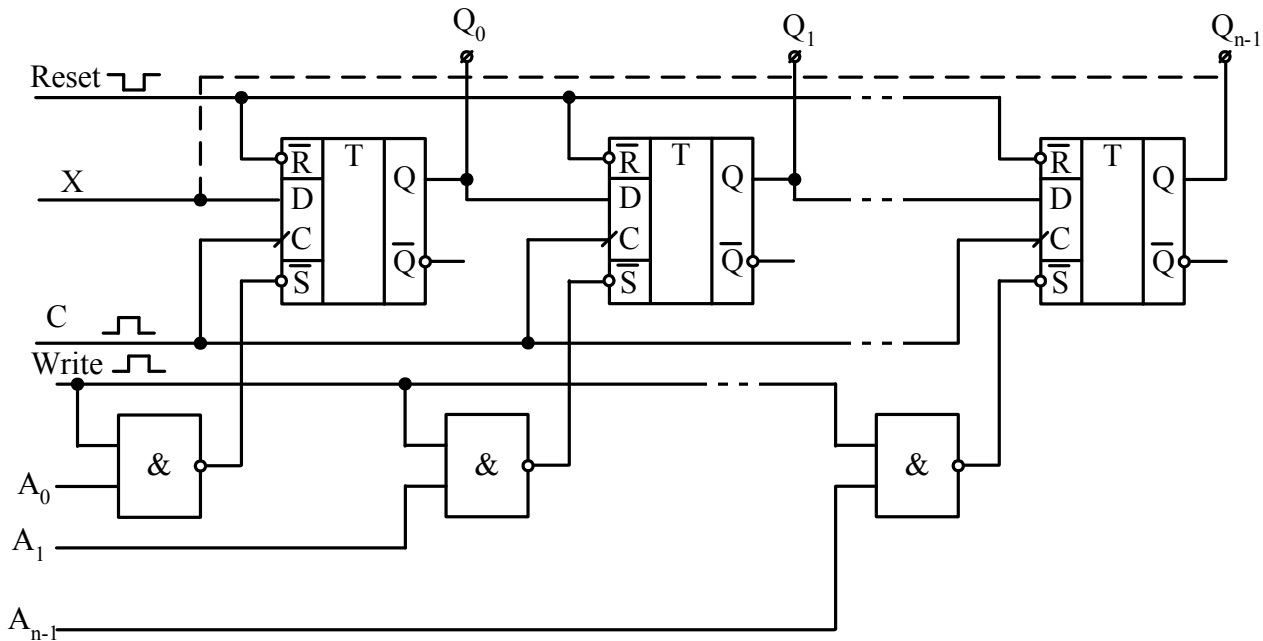


Рисунок 5.2 – Структурна схема регістру зсуву на D-тригерах

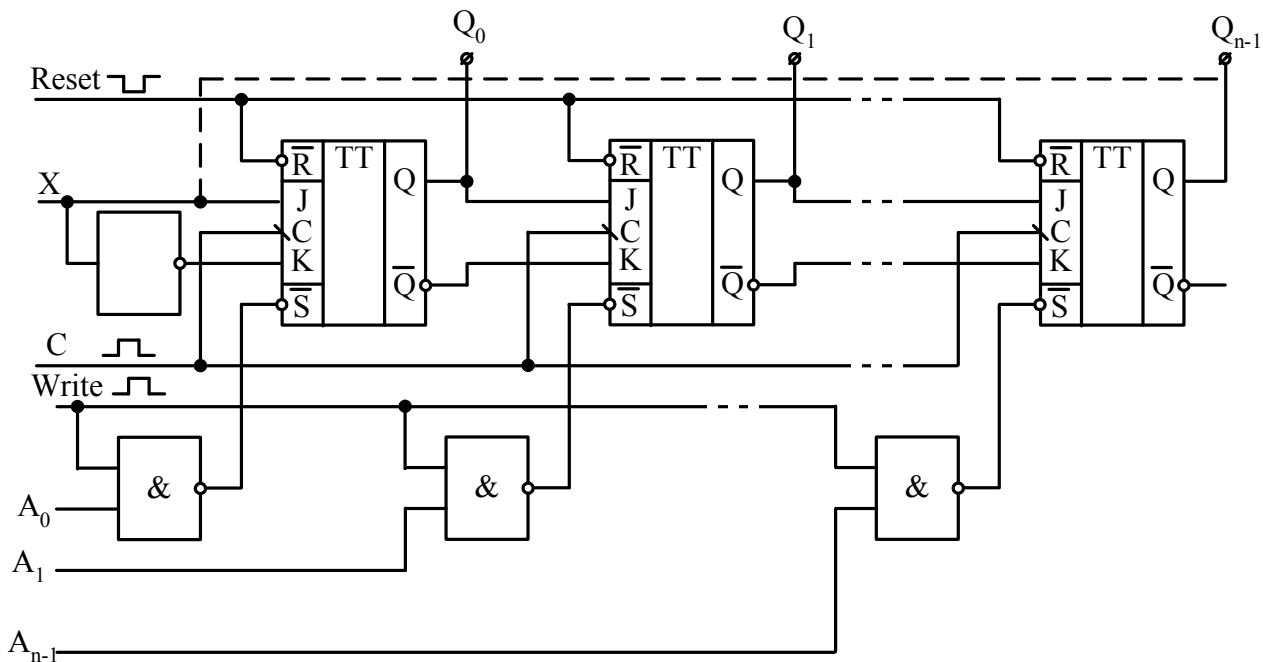


Рисунок 5.3 – Структурна схема регістру зсуву на JK -тригерах

При замиканні виходу останнього розряду з послідовним входом  $X$  (штрихова лінія) реалізується кільцевий регістр зсуву. Інформація у кільце-

вому регістрі вводиться паралельним кодом із входів  $A_i$ , а потім циркулює в замкненому кільці під дією тактових синхроімпульсів  $C$ .

## 2 Порядок виконання роботи

### 2.1. Дослідження паралельного регістру.

2.1.1. Зібрати схему паралельного регістру на RS-тригерах (див. рис. 5.1, а), налагодити її та переконатися у правильності функціонування в статичному режимі. При використанні асинхронних тригерів сигнали ознаки операції подаються від генератора одиночних імпульсів стенду, а інформаційні сигнали з виходів тумблерного регістру. При використанні синхронних тригерів сигнали ознаки операції та інформаційні сигнали формуються тумблерним регістром, в синхроімпульси – генератором одиночних імпульсів. У статичному режимі стан регістру фіксуються за допомогою світлодіодної лінійки, а в динамічному – за допомогою осцилографу.

– встановити регістр у початковий (нульовий стан), шляхом натиснення управляючого сигналу Reset;

– встановити вхідний код  $x_0, x_1, \dots, x_{n-1}$  (за вказівкою викладача);

– записати вхідний код до регістру, шляхом натиснення управляючого сигналу Write;

– зчитати вихідний код з регістру, шляхом натиснення управляючого сигналу Read;

– зафіксувати стани регістру на індикаторах та занести їх до таблиці 5.1.

Таблиця 5.1 – Можливі стани паралельного регістру на RS-тригерах

Розряди регістру	$x_i$	$\bar{S}_i$	$\bar{Q}_i$	$y_i$
------------------	-------	-------------	-------------	-------

2.1.2. Зібрати схему паралельного регістру на D-тригерах (див. рис. 5.2, б), налагодити її та переконатися у правильності функціонування в статичному режимі. Дослідження провести аналогічно п. 2.1.1. Зафіксувати стани паралельного регістру на D-тригерах та індикаторах і занести їх до таблиці 5.2.

Таблиця 5.2 – Можливі стани паралельного регістру на D -тригерах

Розряди регістру	$x_i$	$D_i$	$\bar{Q}_i$	$y_i$
------------------	-------	-------	-------------	-------

## 2.2. Дослідження регістру зсуву.

2.2.1. Зібрати схему регістру зсуву на базі D-тригерів (див. рис. 5.2), налагодити її та переконатися у правильності функціонування в статичному режимі.

2.2.1.1. Дослідження паралельно-послідовного регістру зсуву на D-тригерах:

– встановити регістр у початковий (нульовий стан), шляхом натиснення управляючого сигналу Reset ;

– встановити вхідний паралельний код  $A_0, A_1, \dots, A_{n-1}$  (за вказівкою викладача);

– записати вхідний паралельний код до регістру, шляхом натиснення управляючого сигналу Write ;

– на послідовний вхід регістру  $X$  подати логічний 0, для того щоб при зсуві вправо молодші розряди заповнювалися нулями;

– зсунути інформацію вправо на один розряд, шляхом подачі сигналу синхроімпульсу  $C$

– зафіксувати стани паралельно-послідовного регістру зсуву на індикаторах та занести їх до таблиці 5.3 після  $n$  тактів зсуву.

Таблиця 5.3 – Можливі стани паралельно-послідовного регістру зсуву на базі D- тригеру

№ такту	$Q_0$	$Q_1$	...	$Q_{n-1}$
Початковий стан	0	0	0	0
Запис інформації				
$C = 1$				
...				
$C = n$				

2.2.1.2. Дослідження послідовно-паралельного регістру зсуву на D- тригерах:

– встановити регістр у початковий (нульовий стан), шляхом натиснення управляючого сигналу Reset ;

– становити управляючий сигнал запису паралельного коду ( Write ) в стан логічного 0;

– встановити перший (старший  $X_{n-1}$ ) розряд вхідного послідовного коду  $X_0, X_1, \dots, X_{n-1}$  (за вказівкою викладача) на вхід  $X$  ;

– записати перший біт послідовного коду до регістру, шляхом натиснення

синхроімпульсу  $C$  і т.д.;

– зафіксувати стани послідовного-паралельного регістру зсуву на індикаторах та занести їх до табл. 5.4 після  $n$  тактів зсуву.

Таблиця 5.4 – Можливі стани послідовного-паралельного регістру зсуву на D- тригерах

№ такту	$Q_0$	$Q_1$	...	$Q_{n-1}$
Початковий стан	0	0	0	0
$C = 1$				
...				
$C = n$				

2.2.1.3 Дослідження послідовного регістру зсуву на D- тригерах виконати аналогічно п. 2.2.1.2 . Значення вихідного коду фіксувати в останньому розряді регістру  $Q_{n-1}$ .

2.2.2. Зібрати схему регістру зсуву на базі JK- тригеру (див. рис. 5.3), налагодити її та переконатися у правильності функціонування в статичному режимі. Дослідження виконати аналогічно п.п. 2.2.1.1 –2.2.1.3.

2.3. Дослідження кільцевого регістру.

2.3.1. Зібрати схему кільцевого регістру на базі D-тригеру (див. рис. 5.2), заздалегідь необхідно встановити регістр у початковий стан  $Q_0, Q_1, \dots, Q_{n-1}$  (за вказівкою викладача) та замкнути вихід останнього розряду з послідовним входом  $X$  (штрихова лінія). Налагодити схему та переконатися у правильності її функціонування в статичному режимі. Зафіксувати стани кільцевого регістру зсуву на індикаторах та занести їх до таблиці 5.5 після  $n$  тактів зсуву.

Таблиця 5.5 – Можливі стани кільцевого регістру зсуву на D- тригерах

№ такту	$Q_0$	$Q_1$	...	$Q_{n-1}$
Початковий стан				
$C = 1$				
...				
$C = n$				

2.3.2. Зібрати схему кільцевого регістру на базі (див. рис. 5.4), налагодити її та переконатися у правильності функціонування в статичному режимі. Дослі-

дження виконати аналогічно п.п. 2.3.1.

### **3. Зміст звіту**

3.1. Мета роботи.

3.2. Структурні та принципові схеми регістрів, що досліджувалися у роботі.

3.3. Таблиці стану функціонування регістрів, що досліджувалися у роботі.

3.4. Часові діаграми, які відповідають таблицям стану регістрів.

3.5. Висновки за результатами виконаної роботи.

### **КОНТРОЛЬНІ ЗАПИТАННЯ**

1. Наведіть основні операції, які виконуються регістром.

2. Чим відрізняються регістри на асинхронних і синхронних тригерах та які відмінності в їхньому синтезі?

3. В яких випадках для побудови регістрів варто використовувати тригери із внутрішньою затримкою (двохступінчасті), а коли можна обмежитися одноступінчастими?

4. Що таке довжина регістру і скільки рідних багаторозрядних двійкових чисел можна записати до регістру довжиною 12?

5. Яку роль у структурі регістру виконують тригери, а яку комбінаційні схеми?

6. Які регістри називаються регістрами зсуву та в чому складається зсув двійкового числа в регістрі вправо чи вліво на розряд?

7. Назвіть основні часові характеристики регістрів.

8. Як визначити основні характеристики регістрів?



**ЛАБОРАТОРНА РОБОТА № 6**  
**ДОСЛІДЖЕННЯ АСИНХРОННИХ ЛІЧИЛЬНИКІВ**  
**НА D- ТА JK-ТРИГЕРАХ**

**Мета роботи** – вивчення принципу роботи, основних параметрів і характеристик та схем побудови асинхронних лічильників на D- та JK-тригерах.

**1 Підготовка до роботи**

1.1. Синтезувати та навести схеми асинхронних лічильників, що підсумовують, на базі D-(див. рис. 6.1, а) та JK-тригерів (див. рис. 6.1, б).

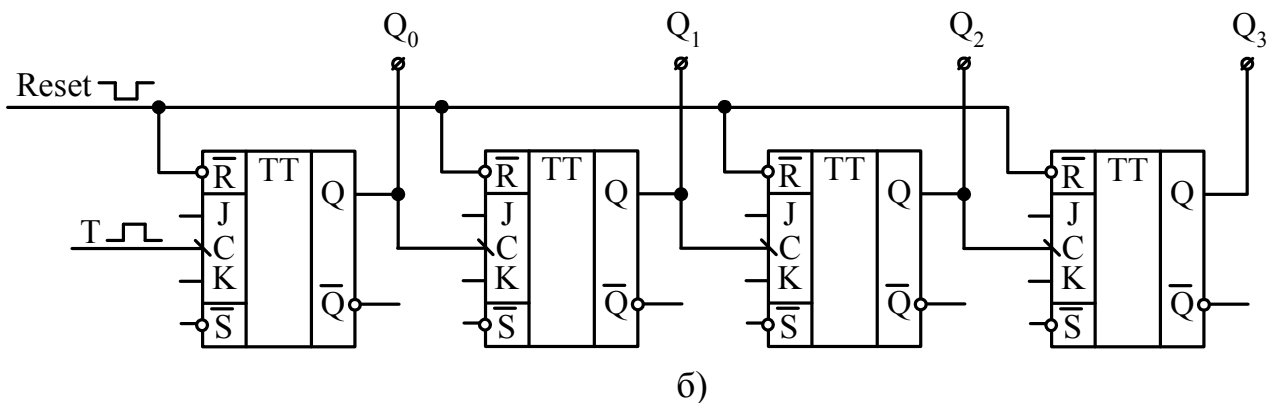
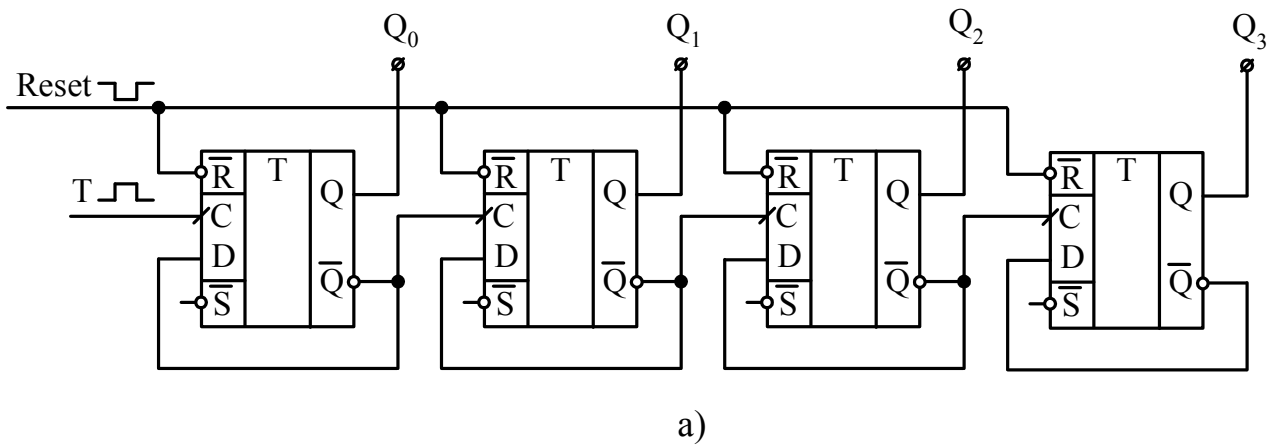
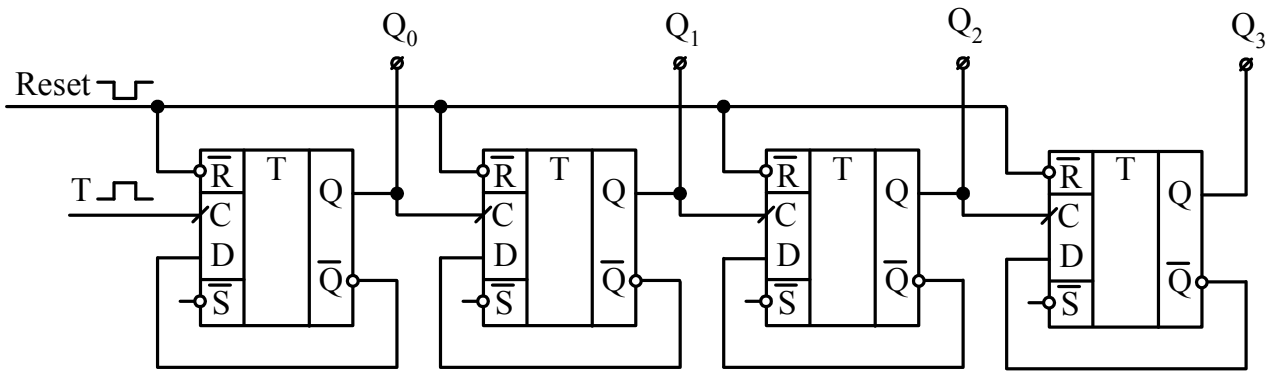
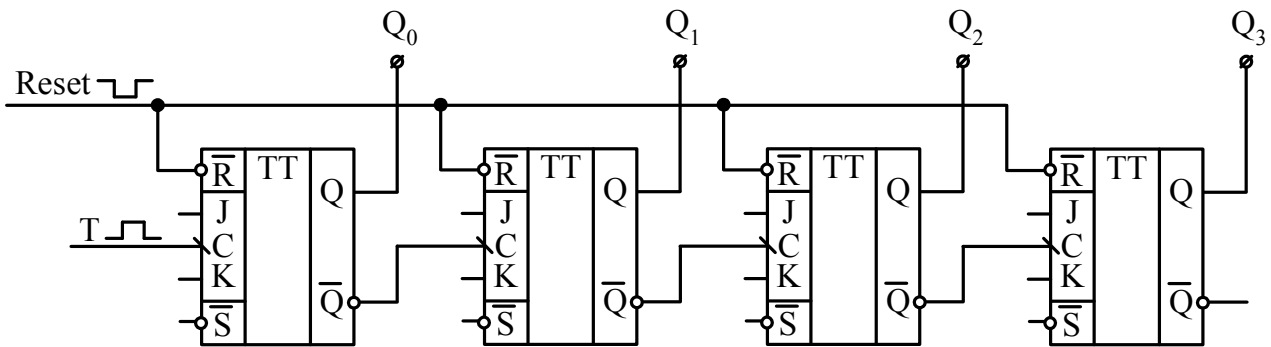


Рисунок 6.1 – Структурні схеми асинхронних лічильників,  
що підсумовують, на базі D-(а) та JK-тригерів (б)

1.2. Синтезувати та навести схеми асинхронних лічильників, що віднімають, на базі D- (див. рис. 6.2, а) та JK-тригерів (див. рис. 6.2, б).



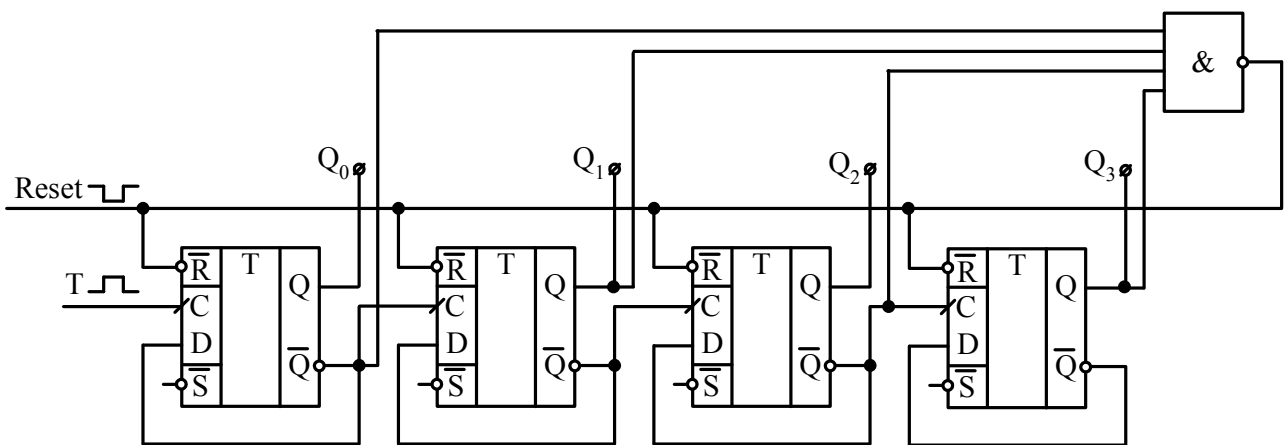
a)



б)

Рисунок 6.2 – Структурні схеми асинхронних лічильників, що віднімають, на базі D-(а) та JK-тригерів (б)

1.3. Синтезувати та навести схеми асинхронних недвійкових лічильників, які реалізуються на основі методу виключення заборонених комбінацій. Структурні схеми двійкового-десятьових асинхронних лічильників на основі двійкових лічильників, що підсумовують, та кола скидання за входом R на базі D-наведено на рис. 6.3, а та JK-тригерів – на рис. 6.3, б.



a)

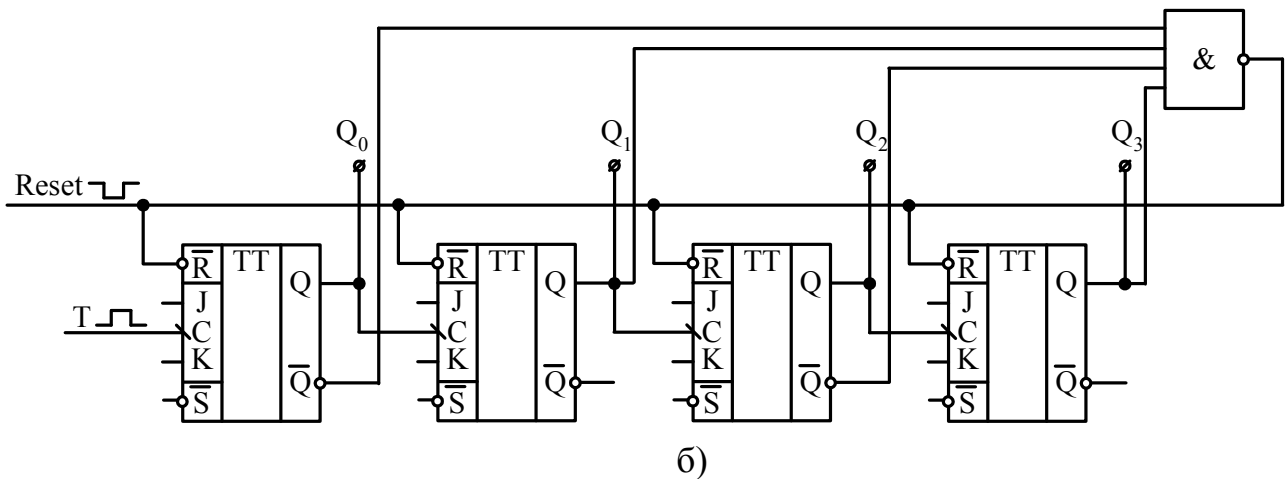


Рисунок 6.3 – Структурні схеми асинхронних недвійкових лічильників, які мають модуль рахунку 10, на базі D-(а) та JK-тригерів (б)

## 2 Порядок виконання роботи

### 2.1. Дослідження асинхронних лічильників на базі D- тригерів.

2.1.1. Зібрати схему асинхронного лічильнику, що підсумовує, на базі D-тригеру (див. рис. 6.1,а), налагодити її та переконатися у правильності функціонування в статичному режимі:

- на всі входи асинхронної установки  $\bar{S}$  подати логічну одиницю;
- встановити лічильник у початковий (нульовий стан), шляхом натиснення управляючого сигналу Reset;
- запустити генератор одиночних імпульсів – синхроімпульс подається до входу лічильнику  $T$ ;
- при повторному запуску генератору одиночних сигналів зафіксувати стани лічильнику на індикаторах та занести їх до таблиці 6.1.
- навести часову діаграму роботи лічильнику за тактами.

Таблиця 6.1 – Можливі стани асинхронного двійкового лічильнику, що підсумовує, на базі D-тригерів

№	$Q_3$	$Q_2$	$Q_1$	$Q_0$
---	-------	-------	-------	-------

2.1.2. Зібрати схему асинхронного лічильнику, що віднімає, на базі D-тригерів (див. рис. 6.2,а), налагодити її та переконатися у правильності функціонування в статичному режимі. Дослідження виконати аналогічно п. 2.1.1. Зафіксувати стани лічильнику на індикаторах та занести їх до таблиці 6.2, навести часову діаграму роботи лічильнику за тактами.

Таблиця 6.2 – Можливі стани асинхронного двійкового лічильнику, що віднімає, на базі D- тригерів

№	$Q_3$	$Q_2$	$Q_1$	$Q_0$
---	-------	-------	-------	-------

2.2. Дослідження асинхронних лічильників на базі JK - тригерів.

2.2.1. Зібрати схему асинхронного лічильнику, що підсумовує, на базі JK-тригерів (див. рис. 6.1, б), налагодити її та переконатися у правильності функціонування в статичному режимі. Дослідження виконати аналогічно п. 2.1.1. Зафіксувати стани лічильнику на індикаторах та занести їх до таблиці 6.3, навести часову діаграму роботи лічильнику за тактами.

Таблиця 6.3 – Можливі стани асинхронного двійкового лічильнику, що підсумовує, на базі JK-тригерів

№	$Q_3$	$Q_2$	$Q_1$	$Q_0$
---	-------	-------	-------	-------

2.2.2. Зібрати схему асинхронного лічильнику, що віднімає, на базі JK-тригерів (див. рис. 6.2, б), налагодити її та переконатися у правильності функціонування в статичному режимі. Дослідження виконати аналогічно п.п. 2.1.1. Зафіксувати стани лічильнику на індикаторах та занести їх до таблиці 6.4, навести часову діаграму роботи лічильнику за тактами.

Таблиця 6.4 – Можливі стани асинхронного двійкового лічильнику, що віднімає, на базі JK-тригерів

№	$Q_3$	$Q_2$	$Q_1$	$Q_0$
---	-------	-------	-------	-------

2.3. Дослідження асинхронних недвійкових лічильників (модуль рахунку за вказівкою викладача).

2.3.1. Зібрати схему асинхронного двійково-десятькового лічильнику, що підсумовує, на базі D-тригерів (див. рис. 6.3, а), налагодити її та переконатися у правильності функціонування в статичному режимі. Дослідження виконати аналогічно п. 2.1.1. Зафіксувати стани лічильнику на індикаторах та занести їх до таблиці 6.5, навести часову діаграму роботи лічильнику за тактами.

Таблиця 6.5 – Можливі стани асинхронного двійково-десятькового лічильнику, що підсумовує, на базі D-тригерів

№	$Q_3$	$Q_2$	$Q_1$	$Q_0$
---	-------	-------	-------	-------

2.3.2. Зібрати схему асинхронного двійково-десятькового лічильнику, що підсумовує, на базі JK -тригерів (див. рис. 6.3, б), налагодити її та переконатися у правильності функціонування в статичному режимі. Дослідження виконати аналогічно п. 2.1.1. Зафіксувати стани лічильнику на індикаторах та занести їх до таблиці 6.6, навести часову діаграму роботи лічильнику за тактами.

Таблиця 6.6 – Можливі стани асинхронного двійково-десятькового лічильнику, що підсумовує, на базі JK-тригерів

№	$Q_3$	$Q_2$	$Q_1$	$Q_0$
---	-------	-------	-------	-------

### 3. Зміст звіту

3.1. Мета роботи.

3.2. Структурні та принципіві схеми асинхронних лічильників, що досліджувалися у роботі.

3.3. Таблиці стану функціонування асинхронних лічильників, що досліджувалися у роботі.

3.4. Часові діаграми, які відповідають таблицям стану лічильників.

3.5. Висновки за результатами виконаної роботи.

### КОНТРОЛЬНІ ЗАПИТАННЯ

1. Наведіть основні ознаки класифікації лічильників.
2. Наведіть основні операції, які виконуються лічильником.
3. Як можна встановити лічильник у початковий стан?
4. Чим відрізняється лічильник, що підсумовує, від того, що віднімає?
5. Який порядок рахунку називається прямим, а який зворотнім?
6. Скільки тригерів необхідно для організації лічильнику із модулем рахунку 85?
7. Чим відрізняються двійкові від двійково-десятькових лічильників?
8. Скільки корпусів чотирьохрозрядних двійково-десятькових лічильників необхідно для запису числа 1283?

# ЛАБОРАТОРНА РОБОТА № 7

## ДОСЛІДЖЕННЯ СИНХРОННИХ ЛІЧИЛЬНИКІВ НА JK-ТРИГЕРАХ

**Мета роботи** – вивчення принципу роботи, основних параметрів і характеристик та схем побудови синхронних лічильників на JK-тригерах.

### 1 Підготовка до роботи

1.1. Синтезувати та навести схеми синхронного лічильнику, що підсумовує, з паралельним переносом на базі JK-тригерів (див. рис. 7.1).

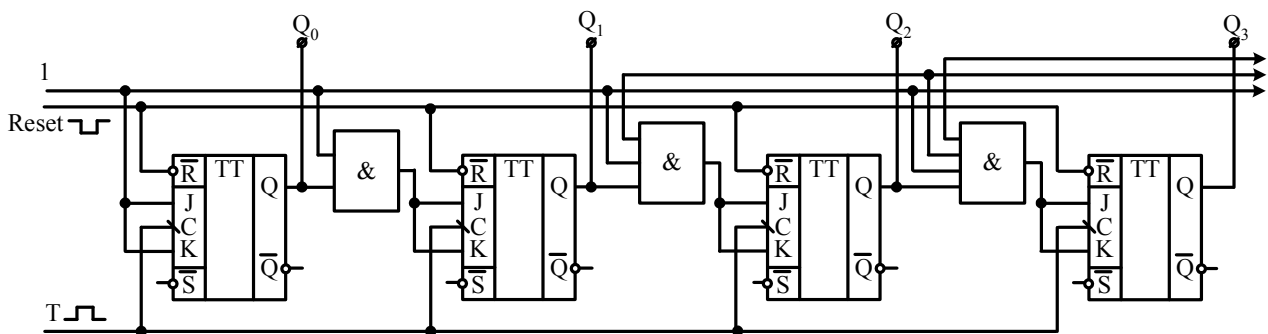
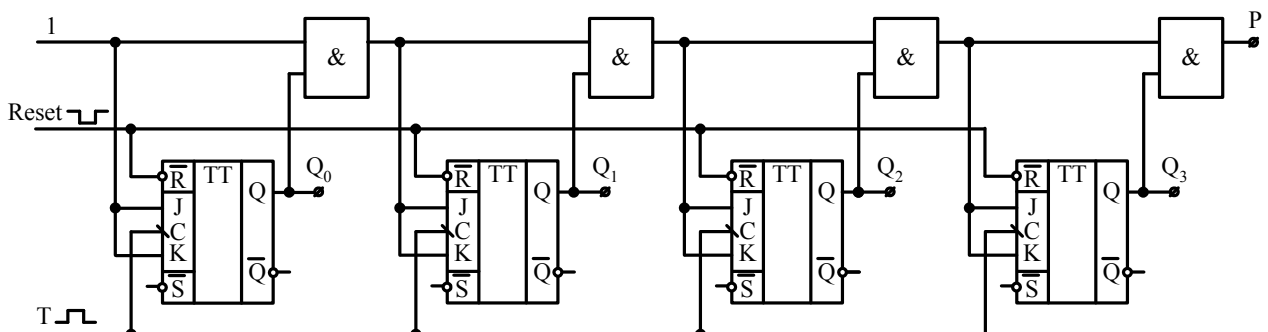


Рисунок 7.1 – Структурна схема синхронного лічильнику, що підсумовує, з паралельним переносом на базі JK-тригерів

1.2. Синтезувати та навести схеми синхронного лічильнику, що підсумовує (див. рис. 7.2, а) та віднімає (див. рис. 7.2, б), із крізним переносом на базі JK-тригерів



а)

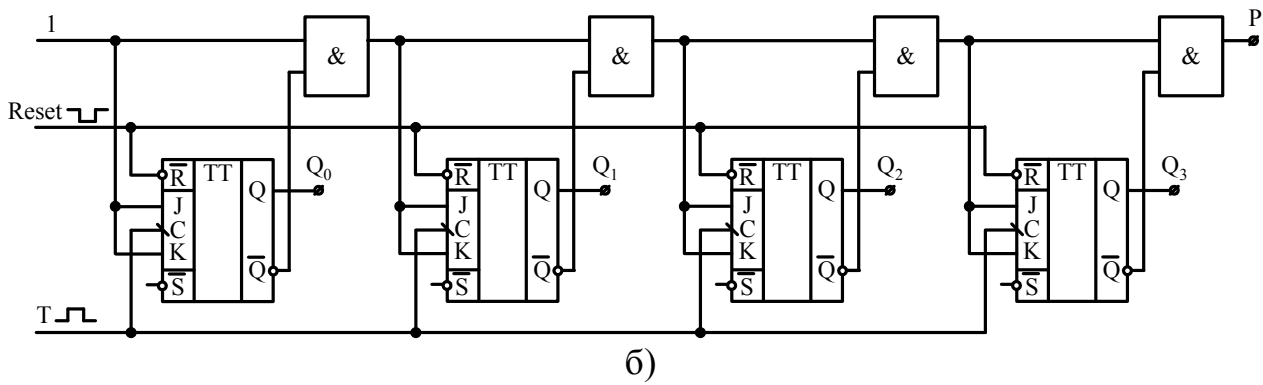


Рисунок 7.2 – Структурна схема синхронного лічильника, що підсумовує (а) та віднімає (б), із крізним переносом на базі JK-тригерів

1.3. Синтезувати та навести схеми синхронних недвійкових лічильників, які реалізуються на основі методу виключення заборонених комбінацій. Структурні схеми двійкового-десяткових синхронних лічильників на основі двійкових лічильників, що підсумовують, та кола скидання за входом R на базі JK-наведено на рис. 7.3.

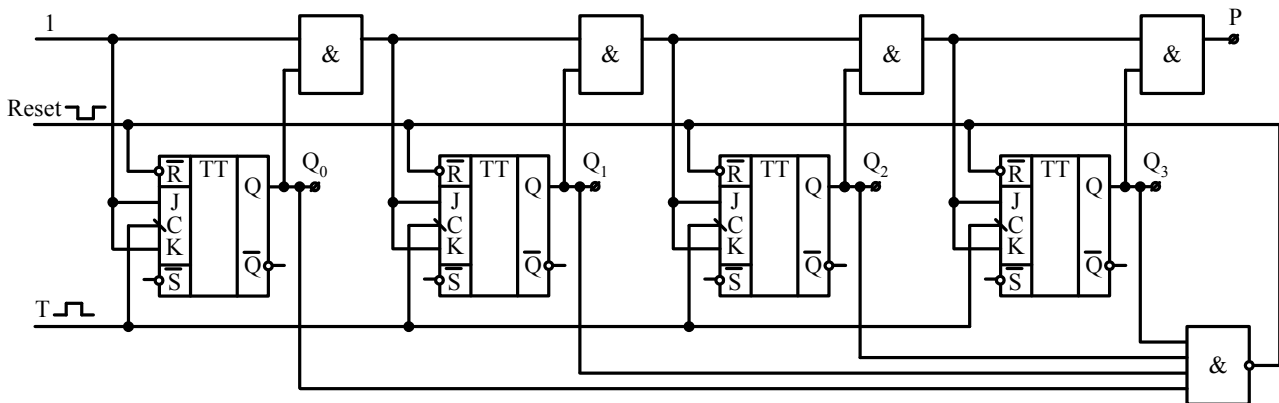


Рисунок 7.3 – Структурна схема синхронного лічильника, що підсумовує, із крізним переносом, який має модуль рахунку 10 на базі JK-тригерів

## 2 Порядок виконання роботи

2.1. Дослідження синхронних лічильників з паралельним переносом на базі JK- тригерів. Зібрати схему синхронного лічильнику, що підсумовує, з паралельним переносом на базі JK - тригерів (див. рис. 7.1), налагодити її та переконаватися у правильності функціонування в статичному режимі:

- на всі входи асинхронної установки  $\bar{S}$  подати логічну одиницю;
- встановити лічильник у початковий (нульовий стан), шляхом натиснення управляючого сигналу Reset;

– запустити генератор одиночних імпульсів – синхроімпульс подається до входу лічильнику  $T$ ;

– при повторному запуску генератору одиночних сигналів зафіксувати стани лічильнику на індикаторах та занести їх до таблиці 7.1.

Таблиця 7.1 – Можливі стани синхронного двійкового лічильнику, що підсумовує, з паралельним переносом на базі JK -тригерів

№	$Q_3$	$Q_2$	$Q_1$	$Q_0$
---	-------	-------	-------	-------

– дослідити схему у динамічному режимі, для цього на лічильний вхід  $T$  підключити генератор імпульсів, а стан лічильнику спостерігати на екрані осцилографу. Навести часову діаграму роботи лічильнику за тактами. Визначити значення максимальної частоти перерахунку та час встановлення.

2.2. Дослідження синхронних лічильників із крізним переносом на базі JK- тригерів.

2.2.1. Зібрати схему синхронного лічильнику, що підсумовує, із крізним переносом на базі JK- тригерів (див. рис. 7.2, а), налагодити її та переконатися у правильності функціонування в статичному режимі. Дослідження виконати аналогічно п. 2.1. Зафіксувати стани лічильнику на індикаторах та занести їх до таблиці 7.2, навести часову діаграму роботи лічильнику за тактами. Визначити значення максимальної частоти перерахунку та час встановлення.

Таблиця 7.2 – Можливі стани синхронного двійкового лічильнику, що підсумовує, із крізним переносом на базі JK -тригерів

№	$Q_3$	$Q_2$	$Q_1$	$Q_0$
---	-------	-------	-------	-------

2.2.2. Зібрати схему синхронного лічильнику, що віднімає, із крізним переносом на базі JK- тригерів (див. рис. 7.2, б), налагодити її та переконатися у правильності функціонування в статичному режимі. Дослідження виконати аналогічно п. 2.1. Зафіксувати стани лічильнику на індикаторах та занести їх до таблиці 7.2, навести часову діаграму роботи лічильнику за тактами. Визначити значення максимальної частоти перерахунку та час встановлення.

Таблиця 7.3 – Можливі стани синхронного двійкового лічильнику, що віднімає, із крізним переносом на базі JK -тригерів

№	$Q_3$	$Q_2$	$Q_1$	$Q_0$
---	-------	-------	-------	-------



2.3. Дослідження синхронних недвійкових лічильників (модуль рахунку за вказівкою викладача) із крізним переносом. Зібрати схему синхронного двійково-десятькового лічильнику, що підсумовує, із крізним переносом на базі JK-тригерів (див. рис. 7.3), налагодити її та переконатися у правильності функціонування в статичному режимі. Дослідження виконати аналогічно п. 2.1. Зафіксувати стани лічильнику на індикаторах та занести їх до таблиці 7.4, навести часову діаграму роботи лічильнику за тактами.

Таблиця 7.4 – Можливі стани синхронного двійково-десятькового лічильнику, що підсумовує, із крізним переносом на базі JK -тригерів

№	$Q_3$	$Q_2$	$Q_1$	$Q_0$
---	-------	-------	-------	-------

### 3. Зміст звіту

3.1. Мета роботи.

3.2. Структурні та принципіві схеми синхронних лічильників, що досліджувалися у роботі.

3.3. Таблиці стану функціонування синхронних лічильників, що досліджувалися у роботі.

3.4. Часові діаграми, які відповідають таблицям стану лічильників.

3.5. Визначення за часовими діаграмами значень максимальної частоти перерахунку та часу встановлення.

3.6. Висновки за результатами виконаної роботи.

### КОНТРОЛЬНІ ЗАПИТАННЯ

1. У чому полягає принципи послідовного, крізного, паралельного та групового переносу, їх переваги та недоліки?

2. Чим відрізняються схеми асинхронного та синхронного лічильників?

3. Чим відрізняється робота лічильнику при підрахунку числа імпульсів та при поділі частоти?

4. Скільки входів повинен мати логічний елемент «І» для побудови паралельного переносу із шостого розряду у сьомий?

5. Скільки корпусів чотирьохрозрядних мікросхем двійкових лічильників треба для організації коефіцієнта рахунку 875?

## ЛАБОРАТОРНА РОБОТА № 8

### ДОСЛІДЖЕННЯ ДЕШИФРАТОРУ ТА МУЛЬТИПЛЕКСОРУ

**Мета роботи** – вивчення принципу роботи, основних параметрів і характеристик та схем побудови функціональних пристроїв: дешифратора та мультиплексуру.

#### 1 Підготовка до роботи

1.1. Дешифратор має число входів, яке дорівнює розрядності коду  $n$ , що приймається, та число виходів, яке дорівнює можливому числу кодових комбінацій  $N = 2^n$ . Такий пристрій формує сигнал «1» (або «0») на кожному виході тільки у тому випадку, коли на вхід поступає код числа, який відповідає номеру цього виходу. Дешифратор є повним, тобто має вісім виходів, які відповідають 3-х розрядному коду числа. На рисунку 8.1 наведено умовно-графічне позначення повного дешифратора.

1.2. Управління мультиплексором здійснюється за адресними та управляючими входами. Число інформаційних входів  $N$  пов'язано із числом адресних входів  $n$  наступною залежністю  $N = 2^n$ . Набір сигналів за адресними входами визначає з'єднання інформаційних входів з виходом. Умовно-графічне позначення мультиплексуру, який має 8 входів ( $D$ ), 3 адресних входи ( $A$ ) та 1 вихід ( $Y$ ), наведено на рисунку 8.2.

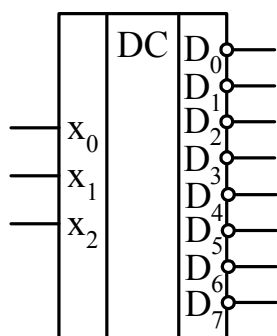


Рисунок 8.1 – Умовно-графічне позначення повного дешифратора трьохрозрядного коду

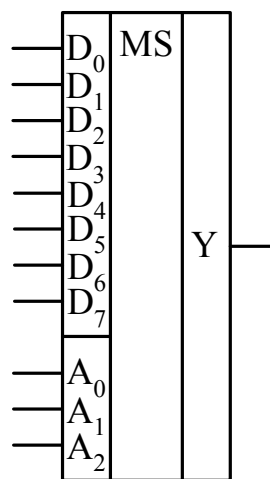


Рисунок 8.2 – Умовно-графічне позначення мультиплексуру, який має 8 входів ( $D$ ), 3 адресних входи ( $A$ ) та 1 вихід ( $Y$ )

## 2 Порядок виконання роботи

### 2.1. Дослідження роботи дешифратора.

2.1.1. Скласти таблицю істинності роботи дешифратора та перевірити її експериментально. Встановити дешифратор у початковий стан при натисканні кнопки «Скидання». За допомогою дротів підключати індикатор « $Y$ » до виходів дешифратора  $i$ , натискаючи кнопку «Пуск», фіксувати на індикаторах  $x_3$ ,  $x_2$ ,  $x_1$  стани кожного коду, а на індикаторі « $Y$ » – стан виходів дешифратора, дані занести до таблиці 8.1. Досліджується повний дешифратор з інверсними виходами, тобто на виході, відповідному вхідному коду числа буде сигнал «0», а на всій решті виходів – «1».

Таблиця 8.1 – Таблиця істинності дешифратора

№	$x_3$	$x_2$	$x_1$	$D_0$	$D_1$	$D_2$	$D_3$	$D_4$	$D_5$	$D_6$	$D_7$
---	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------

2.1.2 Навести часові діаграми роботи дешифратора за тактами.

### 2.2. Дослідження функціонування мультиплексуру.

2.2.1. Скласти таблицю істинності роботи мультиплексуру та перевірити її експериментально. Оскільки для серії ТТЛ вільний вхід відповідає рівню логічної «1», то слід по черзі підключати низький рівень («0») на відповідний інформаційний вхід. За допомогою дротів підключити індикатор « $Y$ » до виходу мультиплексуру  $i$ , натискаючи кнопку «Пуск», фіксувати на індикаторах  $x_3$ ,  $x_2$ ,  $x_1$  стани адресних входів, а на індикаторі « $Y$ » – вихід мультиплексуру. Одержані данні занести до таблиці 8.2.

Таблиця 8.2 – Таблиця істинності роботи мультиплексуру

№	$x_3$	$x_2$	$x_1$	$Y$
---	-------	-------	-------	-----

2.2.2. Дослідження роботу мультиплексуру, в якості перетворювача паралельного коду в послідовний. За вказівкою викладача встановити восьмирирядний двійковий код на входах  $D_0, D_1, \dots, D_7$  мультиплексуру. Натиснути кнопку «Скидання» і, натискаючи кнопку «Пуск», фіксувати проходження послідовного коду на виході при зміні станів на адресних входах від «000» до «111». Одержані данні занести до таблиці 8.3.

2.2.3. Навести часову діаграму роботи мультиплексуру в режимі перетворювача із паралельного коду до послідовного за тактами.

Таблиця 8.3 – Таблиця істинності мультиплексору в режимі перетворювача із паралельного до послідовного коду

№	$x_3$	$x_2$	$x_1$	$D_0$	$D_1$	$D_2$	$D_3$	$D_4$	$D_5$	$D_6$	$D_7$	$Y$
---	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-----

### 3. Зміст звіту

3.1. Мета роботи.

3.2. Схеми експерименту.

3.3. Умовно-графічні позначення на електричних схемах дешифратора та мультиплексору.

3.4. Таблиця істинності дешифратора та часові діаграми його роботи.

3.5. Результати дослідження функціонування мультиплексору.

3.6. Часові діаграми роботи мультиплексору в якості перетворювача із паралельного до послідовного коду.

3.7. Висновки за результатами виконаної роботи.

## КОНТРОЛЬНІ ЗАПИТАННЯ

1. Дати визначення дешифратору та вказати області його застосування.

2. Дати визначення мультиплексору та вказати області його застосування.

3. Чому «вільний» ТТЛ вхід еквівалентний логічній «1», а «вільний» МОН вхід – логічному «0»?

4. Наведіть приклади використання перетворювача із паралельного до послідовного коду.

## ПЕРЕЛІК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ

1. Бойко В.І. Цифрова електроніка електронних систем: [підручник] / В.І. Бойко, В.Я. Жуйков, А.А. Зорі, В.В. Багрій, А.В. Богдан, В.М. Співак, Т.О. Терещенко. – К.: Вища школа, 2010. – 426 с.

2. Опадчий Ю.Ф. Аналоговая и цифровая электроника (Полный курс): [учебник для вузов] / Ю.Ф. Опадчий. О.П. Глудкин, А.И. Гуров; Под. ред. О.П. Глудкина. М.: Горячая Линия – Телеком, 2000. – 768 с.

3. Урюмов Е.П. Цифровая схемотехника / Е.П. Урюмов. – СПб.: БХВ – Санкт-Петербург, 2000. – 528 с.

4. Гусев В.Г. Электроника и микропроцессорная техника: [учеб. для вузов] / В.Г. Гусев, Ю.М. Гусев. – 4-е изд. доп. – М.: Высш. шк., 2006. – 799 с.