

УДК 004.274

О.О. Баркалов (д-р.тех.наук, проф.)¹,

І.Я. Зеленцова (канд.тех.наук, доц.)²,

С.О. Цололо (канд.тех.наук, доц.)²,

О.С. Мокроусов (магістрант)²

¹Університет Зеленогурський, Польща

²Донецький національний технічний університет

A.Barkalov@iie.uz.zgora.pl

ШЛЯХИ ЗМЕНШЕННЯ ПЛОЩІ МАТРИЧНОЇ РЕЛІЗАЦІЇ ПРИСТРОЮ КЕРУВАННЯ З ЕЛЕМЕНТАРНИМИ ЛАНЦЮГАМИ

У роботі запропонований спосіб зменшення матричної площі блоку адресації композиційного мікропрограмного пристрою керування з елементарними ланцюгами завдяки використанню двох джерел кодів псевдоеквівалентних елементарних ОЛЛ. Матриця термів схеми адресації розподіляється на дві частини, що гарантує зменшення загального числа термів у логічній схемі.

Ключові слова: замовна матриця, матрична реалізація, композиційний мікропрограмний пристрій керування, елементарні операторні лінійні ланцюги.

Вступ

Зменшення площі кристалу, яку займає пристрій керування (ПК) при реалізації схеми у базисі замовних матриць, є важливою задачею сучасної схемотехніки [1]. Рішення цієї задачі дозволяє зменшити споживану потужність і підвищити швидкодію пристрою за рахунок зменшення довжини шляхів поширення сигналів [2]. Врахування особливостей алгоритму керування, що реалізовує ПК, є важливою умовою успішного розв'язання задачі зменшення площі кристалу [1, 3].

Модель композиційного мікропрограмного пристрою керування (КМПК) [4] найбільш доцільно використовувати у випадку, коли алгоритм керування представлений лінійною граф-схемою алгоритму (ГСА).

Ефективним способом зменшення апаратних витрат є використання моделі з поділом кодів і елементарними операторними лінійними ланцюгами (ЕОЛЛ) [5]. Умовимося надалі позначати цю модель КМПК символом U_1 . У статті пропонується метод зменшення площі блоку адресації КМПК U_1 , заснований на використанні двох джерел кодів псевдоеквівалентних ЕОЛЛ.

Головною метою дослідження є зменшення площі схеми КМПК з елементарними ланцюгами за рахунок використання двох джерел кодів класів псевдоеквівалентних ОЛЛ. Основним завданням запропонованого

дослідження є розробка методу, що дозволяє зменшити апаратні витрати в схемі блоку адресації КМПК з елементарними ланцюгами.

Реалізація КМПК на замовних матрицях

Якщо ГСА Γ представлена множиною вершин V і дуг E , що з'єднують ці вершини, то нехай при цьому $V = \{b_0, b_E\} \cup E_1 \cup E_2$, де b_0 – початкова вершина ГСА, b_E – кінцева вершина ГСА, E_1 – множина операторних вершин, де $|E_1| = M$, E_2 – множина умовних вершин. У вершинах $b_q \in E_1$ записані набори мікрооперацій $Y(b_q) \subseteq Y$, де $Y = \{y_1, \dots, y_N\}$ – множина мікрооперацій. У вершинах $b_q \in E_2$ містяться елементи множини логічних умов $X = \{x_1, \dots, x_L\}$. Припустимо, що ГСА Γ є лінійною, тобто включає більш 75% операторних вершин. Нехай для ГСА Γ сформована множина ЕОЛЛ $C = \{\alpha_1, \dots, \alpha_G\}$. Нагадаємо, що ЕОЛЛ є послідовністю операторних вершин, де для кожної з пари сусідніх компонентів $b_i, b_j \in E_1$ існує дуга $\langle b_i, b_j \rangle \in E$ [6]. Ланцюг є елементарним, якщо він має єдиний вхід. Докладне визначення ЕОЛЛ, їх входів і виходів наведено в [7].

Кожна вершина $b_q \in E_1$ відповідає мікрокоманді Ml_q , яка зберігається в осередку керуючої пам'яті (КП) з адресою $A(b_q)$. Для адресації M мікрокоманд є достатнім

$$R = \lceil \log_2 M \rceil \quad (1)$$

змінних. Поставимо у відповідність ЕОЛЛ $\alpha_g \in C$ бінарний код $K(\alpha_g)$ розрядності

$$R_c = \lceil \log_2 G \rceil. \quad (2)$$

Використаємо для кодування ЕОЛЛ змінні $\tau_r \in \tau$, де $|\tau| = R_c$. Нехай ЕОЛЛ $\alpha_g \in C$ має F_g компонент і нехай $Q = \max(F_1, \dots, F_G)$. Тоді будь-який компонент ЕОЛЛ може бути представлений бінарним кодом $K(b_q)$ розрядності

$$R_0 = \lceil \log_2 Q \rceil. \quad (3)$$

Використаємо для кодування ЕОЛЛ змінні $T_r \in T$, де $|T| = R_0$. У цьому випадку адреса $A(b_q)$ може бути представлена наступною формулою:

$$A(b_q) = K(\alpha_g) * K(b_q). \quad (4)$$

У формулі (4) мається на увазі, що $\alpha_g \in C$ і b_q є компонентом цієї ЕОЛЛ. При цьому знак «*» визначає операцію конкатенації.

Закодуємо компоненти кожного ЕОЛЛ у наступний спосіб. Нехай перший компонент має вигляд, десятковий еквівалент якого дорівнює 0, другий – 1 і так далі. В результаті виконується послідовна адресація мікрокоманд [6], відповідних до компонентів кожного ЕОЛЛ $\alpha_g \in C$.

Якщо для ГСА Γ виконується умова

$$R_0 + R_c = R, \quad (5)$$

то для реалізації алгоритму керування доцільно використати модель КМПК U_1 (рис. 1).

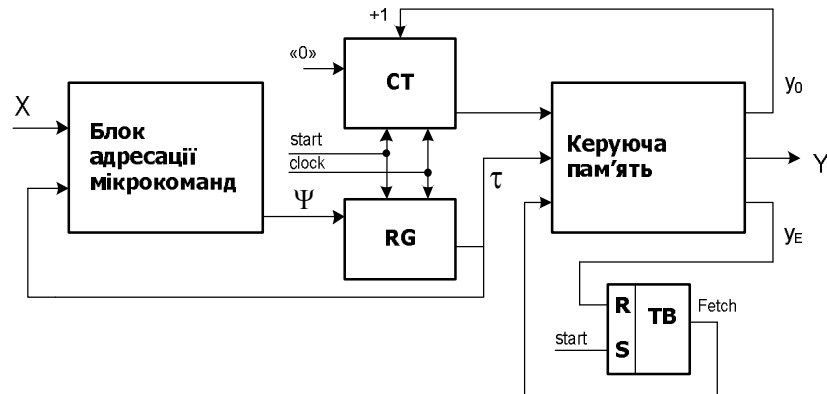


Рисунок 1 – Структурна схема КМПК U_1

У пристрої на рис. 1 за сигналом Start вміст регістру RG і лічильника СТ скидається, що відповідає адресі першої мікрокоманди мікропрограми. Одночасно тригер вибірки ТВ встановлюється в одиничний стан, при цьому $Fetch=1$. Якщо $Fetch=1$, то це дозволяє виконувати читання мікрокоманд із КП.

У випадку, коли мікрокоманда M_i не відповідає виходу ЕОЛЛ $\alpha_g \in C$, то одночасно з мікроопераціями $y_n \in Y(b_q)$ формується змінна y_0 . Якщо $y_0=1$, то за сигналом синхронізації Clock вміст СТ збільшується на одиницю. Таким чином, відбувається адресація чергової мікрокоманди, відповідної до чергового компонента ЕОЛЛ $\alpha_g \in C$. Якщо вихід ЕОЛЛ $\alpha_g \in C$ досягнуто, то $y_0=1$. При цьому блок адресації мікрокоманд (БAM) формує функції

$$\Psi = \Psi(X, \tau). \quad (6)$$

За сигналом Clock в RG записується код ЕОЛЛ, а лічильник СТ скидається. Вміст RG і СТ відповідає адресі мікрокоманди першого компонента ЕОЛЛ $\alpha_i \in C$. Функціонування триває до формування змінної y_E , що відповідає закінченню алгоритму. Якщо $y_E=1$, то $Fetch=0$, вибірка мікрокоманд припиняється.

Запропонований метод орієнтований на зменшення площі блоку БAM. Розглянемо його матричну схему (рис. 2). Схема включає кон'юнктиву матрицю M_1 і диз'юнктивну матрицю M_2 . Матриця M_1 реалізує N термів $F_h \in F$, що входять у функції (6).

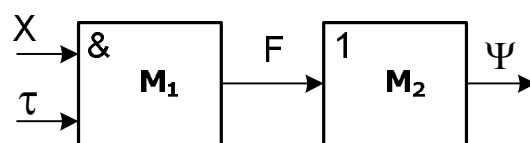


Рисунок 2 – Матрична схема блоку БAM КМПК U_1

При цьому терм F_h визначається як

$$F_h = \left(\bigwedge_{r=1}^{R_c} \tau_r^{lgr} \right) \cdot X_h \quad (h = \overline{1, N}). \quad (7)$$

У формулі (7) перший член відповідає коду ЕОЛЛ $\alpha_g \in C$, з виходу якої здійснюється h -й перехід. При цьому $l_{gr} \in \{0,1\}$ – значення r -го розряду коду $K(\alpha_g)$, $\tau_r^0 = \bar{\tau}_r$, $\tau_r^1 = \tau_r$ ($r = \overline{1, R_c}$). В окремому випадку значення l_{gr} може бути невизначеним, при цьому змінна $\tau_r \in \tau$ не входить у терм F_h . Інший член формули (7) відповідає кон'юнкції логічних умов, що визначають h -й перехід. Цей терм визначається формулою переходу [7]. Наприклад, з формули

$$\alpha_2 \rightarrow x_1 x_2 \alpha_3 \vee x_1 \bar{x}_2 \alpha_5 \vee \bar{x}_1 \alpha_6 = F_{11} \vee F_{12} \vee F_{13}$$

можна визначити, що $X_{11} = x_1 x_2$, $X_{12} = x_1 \bar{x}_2$, $X_{13} = \bar{x}_1$.

Матриця M_2 реалізує функції (6), що визначаються як

$$D_r = \bigvee_{h=1}^N C_{rh} F_h \quad (r = \overline{1, R_c}). \quad (8)$$

У формулі (8) $C_{rh} \in \{0,1\}$ і $C_{rh} = 1$, якщо і тільки якщо терм F_h входить до функції $D_r \in \Psi$.

Площа блоку БАМ визначається сумою площ $S(M_1)$ і $S(M_2)$ матриць M_1 і M_2 відповідно. Ці площі прийнято визначати в умовних одиницях [7]:

$$\begin{cases} S(M_1) = 2(L + R_c)H; \\ S(M_2) = HR_c. \end{cases} \quad (9)$$

КМПК U_1 фактично є автоматом Мура, де параметр H значно перевершує число переходів N_0 еквівалентного автомата Мілі. З аналізу формули (9) можна також визначити, що параметр L не може бути зменшений, тому що він визначається параметрами ГСА Γ . Таким чином, площу блоку БАМ можна зменшити, якщо зменшити число термів у системі (8) і кількість змінних, що використовуються для кодування. Цього можна досягти завдяки наявності псевдоеквівалентних ЕОЛЛ.

Головна ідея запропонованого методу

ЕОЛЛ $\alpha_i, \alpha_j \in C$ називаються псевдоеквівалентними ЕОЛЛ [1,7], якщо їх виходи з'єднані зі входом однієї й тієї ж вершини ГСА Γ . Блок БАМ не формує переходи для ЕОЛЛ, пов'язаних з кінцевою вершиною b_E , тому побудуємо множину $C_1 \subseteq C$. Нехай ЕОЛЛ $\alpha_g \in C_1$, якщо його вихід не пов'язаний дугою з вершиною b_E . Знайдемо розподілення $\Pi_C = \{V_1, \dots, V_l\}$ множини C на класи псевдоеквівалентних ЕОЛЛ. Закодуємо ЕОЛЛ $\alpha_g \in C$ кодами $K(\alpha_g)$ таким чином, щоб для найбільшої можливої кількості класів $V_i \in \Pi_C$ виконувалася умова

$$n_i = 1. \quad (10)$$

У цьому разі n_i визначається кількістю узагальнених інтервалів R_C -розмірного булевого простору, що містять ЕОЛЛ класу $V_i \in \Pi_C$. Назвемо таке кодування ЕОЛЛ оптимальним.

Представимо множину Π_C у вигляді об'єднання множини Π_C^1 і Π_C^2 . Нехай $V_i \in \Pi_C^1$, якщо умова (10) виконується. А якщо ні, то $n_i > 1$ й $V_i \in \Pi_C^2$. Нехай $G_2 = |\Pi_C^2| + 1$. Закодуємо класи $V_i \in \Pi_C^2$ кодами $K(V_i)$ розрядності

$$R_B = \lceil \log_2 G_2 \rceil \quad (11)$$

і використаємо для кодування змінні $z_r \in Z$, де $|Z| = R_B$.

Побудуємо наступну систему функцій для класів $V_i \in \Pi_C^2$:

$$V_i = \bigvee_{g=1}^G C_{gi} \alpha_g. \quad (12)$$

В (12) булева змінна $C_{gi} = 1$, якщо і тільки якщо $\alpha_g \in V_i$. Система (12) є основою для побудови таблиці перетворювача кодів ЕОЛЛ у коди класів $V_i \in \Pi_C^2$. З таблиці може бути отримана система термів A_g , де терм A_g відповідає деякому інтервалу, що включає ЕОЛЛ $\alpha_g \in V_i$:

$$A_g = \bigwedge_{r=1}^{R_C} \tau_r^{l_{gr}}. \quad (13)$$

В (13) $l_{gr} \in \{0, 1, *\}$ – значення r -го розряду відповідного інтервалу, $\tau_r^0 = \bar{\tau}_r$, $\tau_r^1 = \tau_r$, $\tau_r^* = 1$ ($r = \overline{1, R_C}$). Терм (13) входять у функції $z_r \in Z$, що кодують класи $V_i \in \Pi_C^2$:

$$z_r = \bigvee_{g=1}^G C_{gr} A_g \quad (r = \overline{1, R_B}). \quad (14)$$

В (14) $C_{gr} \in \{0, 1\}$ і $C_{gr} = 1$, якщо терм A_g входить до функції $z_r \in Z$. Число термів A_g залежить від результату оптимального кодування ЕОЛЛ.

Запропонований у роботі метод приводить до КМПК U_2 , матрична схема якого показана на рис. 3.

У КМПК U_2 блок БАМ складається із трьох матриць. Матриця M_1^1 реалізує терми $F_h \in F^1$, що визначають переходи з ЕОЛЛ класів $V_i \in \Pi_C^1$:

$$F_h = F_h(x^1, \tau) \quad (h = \overline{1, H_1}). \quad (15)$$

Терми $F_h \in F^1$ мають вигляд (7), при цьому $x^1 \in X$ й $|x^1| = L_1$. Матриця M_1^2 реалізує терми $F_h \in F^2$, що визначають переходи з ЕОЛЛ класів $V_i \in \Pi_C^2$:

$$F_h = \left(\bigwedge_{r=1}^{R_B} z_r^{l_{ir}} \right) \cdot X_h \quad (h = \overline{1, H_2}). \quad (16)$$

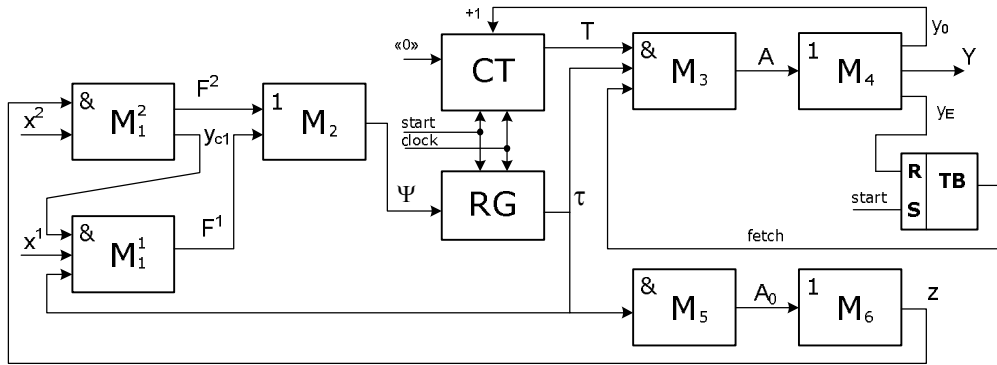


Рисунок 3 – Структурна схема КМПК U_2

В (16) перший член відповідає коду $K(B_i)$ класу $B_i \in \Pi_C^2$, $l_{gr} \in \{0,1,*\}$ – значення r -го розряду коду $K(B_i)$ $z_r^0 = \bar{z}_r, z_r^1 = z_r, z_r = 1$. При цьому $x^2 \in x$ й $|x^2| = L_2$. Матриця M_2 реалізує систему функцій Ψ , що залежить від термів виду (15) і (16). Ця матриця має $N_1 + N_2 = N_0$ входів, що дає площа $S(M_2) = N_0 R_C$.

Крім того, матриця M_1^2 формує змінну y_{C1} . Якщо $y_{C1} = 1$, то всі терми (16) дорівнюють нулю та функції Ψ залежать від термів (15). Це значить, що один з кодів, утворених змінними $z_r \in z$, повинен бути використаний для формування ознаки $B_i \in \Pi_C^1$ (тобто $y_{C1} = 1$). Цим й обгрунтоване додавання одиниці до $|\Pi_C^2|$ для визначення G_2 й R_B . Позначимо цей додатковий код як $K(\Pi_C^1)$.

Матриця M_3 реалізує терми системи $Y \cup \{y_0, y_E\}$, а матриця M_4 – самі функції цієї системи. Матриця M_5 реалізує терми (13), а матриця M_6 – функції (14). Таким чином, матриці M_5 і M_6 утворюють перетворювач кодів (ПК).

Запропонований метод дозволяє зменшити площу БАМ. При цьому сумарна площа матриць M_1^1 і M_1^2 може бути менше, ніж в еквівалентному автоматі Мілі. Зменшення можливе при виконанні умови $x^1 \cap x^2 = \emptyset$. Однак у КМПК U_2 є присутнім блок БПК, що споживає ресурси кристала. Є очевидним, що метод може бути застосований, якщо зменшення площі блоку БАМ перевищує площу блоку ПК.

Метод синтезу КМПК U_2

У статті пропонується метод синтезу схеми КМПК U_2 на замовних матрицях. Метод включає наступні етапи:

1. Формування множини ЕОЛЛ S і S_1 по вхідній граф-схемі алгоритму Γ .
2. Визначення параметрів R , R_0 і R_C . Якщо умова (5) виконується, то процес синтезу триває.

3. Формування розподілення Π_C множини ЕОЛЛ C_1 на класи псевдоеквівалентних ОЛЛ.
4. Кодування ПОЛЛ $\alpha_g \in C$ і їх компонентів.
5. Формування вмісту керуючої пам'яті.
6. Формування множини Π_C^1 і Π_C^2 . Кодування класів $V_i \in \Pi_C^2$.
7. Формування системи узагальнених формул переходів S і її розбивка на підсистеми S_1 й S_2 .
8. Формування таблиці переходів для класів $V_i \in \Pi_C^1$ по системі S_1 . Побудова системи функцій $\Psi = \Psi(\tau, X)$.
9. Формування таблиці переходів для класів $V_i \in \Pi_C^2$ по системі S_2 . Побудова системи функцій $\Psi = \Psi(Z, X)$.
10. Побудова таблиці перетворювача кодів і формування системи $Z = Z(\tau)$.
11. Реалізація КМПК на замовних матрицях за отриманими системами функцій.

Ключові етапи синтезу КМПК U_2

Розглянемо деякі ключові етапи синтезу КМПК U_2 більш детально.

Хай для ГСА Γ_1 маємо $M=48, R=6, G=14, R_C=4, R_0=2$. Таким чином, $\Psi = \{D_1, \dots, D_4\}, \tau = \{\tau_1, \dots, \tau_4\}, T = \{T_1, T_2\}$, умова (5) виконується і застосування моделей $U_1 - U_2$ має сенс. Нехай $\Pi_C = \{V_1, \dots, V_6\}, \Pi_C^1 = \{V_1, V_3, V_5\}$ і $\Pi_C^2 = \{V_2, V_4, V_6\}$. Таким чином, $G_2=4, R_B=2, z = \{z_1, z_2\}$. Нехай $K(\Pi_C^1) = 00, K(V_2) = 01, K(V_4) = 10$ і $K(V_6) = 11$.

Нехай система S_1 включає формулу переходу

$$V_3 \rightarrow x_1 x_2 b_4 \vee x_1 \bar{x}_2 b_{14} \vee \bar{x}_1 b_{17}, \quad (17)$$

де $K(V_3) = *010, A(V_4) = 100000, A(V_{14}) = 010100, A(V_{17}) = 101000$. Нагадаємо, що формули виду (17) включають тільки входи ЕОЛЛ, тому для адрес відповідних мікрокоманд молодші R_0 розряди дорівнюються нулю.

Таблиця переходів для класів $V_i \in \Pi_C^1$ має стовпці: $V_i, K(V_i), A(b_q), X_h, \Psi_h, h$, зміст яких є очевидним. Для формули (17) частина цієї таблиці представлена в табл. 1.

З табл. 1 маємо систему термів (15): $F_1 = \bar{\tau}_2 \tau_3 \bar{\tau}_4 x_1 x_2 y_{C1}, F_2 = \bar{\tau}_2 \tau_3 \bar{\tau}_4 x_1 \bar{x}_2 y_{C1}, F_3 = \bar{\tau}_2 \tau_3 \bar{\tau}_4 \bar{x}_1 y_{C1}$. У загальному випадку ця таблиця має N_1 термів, що входять у функції $D_r \in \Psi$. Далі формуються функції $D_1 = F_1 \vee F_3, D_2 = F_2, D_3 = F_3$. При цьому терми $F_h \in F^1$ реалізуються на матриці M_1^1 , а функції $D_r \in \Psi$ – на матриці M_2 .

Таблиця 1 – Фрагмент таблиці переходів для формули (17)

B_i	$K(B_i)$	$A(b_q)$	X_h	Ψ_h	h
B_3	*010	100000	x_1x_2	D_1	1
		010000	$x_1\bar{x}_2$	D_2	2
		101000	\bar{x}_1	D_1D_3	3

Нехай система S_2 включає формулу переходу

$$B_6 \rightarrow x_3b_{33} \vee \bar{x}_3b_{20}, \quad (18)$$

де $K(B_6)=01$, $A(b_{33})=110000$ і $A(b_{20})=010100$. Таблиця переходів для класів $B_i \in \Pi_C^2$ практично має ті ж стовпці, що й таблиця для класів $B_i \in \Pi_C^1$. Фрагмент для формули (18) цієї таблиці представлений в табл. 2.

Таблиця 2 – Фрагмент таблиці переходів для формули (18)

B_i	$K(B_i)$	$A(b_q)$	X_h	Ψ_h	y_{C1}	h
B_6	11	110000	x_3	D_1D_2	–	1
		010100	\bar{x}_3	D_2D_4	–	2

З табл. 2 маємо терми (16): $F_1 = z_1z_2x_1$, $F_2 = z_1z_2x_3$, а також функції $D_1 = F_1$, $D_2 = F_1 \vee F_2$, $D_4 = F_2$. Відзначимо, що змінна $y_{C1} = \bar{z}_1\bar{z}_2$. Таким чином, різниця в табл. 1 і табл. 2 полягає в наявності в табл. 2 стовпця y_{C1} . Терми $F_h \in F^2$ та змінні y_{C1} формуються матрицею M_1^2 , а функції $D_r \in \Psi$ – матрицею M_2 .

Припустимо, що $B_2 = \{\alpha_2, \alpha_3, \alpha_4\}$, $B_4 = \{\alpha_7, \alpha_8, \alpha_9, \alpha_{10}, \alpha_{11}\}$, $B_6 = \{\alpha_{13}, \alpha_{14}\}$, коди ЕОЛЛ $\alpha_g \in C$ збігаються із бінарним еквівалентом їх індексу. Із цих кодів можна знайти, що клас B_2 визначається інтервалом $[0010, 0011] = 001^*$ і 0100 , клас B_4 – $[1000, 1001, 1010, 1011] = 10^{**}$ та 0111 , а клас B_6 – інтервалами 1101 та 1110 . Отже, таблиця ПК включає $K = 6$ рядків, кожний з яких відповідає терму A_k ($k = \overline{1, K}$). Таблиця ПК включає стовпці $A_k, K(A_k), B_i, K(B_i), z_k, k$, зміст яких наведений у табл. 3.

Таблиця 3 – Таблиця ПК КМПК U_2

A_k	$K(A_k)$	B_i	$K(B_i)$	z_k	k
A_1	001*	B_2	01	z_2	1
A_2	0100	B_2	01	z_2	2
A_3	10**	B_4	10	z_1	3
A_4	0111	B_4	10	z_1	4
A_5	1101	B_6	11	z_1z_2	5
A_6	1110	B_6	11	z_1z_2	6

Із табл. 3 маємо терми (13), наприклад, $A_1 = \bar{\tau}_1 \bar{\tau}_2 \tau_3$, $A_2 = \bar{\tau}_1 \tau_2 \bar{\tau}_3 \bar{\tau}_4$, $A_3 = \tau_1 \bar{\tau}_2$, а також функції (14): $z_1 = A_3 \vee A_4 \vee A_5 \vee A_6$, $z_2 = A_1 \vee A_2 \vee A_5 \vee A_6$. Терми (13) реалізуються матрицею M_5 , а функції (14) – матрицею M_6 .

Для зменшення площі ПК пропонуються два додаткові методи, наведені на рис. 4. У першому випадку (рис. 4а) матриця M_3 використовується для формування функцій $z_r \in z$. Це виключає зі схеми матрицю M_5 та приводить до КМПК U_3 . Цей підхід пов'язаний зі збільшенням числа входів матриці M_6 в порівнянні із цією матрицею КМПК U_2 .

У другому випадку (рис. 4б) виключаються матриці M_5 й M_6 , що приводить до КМПК U_4 . Однак у цьому випадку зростає складність матриці M_4 в порівнянні із КМПК U_2 та U_3 . Остаточний вибір між КМПК $U_1 - U_4$ виконується на основі їх синтезу та визначення площ, що займають схеми відповідних пристроїв.

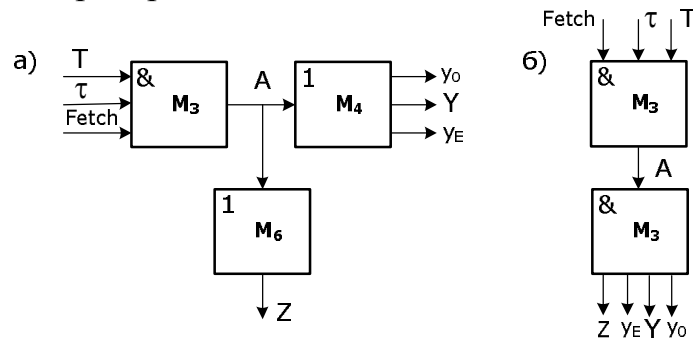


Рисунок 4 – Оптимізація схеми перетворювача кодів

Висновок

У статті розглянуті шляхи, що дозволяють зменшити площу матричної реалізації КМПК з елементарними ланцюгами. Запропонований метод заснований на використанні двох джерел кодів класів ЕОЛЛ. При цьому матриця термів схеми адресації КМПК розподіляється на дві частини. Такий підхід гарантує зменшення числа термів у схемі адресації до величини, що обумовлюється еквівалентним автоматом Мілі. Запропонований метод може застосовуватися тільки для лінійних граф-схем алгоритму при виконанні умови (5). Якщо умова (5) не виконується, то площа матриць M_3 і M_4 різко збільшується, і застосування запропонованого методу стає недоцільним.

Наукова новизна статті полягає в модифікації методу синтезу КМПК з елементарними ланцюгами. Внесені зміни дозволяють використати кілька джерел кодів ЕОЛЛ. *Практична значимість* результатів роботи міститься в зменшенні площі, що займає схема КМПК на кристалі. Це дозволяє здешевити реалізацію логічних схем КМПК, а також розміщати більш складні цифрові системи на кристалах меншої площі.

Список використаної літератури

1. A. Barkalov, L. Titarenko Logic synthesis for FSM-based control units. – Berlin: Springer-Verlag, 2009. – 233 pp.
2. Smith M. Application-Specific Integrated Circuits. – Boston: Addison Wesley, 1997. – 836 pp.
3. Baranov S. Logic Synthesis for Control Automata. – Kluwer Publishers, 1994. – 312 pp.
4. Баркалов А.А. Реализация микропрограммного устройства управления композицией автоматов с жесткой и программируемой логикой / А.А. Баркалов, А.В. Матвиенко // Микропроцессорные средства, разработка и применение. – К.: АН УССР, 1985. – С. 38-42.
5. Barkalov A.A., Titarenko L.A. Synthesis of operational and control automata // Donetsk: UNITECH, 2009. – 256 pp.
6. Баркалов А.А. Синтез устройств управления на программируемых логических устройствах / А.А. Баркалов. – Донецк : ДонГТУ, 2002. – 262 с.
7. Баркалов А.А. Разработка формализованных методов структурного синтеза композиционных автоматов: дис. ... доктора тех. наук: 05.13.08 / Баркалов Александр Александрович. – Донецк, 1994. – 301 с.

Надійшла до редколегії 09.09.2012 р.

Рецензент: канд.тех.наук, доц. Краснокутський В.О .

А.А. Баркалов¹, И.Я. Зеленева², С.А. Цололо², А.С. Мокроусов²
Университет Зеленогурский, Польша¹,
Донецкий национальный технический университет²

Пути уменьшения площади матричной реализации устройства управления с элементарными цепями. В работе предложен способ уменьшения площади блока адресации композиционного микропрограммного устройства управления с элементарными цепями. В основе способа лежит идея использования двух источников кодов псевдоэквивалентных элементарных операторных линейных цепей. При этом матрица термов схемы адресации устройства управления разбивается на две части, что гарантирует уменьшение числа термов в логической схеме.

Ключевые слова: композиционное микропрограммное устройство управления, заказная матрица, матричная реализация, элементарные операторные линейные цепи.

A.A. Barkalov¹, S.A. Tzololo², I.Y. Zeleneva², A.S.Mokrousov²
University of Zielona góra (Poland)¹,
Donetsk National Technical University (Ukraine)²

Reducing the area of circuit control unit with elementary chains. The structures of compositional microprogram control unit with elementary chains are proposed. Structures allow reducing the complexity of the matrix realization in the device's circuit. The proposed method is based on using two codes sources. Theoretical background and practical approach to synthesis is described, an example of method application is given.

Keywords: compositional microprogram control unit, custom matrix, matrix realization, elementary chains.