

ОБЗОР МЕТОДОВ ТЕСТИРОВАНИЯ НЕИСПРАВНОСТЕЙ «ОБРЫВ ТРАНЗИСТОРА» В МОП- СХЕМАХ

Андрюхин А.И.
Кафедра ПМиИ, ДонНТУ
andr@r5.dgtu.donetsk.ua

Abstract

Andruckin A.I. Methods of the Diagnosis of Open Defects in MOS – circuits. The review of the articles on diagnosis of MOS Open Defects is submitted.

Введение

Доля физических дефектов, которые представляются неисправностями вида «обрыв транзистора» оценивается примерно 15-20% всего объема производимых МОП-структур [1-2]. Разнообразие типов МОП-технологий, увеличение доли BiCMOS-технологии предопределяет актуальность диагностирования этих неисправностей [1,3-5]. Целью статьи является классификация моделей неисправностей вида «обрыв транзистора» и соответствующих им методов диагностирования. В четвертом разделе рассматривается авторский подход при моделировании этих неисправностей.

1. Модель неисправности «обрыв транзистора»

Неисправность «обрыв транзистора» (*stuck-open*) означает, что неисправный транзистор никогда не переключается в активное состояние (постоянно отключен), либо неисправный транзистор никогда не переключается в неактивное состояние (постоянно открыт-*stuck-on*) [6]. Для *n*-МОП транзистора *stuck-open* и *stuck-on* неисправности эквивалентны *stuck-at=0* и *stuck-at=1* на затворе транзистора соответственно. Обнаружение *stuck-open*-неисправности обычно требует двухнаборного теста. Если есть *stuck-open*-неисправность или выход не может установиться в лог.1 (*stuck-open*-неисправность для *p*-МОП транзистора) или он не может быть установлен в лог.0 (*stuck-open*-неисправность для *n*-МОП-транзистора). Тест для *stuck-open*-неисправности *p*-МОП-транзистора должен своим первым набором установить выход транзистора в лог.0 и следующим вторым тестовым воздействием попытаться установить выход МОП-транзистора в лог.1.

Если p -МОП-транзистор неисправен, то выход остается в лог.0, в противном случае выход устанавливается в лог.1.

К примеру для вентиля И-НЕ на рис.1. для тестирования *stuck-open*-неисправности транзистора $P1$ мы используем 2-наборный тест (11, 01). Выход исправного вентиля устанавливается в лог.1 после приложения второго набора. В случае *stuck-open*-неисправности транзистора $P1$ он остается в лог.0. Для обнаружения *stuck-open*-неисправности транзистора $N1$ мы применяем двухнаборный тест (00, 11).

Тестирование *stuck-on*-неисправности требует большего знания о транзисторе и электрических характеристиках соединения. Если p -МОП-транзистор имеет неисправность *stuck-on*, мы можем потенциально обнаружить эту неисправность переключением соответствующего n -МОП-транзистора в активное состояние. Для обнаружения *stuck-on*-неисправности транзистора $P1$ на рис.1 можем использовать набор $AB=11$.

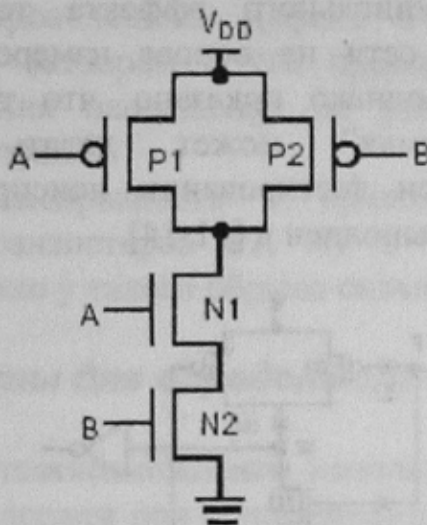


Рисунок 1 - Базовый вентиль И-НЕ на переключательном уровне.

Если переход положительного фронта $0 \rightarrow 1$ p -МОП-транзистора сильнее, чем переход фронта $1 \rightarrow 0$ p -МОП-транзистора, какими являются транзисторы $N1$, $N2$, то выход будет иметь значение лог.1 и неисправность будет обнаружена.

Здесь мы имеем случай p -доминирования. Если схема является n -доминирующей, т.е. переход $1 \rightarrow 0$ n -МОП-транзистора сильнее чем переход $1 \rightarrow 0$ p -МОП-транзистора, тогда *stuck-on*-неисправность не может быть обнаружена измерением напряжения на выходе.

Stuck-on-неисправность может быть обнаружена измерением силы тока (I_{DDQ}), связанного с построением статического токового пути между узлами «земля» и «питание».

2. Неисправности «обрыв транзистора» в сетях

Обрыв сети - это обрыв в p -сети или в n -сети ячейки, который прерывает один или более транзисторных путей между выходами устройства и узлами «питание» или «земля» [7]. Под транзисторным путем понимаем последовательность транзисторов физически связанными своими полюсами, т.е. стоками и истоками. В [8, 9] показано, что тест для открытого транзистора может обнаруживать некоторые из 4 типов обрывов, которые возникают вследствие одиночного плавающего затвора транзистора.

Обрыв схемы (непреднамеренный разрыв в ней) разделяет узел на два или более узла. С точки зрения прохождения тока различают сильный (большой) разрыв (ток не может течь между концами обрыва при приложении напряжения к ним) и слабый (узкий) разрыв (малый ток утечки вследствие туннельного эффекта течет через обрыв) [10]. Обнаружение обрыва сети на основе измерения напряжения требует двухнаборного теста, однако показано, что транзитный путь к узлам „питание” или „земля” может делать двухнаборные тесты недействительными при тестировании неисправности „open”. Анализ возможных ситуаций выполнен в [11-14].

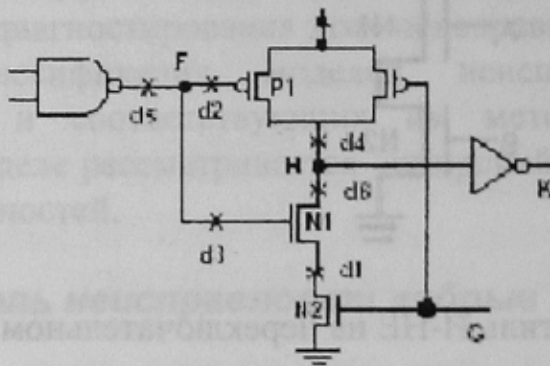


Рисунок 2 - Виды обрывов МОП-ячейки.

Влияние обрыва на характеристики схемы описываются функцией местоположения и размера дефекта. Так, для базовой ячейки на рис.2 [10] дефекты 2,3 являются обрывами затворов для транзисторов $P1$, $N1$ соответственно. Дефекты 4, 6 классифицируем как обрыв p -сети (n -сети) соответственно. Дефект 5 - неисправность обрыв выхода, а дефект 1 есть неисправность обрыва истока(стока) для транзисторов $N1(N2)$ соответственно.

Влияние каждого из дефектов на поведение схемы различно и описывается следующим образом.

Обрыв истока. Если считать, что неисправность 1 является слабым обрывом, то прилагая входные воздействия на AB ($11,00$) будем иметь медленное возрастание напряжения до лог.1 на выходном узле C

вследствие его заряда. Неисправность 1 может быть идентифицирована, как неисправность типа временная задержка.

Обрыв стока. Эта неисправность описывается аналогично неисправности обрыва истока.

Обрыв р-сети. Предполагая, что неисправность 4 есть слабый обрыв, можно идентифицировать ее как неисправность типа временная задержка (медленный переход $0 \rightarrow 1$). Этот недостаток функционирования схемы может быть проявлен подачей входных воздействий $(11, 10)$ на входы AB .

Обрыв затвора. Неисправности обрыва затвора транзисторов, известные как транзисторы с плавающим затвором рассматривались в [8,9,15,16]. Основной вывод, вытекающий из указанных работ - транзистор отключен. Более тщательное изучение привело к выводу, что плавающий затвор может быть в трех качественных состояниях: непроводящем, слабо проводящем и сильно проводящем. Дефект 3 является примером транзистора с плавающим затвором и его проводимость может быть определена путем измерения напряжения на узле C для некоторых определенных входных наборов.

Обрыв выхода. Неисправность 5 приводит к превращению комплементарной пары транзисторов PI, NI в пару транзисторов с плавающим затвором. Обычно у такого обрыва сильная проводимость.

3. Временные тесты для определения обрывов

В [10] рассматриваются возможности использования тестовых пар для проверки временных задержек при обнаружении обрывов. Рассмотрим обрыв затвора и обрыв выхода. Для дальнейшего введем следующие обозначения $S_0=(0,0,0)$, $S_1=(1,1,0)$, $r=(0,1,0)$, $f=(1,0,0)$, $h_0=(0,0,1)$, $h_1=(1,1,1)$, $hr=(0,1,1)$, $hf=(1,0,1)$. Первые две компоненты этих векторов определяют логическое значение входных тестовых пар, третья компонента определяет наличие риска сбоя (hazard) при воздействии тестовых пар [10].

Обрыв затвора. Считаем, что имеем сильный обрыв, рассматривая обрыв dI затвора транзистора NI на рис.3а. Имеем три варианта: NI не проводит, проводит слабо или проводит сильно. Предположим, что NI проводит сильно. При входном воздействии устанавливающим $h \rightarrow 1, k \rightarrow 0$ получаем зависящий от характеристик $PI, NI, N2$ слабую лог.1 на p . Имеем динамическое логическое поведение. Слабая лог.1 на p приводит к слабому проведению тока транзисторной парой $N3, P3$ на вентиле s . Это задерживает падающий срез вследствие положительного фронта на q при распространении к s . Для активизации дефекта второй вектор тестовой пары должен устанавливать $p \rightarrow 1$ путем установки $h \rightarrow 1, k \rightarrow 0$ соответственно. Тест, свободный от риска сбоя вдоль пути, проходящего

через q , вызывая возрастающий переход на q , определяет неисправность при условии, что второй вектор устанавливает $h \rightarrow 1, k \rightarrow 0$ соответственно.

Это можно проверить для схемы на рис. 3а, что набор $a=S0, b=f, c=S0, d=S0$ является такой тестовой парой. С другой стороны, тестовая пара $a=S1, b=f, c=S0, d=S0$, которая свободна от состязаний на пути задержки и вызывает возрастающий переход на q , не обнаруживает обрыв $d1$.

Далее рассмотрим дефект $d2$ на рис. 3а, где имеем обрыв затвора $P1$. Аналогично предыдущему случаю, $P1$ не проводит, проводит слабо или проводит сильно. Предположим, что обрыв таков, что $P1$ проводит слабо. В этом случае, любой входной сигнал, зависящий от характеристик $P1, N1, N2$, устанавливает обе линии h, k в лог.1 и переводит p в неопределенное логическое состояние. В некоторых случаях, определяемых свойствами $P1, N1, N2$, возможно обнаружить обрыв логическим тестированием как SAL -неисправность. В основном неопределенное значение напряжение на p определяет динамическое поведение и является причиной слабой проводимости транзисторной пары $P3, N3$ в вентиле s . Это задерживает нисходящий переход на p , при положительном фронте на q . Для активизации дефекта второй набор тестовой пары должен устанавливать $h \rightarrow 1, k \rightarrow 1$ в исправной схеме.

Таким образом, аналогично дефекту $d1$, тестовая пара, свободная от состязаний на пути распространения задержки, вызывая положительный фронт на q , обнаруживает обрыв. Дополнительным условием является требование установки $h \rightarrow 1, k \rightarrow 1$.

Следующий пример-это обрыв $d3$ на рис.3а, которым транзисторы $N1, P1$ (чьи затворы объединены) обособлены от остальной части схемы. В этом случае оба транзистора обычно в проводящем состоянии и проводят сильно. Если сила положительного перехода транзистора $P1$ больше, чем сила среза транзисторов $N1, N2$, тогда установка $h \rightarrow 1, k \rightarrow 1$ невозможна. Поэтому невозможно установить $p \rightarrow 0$. Поэтому этот обрыв может идентифицироваться как SAL -неисправность. Но обычно p находится в неопределенном логическом состоянии при приложении тестового вектора, который устанавливает $h \rightarrow 1, k \rightarrow 0$ или $h \rightarrow 1, k \rightarrow 1$. Это вызывает переход $1 \rightarrow 0$ на s в ответ на переход $0 \rightarrow 1$ на q . Тестовая пара на рис.3с это позволяет выполнить.

Сильный обрыв выхода вентиля. Рассмотрим дефект $d1$ в схеме на рис.4а, чье вентиляльное представление имеем на рис.4б и для нашего обрыва все транзисторы $P1, N1, P3, N3$ проводят сильно. Если транзисторы $P1(P3)$ имеют более сильную мощность перехода $0 \rightarrow 1$, нежели транзисторы $N1, N2 (N3, N4)$ соответственно, тогда тестирование обрыва можно понимать как тестирование SAL -неисправности на h . Заметим, что если сила перехода $0 \rightarrow 1$ транзистора $P1(P3)$ не больше, чем у

транзисторов $N1, N2(N3, N4)$, тогда мы имеем слабую лог.1 на $h(k)$ соответственно. Согласно этим условиям, имеем задержку переходов $0 \rightarrow 1$ и $1 \rightarrow 0$ на m .

Проанализируем, как тестовая пара ($T1, T2$) для проверки задержек обнаруживает обрывы. Оба набора $T1, T2$ устанавливают q в 1, обеспечивая установку k в слабую лог.1 при присутствии дефекта. Дополнительно $T1, T2$ организуют переход $0 \rightarrow 1$ на k и медленный переход $1 \rightarrow 0$ на m . Такая тестовая пара показана на рис. 4б. Интересно, что тестовая пара обнаруживает задержку, вызываемую обрывом, который является причиной задержки распространения перехода $1 \rightarrow 0$ на a вдоль путей $(a, e, h, m), (a, f, h, m)$. Поэтому тестовая пара не является свободной от состязаний для входных переходов $1 \rightarrow 0$ для каждого из двух путей.

Слабый обрыв. Для таких неисправностей при достаточном времени для переключения плавающих затворов будем иметь корректные значения напряжений в схеме. Однако здесь нет статичного логического поведения и следовательно логическое тестирование не может обнаружить такие обрывы, которые вызывают динамическое логическое поведение.

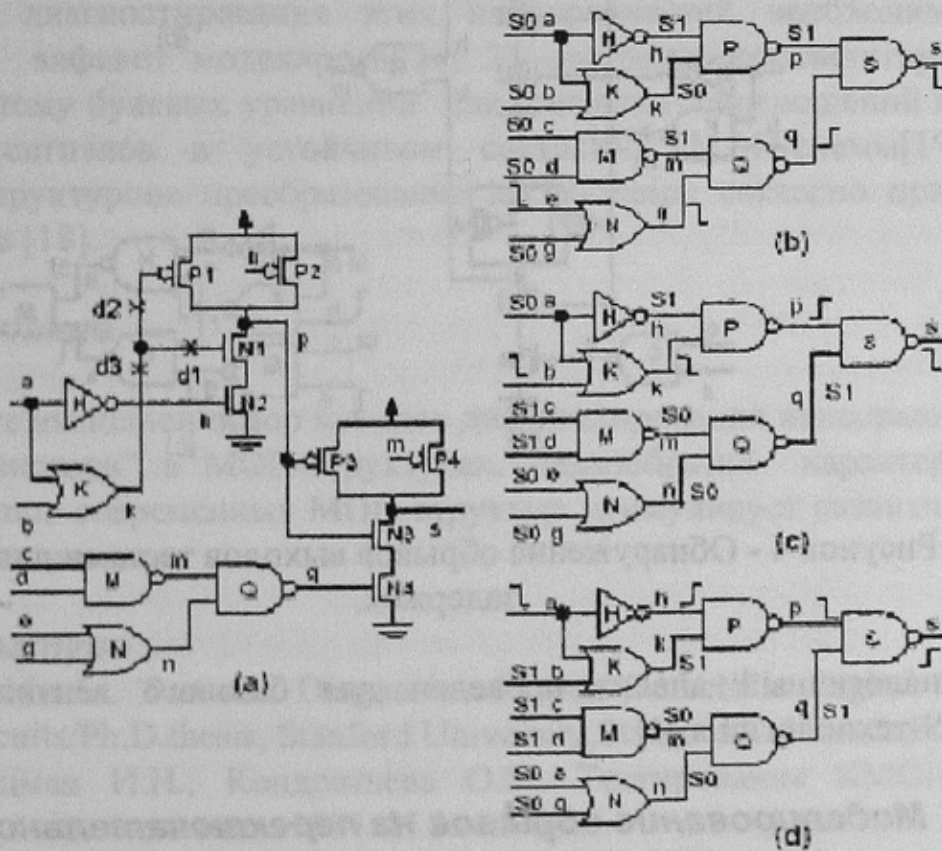


Рисунок 3 - Обнаружение обрыва затвора тестами для проверки задержек

Исследуем, как тестовая пара ($T1, T2$) для определения задержек может обнаруживать такие неисправности. На рис.4с оба $T1, T2$ устанавливают e в 0 и этим обеспечивают установку $h \rightarrow 1$. Пусть $T1$ устанавливает g в лог.0 и таким образом устанавливаем лог.1 на k после приложения $T1$. Если $T1$ производит установку f в лог.0, то затворы транзисторов $P3, N3$ разряжаются к значению близкому к лог.0. Это может привести к отключению $N3$ и включению $P3$. Далее вектор $T2$ переключает оба g, f в лог.1. Малая утечка тока при слабом обрыве проявляется медленным переходом на k . Тестовая пара ($a=S1, b=f, c=S1, d=f$) на рис.4с обнаруживает слабый обрыв.

Этот пример интересен тем, что обнаружение неисправности требует переходов на двух различных входах f, g вентиляй.

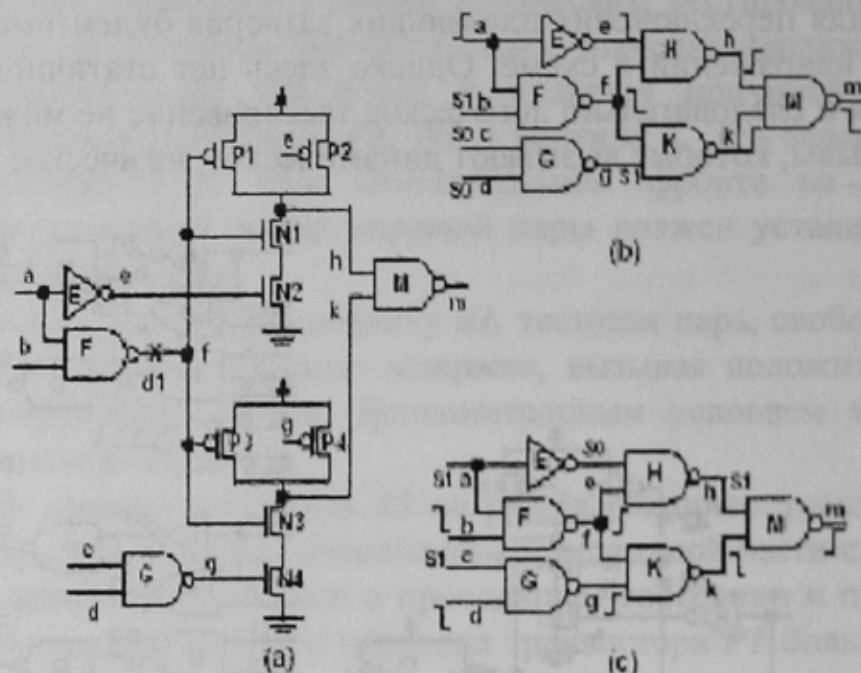


Рисунок 4 - Обнаружение обрывов выходов тестами для проверки задержек.

Аналогичный анализ проведен для базового вентиля И-НЕ в BiCMOS-технологии в [4].

4. Моделирование обрывов на переключательном уровне

Для моделирования обрывов используют переключательные модели, где МОП-транзистор моделируется переключателем, управляемым напряжением. Существуют переключательные модели схем, построенных на базе эмиттерно-связанной логики (ECL), в которых транзисторы рассматриваются, как переключатели управляемые током [3]. В [4,5]

рассматриваются вопросы построения переключательных моделей для биполярных транзисторов. В переключательной модели МОП-транзистор моделируется переключателем, управляемым напряжением на его затворе, позволяющим течь току между истоком и стоком. В расширенной переключательной модели каждый биполярный транзистор рассматривается как два переключателя. Первый переключатель управляется уровнем напряжения база-эмиттер, и определяет может ли сигнал распространяться от базы к эмиттеру. Другой переключатель управляется напряжением коллектор-эмиттер и если первый переключатель активен, определяет может ли сигнал распространяться от коллектора к эмиттеру.

Обычно биполярный транзистор рассматривается как переключатель управляемый током, и расширенная модель, в которой он рассматривается как два переключателя управляемые напряжением, необходима для совместимости с переключательной моделью МОП-транзистора. Эта аппроксимация, адекватная для BiCMOS вентилях, анализируется в [4,5] и позволяет расширить возможности метода в [18], где приведен пример моделирования неисправности "обрыв транзистора" на переключательном уровне. Для диагностирования этих неисправностей необходимо: 1) определить алфавит моделирования; 2) построить соответствующую алфавиту систему булевых уравнений для описания соотношений между значениями сигналов в устойчивом состоянии МОП-схемы [19]; 3) выполнить структурное преобразование МОП-схемы согласно приемам, изложенным в [18].

Заключение

В работе выполнен обзор методов диагностирования неисправностей "обрыв транзистора" в МОП-структурах. Разнообразие характеристик различных типов современных МОП-структур стимулирует развитие всех рассмотренных методов.

Литература

1. J. C-Mo Li. Test and Diagnosis of Open Defects in Digital CMOS Integrated Circuits/Ph.D.thesis, Stanford University, Stanford, California, 2002.
2. Вейцман И.Н., Кондратьева О.М. Тестирование КМОП-схем // Автоматика и телемеханика.-1991.-N 2.-с.3-34.
3. Yang, A.T.; Chang, Y.-H.; Saab, D.G.; Hajj, I.N. Switch-level timing simulation of bipolar ECL circuits // Там же, Vol.: 12, № 4, April 1993, pp. 516 -530.
4. Ma S.C., McCluskey E.J. Open faults in BiCMOS gates // Там же, Vol.: 14, № 5, May 1995, pp. 567 -575.

5. S. Ma "Testing BiCMOS and dynamic CMOS logic", CRC Technical Report No. 95-1, Stanford University, Stanford, 1995, p.55.
6. R.L. Wadsack. Fault modeling and logic simulation of CMOS and MOS integrated circuits//Bell Syst.Tech.J., vol.57, May-June 1978, , pp.1449-1473.
7. H.Konuk .Testing for Opens in Digital CMOS Circuits, University of California, Santa Cruz, dissertation 1996., p.109.
8. M.Renovell, G.Cambon.Electrical analysis and modeling of floating – gate fault// IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Nov. 1992 , pp. 1450-1458.
9. V.H.Champac, A.Rubio, J.Figueras. Electrical model of the floating gate defect in CMOS ICs:Implications on IDDQ testing// Transactions on Computer-Aided Design of Integrated Circuits and Systems, March 1994, pp. 359 -369.
10. S.Chakravarty. Defect Detection Capability of Delay Tests for Path Delay Faults //TR 96-20, State University of New York, Buffalo, 1996, 23 p.
11. Z.Barzilai, J.L.Carter, V.S.Iyengar, I.Nair, B.K.Rosen, .Rutledge,G.M.Silberman. Efficient fault simulation of CMOS circuits with accurate models// Proceedings of Int. Test Conf.Oct.1986, p.520-529.
12. K.J.Lee, M.A.Breuer. On the charge sharing problem in CMOS stuck-open fault testing// Proceedings of Int. Test Conf.Oct.1990, p.417-425.
13. C.Di, J.A.G.Jess. On accurate modeling and efficient simulation of CMOS opens // Proceedings of Int. Test Conf.Oct.1993, p.875-882.
14. M.Favalli, M.Dalpasso, P.Olivo,B.Ricco. Modeling of broken connections faults in CMOS ICs. Proceedings of European Design and Test Conf., 1994.
15. S.Johnson. Residual Charge on a Faulty Floating Gate MOS Transistor Proceedings of Int. Test Conf., Oct.1994, p.555-561.
16. C.L.Henderson, J.M.Soden, C.F.Hawkins.The behavior and testing implications of CMOS logic gate open circuits// Proceedings of Int. Test Conf.Oct. 1991, p. 302-310.
17. Li, J. C.M and E.J. McCluskey, "Testing for Tunneling Opens," *Proceeding of International Test Conference*, pp. 85-94, 2000.
18. Андрюхин А.И. Параллельное моделирование неисправностей МОП-структур//Научные труды Донецкого государственного технического университета.Серия:Проблемы моделирования и автоматизации проектирования динамических систем. Выпуск 29. 2001 г., С.205-211.
19. Андрюхин А.И. Параллельное многозначное логическое моделирование исправных и неисправных псевдобулевых схем. // *Электронное моделирование -1997*, N 1. -с. 58-63.