

УДК 004.3

**А.А. Баркалов (д-р техн. наук, проф.), И.Я. Зеленева (канд. техн. наук, доц.),
С.А. Цололо (канд. техн. наук, доц.)**

Университет Зеленогурский, г. Зеленая Гура, Польша
Донецкий национальный технический университет, г. Донецк, Украина
E-mail: A.Barkalov@iie.uz.zgora.pl, sergey@tsololo.com

УМЕНЬШЕНИЕ ПЛОЩАДИ МАТРИЧНОЙ СХЕМЫ УСТРОЙСТВА УПРАВЛЕНИЯ С ЭЛЕМЕНТАРНЫМИ ЦЕПЯМИ

В работе предложен способ уменьшения площади блока адресации композиционного микропрограммного устройства управления с элементарными цепями. В основе способа лежит идея использования двух источников, кодов псевдоэквивалентных элементарных операторных линейных цепей. При этом матрица термов схемы адресации устройства управления разбивается на две части, что гарантирует уменьшение числа термов в логической схеме.

Ключевые слова: композиционное микропрограммное устройство управления, заказная матрица, матричная реализация, элементарные цепи.

Введение

Одна из важных задач, возникающих при реализации схем устройств управления (УУ) на заказных матрицах [1], является уменьшение площади кристалла, занимаемого схемой УУ. Решение этой задачи позволяет уменьшить потребляемую мощность и повысить быстродействие за счет уменьшения длины путей распространения сигналов [2]. Для успешного решения этой задачи необходимо учитывать особенности алгоритма управления, реализуемого УУ [3]. Если алгоритм управления представлен линейной граф-схемой алгоритма (ГСА), то для его реализации целесообразно использовать модель композиционного микропрограммного устройства управления (КМУУ) [4]. Одним из путей оптимизации схемы является использование модели с разделением кодов и элементарными операторными линейными цепями (ЭОЛЦ) [5]. Условимся в дальнейшем обозначать эту модель КМУУ символом U_1 . В настоящей работе предлагается метод уменьшения площади блока адресации КМУУ U_1 , основанный на использовании двух источников кодов псевдоэквивалентных ЭОЛЦ.

Целью исследования является уменьшение площади схемы КМУУ с элементарными цепями за счет использования двух источников кодов классов псевдоэквивалентных ОЛЦ.

Задачей исследования является разработка метода, позволяющего уменьшить аппаратные затраты в схеме блока адресации КМУУ с элементарными цепями.

Реализация КМУУ U_1 на заказных матрицах

Если ГСА Γ представлена множествами вершин V и дуг E , соединяющих эти вершины, то пусть при этом $V = \{b_0, b_E\} \cup E_1 \cup E_2$, где b_0 — начальная вершина ГСА, b_E — конечная вершина ГСА, E_1 — множество операторных вершин, где $|E_1| = M$, E_2 — множество условных вершин. В вершинах $b_q \in E_1$ записаны наборы микроопераций $Y(b_q) \subseteq Y$, где $Y = \{y_1, \dots, y_N\}$ — множество микроопераций. В вершинах $b_q \in E_2$ записаны элементы множества логических условий $X = \{x_1, \dots, x_L\}$. Пусть ГСА Γ является линейной, то есть включает более 75% операторных вершин [1].

Пусть для ГСА Γ сформировано множество ЭОЛЦ $C = \{\alpha_1, \dots, \alpha_G\}$. Напомним, что ЭОЛЦ является последовательностью операторных вершин, для каждой из пары соседних компонент $b_i, b_j \in E_1$ существует дуга $\langle b_i, b_j \rangle \in E$ [6]. Цепь является элементарной, если она имеет только один вход. Определения ЭОЛЦ, их входов и выходов можно найти в [7].

Каждая вершина $b_q \in E_1$ соответствует микрокоманде MI_q , которая хранится в ячейке управляющей памяти (УП) с адресом $A(b_q)$. Для адресации M микрокоманд достаточно

$$R = \lceil \log_2 M \rceil \quad (1)$$

переменных. Поставим в соответствие ЭОЛЦ $\alpha_g \in C$ двоичный код $K(\alpha_g)$ разрядности

$$R_c = \lceil \log_2 G \rceil. \quad (2)$$

Используем для кодирования ЭОЛЦ переменные $\tau_r \in \tau$, где $|\tau| = R_c$. Пусть ЭОЛЦ $\alpha_g \in C$ имеет F_g компонент и пусть $Q = \max(F_1, \dots, F_G)$. Тогда любая компонента ЭОЛЦ может быть представлена двоичным кодом $K(b_q)$ разрядности

$$R_0 = \lceil \log_2 Q \rceil. \quad (3)$$

Используем для кодирования ЭОЛЦ переменные $T_r \in T$, где $|T| = R_0$. В этом случае адрес $A(b_q)$ может быть представлен следующим выражением:

$$A(b_q) = K(\alpha_g) * K(b_q). \quad (4)$$

В выражении (4) подразумевается, что $\alpha_g \in C$ и b_q является некоторой компонентой этой ЭОЛЦ. Знак «*» означает операцию конкатенации.

Закодируем компоненты каждой ЭОЛЦ следующим образом. Пусть первая компонента имеет вид, десятичный эквивалент которого равен 0, вторая — 1 и так далее. В результате выполняется естественная адресация микрокоманд [6], соответствующих компонентам каждой ЭОЛЦ $\alpha_g \in C$.

Если для ГСА Γ выполняется условие

$$R_0 + R_c = R, \quad (5)$$

то для реализации соответствующего алгоритма управления целесообразно использовать модель КМУУ U_1 (рис. 1).

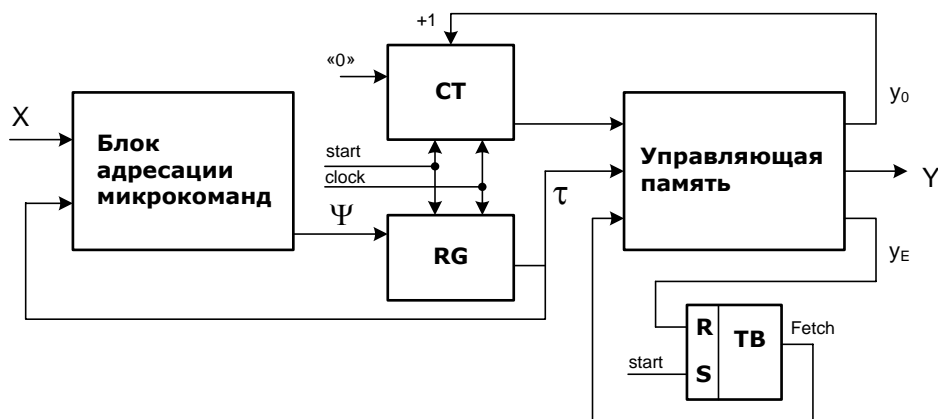


Рисунок 1 — Структурная схема КМУУ U_1

Это устройство функционирует следующим образом. По сигналу Start содержимое регистра RG и счетчика СТ обнуляется, что соответствует адресу первой микрокоманды

микропрограммы. Одновременно триггер выборки ТВ устанавливается в единичное состояние, при этом Fetch=1. Если Fetch=1, то это разрешает чтение микрокоманд из УП.

Если считанная микрокоманда M_i не соответствует выходу ЭОЛЦ $\alpha_g \in C$, то одновременно с микрооперациями $y_n \in Y(b_q)$ формируется переменная y_0 . Если $y_0 = 1$, то по сигналу синхронизации Clock содержимое СТ увеличивается на единицу. Таким образом, происходит адресация очередной микрокоманды, соответствующей очередной компоненте ЭОЛЦ $\alpha_g \in C$. Если выход ЭОЛЦ $\alpha_g \in C$ достигнут, то $y_0 = 1$. При этом блок адресации микрокоманд (БАМ) формирует функции

$$\Psi = \Psi(X, \tau). \quad (6)$$

По сигналу Clock в RG заносится код ЭОЛЦ, а счетчик СТ обнуляется. Содержимое RG и СТ соответствует адресу микрокоманды первой компоненты ЭОЛЦ $\alpha_i \in C$. Функционирование продолжается до формирования переменной y_E , соответствующей окончанию алгоритма. Если $y_E = 1$, то Fetch=0, выборка микрокоманд прекращается.

Предлагаемый метод ориентирован на уменьшение площади блока БАМ. Рассмотрим его матричную схему (рис. 2). Схема включает конъюнктивную матрицу M_1 и дизъюнктивную матрицу M_2 . Матрица M_1 реализует H термов $F_h \in F$, входящих в функции (6).

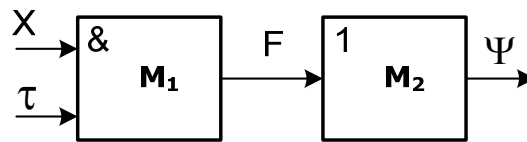


Рисунок 2 — Матричная схема блока БАМ КМУУ U_1

При этом терм F_h определяется следующим образом:

$$F_h = \left(\bigwedge_{r=1}^{R_c} \tau_r^{1gr} \right) \cdot X_h \quad (h = \overline{1, H}). \quad (7)$$

В формуле (7) первый член соответствует коду ЭОЛЦ $\alpha_g \in C$, из выхода которой осуществляется h -й переход. При этом $1_{gr} \in \{0,1\}$ — значение r -го разряда кода $K(\alpha_g)$, $\tau_r^0 = \bar{\tau}_r$, $\tau_r^1 = \tau_r$ ($r = \overline{1, R_c}$). В частном случае значение 1_{gr} может быть неопределенным, при этом переменная $\tau_r \in \tau$ не входит в терм F_h . Второй член формулы (7) соответствует конъюнкции логических условий, определяющих h -й переход. Этот терм определяется формулой перехода [7]. Например, из формулы

$$\alpha_2 \rightarrow x_1 x_2 \alpha_3 \vee x_1 \bar{x}_2 \alpha_5 \vee \bar{x}_1 \alpha_6 = F_{11} \vee F_{12} \vee F_{13}$$

следует, что $X_{11} = x_1 x_2$, $X_{12} = x_1 \bar{x}_2$, $X_{13} = \bar{x}_1$.

Матрица M_2 реализует функции (6), определяемые следующим образом:

$$D_r = \bigvee_{h=1}^H C_{rh} F_h \quad (r = \overline{1, R_c}). \quad (8)$$

В формуле (8) $C_{rh} \in \{0,1\}$ и $C_{rh} = 1$, если и только если терм F_h входит в функцию $D_r \in \Psi$.

Площадь блока БАМ определяется суммой площадей $S(M_1)$ и $S(M_2)$ матриц M_1 и M_2 соответственно. Эти площади принято определять в условных единицах [7]:

$$\begin{cases} S(M_1) = 2(L + R_c)H; \\ S(M_2) = HR_c. \end{cases} \quad (9)$$

Отметим, что КМУУ U_1 является автоматом Мура. Как правило, параметр N значительно превосходит число переходов N_0 эквивалентного автомата Мили. Из анализа формулы (9) следует, что параметр L не может быть уменьшен, так как он определяется исходной ГСА Γ . Таким образом, площадь блока БАМ можно уменьшить, если уменьшить число термов в системе (8) и/или число кодирующих переменных. Этого можно достичь благодаря наличию псевдоэквивалентных ЭОЛЦ [8].

Основная идея предлагаемого метода

Напомним, что ЭОЛЦ $\alpha_i, \alpha_j \in C$ называются псевдоэквивалентными ЭОЛЦ [1,7], если их выходы связаны со входом одной и той же вершины ГСА Γ . Так как блок БАМ не формирует переходы для ЭОЛЦ, связанных с конечной вершиной b_E , то построим множество $C_1 \subseteq C$. Пусть ЭОЛЦ $\alpha_g \in C_1$, если ее выход не связан дугой с вершиной b_E . Найдем разбиение $\Pi_C = \{V_1, \dots, V_l\}$ множества C на классы псевдоэквивалентных ЭОЛЦ. Закодируем ЭОЛЦ $\alpha_g \in C$ кодами $K(\alpha_g)$ так, чтобы для максимального возможного числа классов $V_i \in \Pi_C$ выполнялось условие

$$n_i = 1. \quad (10)$$

Здесь n_i определяется числом обобщенных интервалов R_C -размерного булева пространства, содержащих ЭОЛЦ класса $V_i \in \Pi_C$. Назовем такое кодирование ЭОЛЦ оптимальным.

Представим множество Π_C в виде объединения множеств Π_C^1 и Π_C^2 . Пусть $V_i \in \Pi_C^1$, если условие (10) выполняется. В противном случае $n_i > 1$ и $V_i \in \Pi_C^2$. Пусть $G_2 = |\Pi_C^2| + 1$. Закодируем классы $V_i \in \Pi_C^2$ кодами $K(V_i)$ разрядности

$$R_B = \lceil \log_2 G_2 \rceil \quad (11)$$

и используем для кодирования переменные $z_r \in Z$, где $|Z| = R_B$.

Построим следующую систему функций для классов $V_i \in \Pi_C^2$:

$$V_i = \bigvee_{g=1}^G C_{gi} \alpha_g. \quad (12)$$

В (12) булева переменная $C_{gi} = 1$, если и только если $\alpha_g \in V_i$. Система (12) является основой для построения таблицы преобразователя кодов ЭОЛЦ в коды классов $V_i \in \Pi_C^2$. Из таблицы может быть получена система термов A_0 , где терм A_g соответствует некоторому интервалу, включающему ЭОЛЦ $\alpha_g \in V_i$:

$$A_g = \bigwedge_{r=1}^{R_C} \tau_r^{1gr}. \quad (13)$$

В (13) $1_{gr} \in \{0,1,*\}$ — значение g -го разряда соответствующего интервала, $\tau_r^0 = \bar{\tau}_r$, $\tau_r^1 = \tau_r$, $\tau_r^* = 1$ ($r = \overline{1, R_C}$). Терм (13) входят в функции $z_r \in Z$, кодирующие классы $V_i \in \Pi_C^2$:

$$z_r = \bigvee_{g=1}^G C_{gr} A_g \quad (r = \overline{1, R_B}). \quad (14)$$

В (14) $C_{gr} \in \{0,1\}$ и $C_{gr} = 1$, если терм A_g входит в функцию $z_r \in Z$. Число термов A_g зависит от результата оптимального кодирования ЭОЛЦ.

Предлагаемый в работе метод приводит к КМУУ U_2 , матричная схема которого показана на рис. 3.

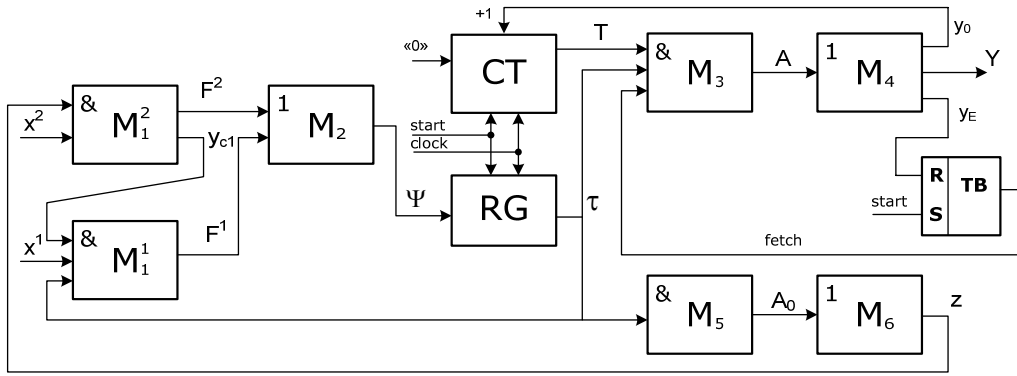


Рисунок 3 — Структурная схема КМУУ U_2

В КМУУ U_2 блок БАМ состоит из трех матриц. Матрица M_1^1 реализует термы $F_h \in F^1$, определяющие переходы из ЭОЛЦ классов $V_i \in \Pi_C^1$:

$$F_h = F_h(x^1, \tau) \quad (h = \overline{1, H_1}). \quad (15)$$

Термы $F_h \in F^1$ имеют вид (7), при этом $x^1 \in x$ и $|x^1| = L_1$. Матрица M_1^2 реализует термы $F_h \in F^2$, определяющие переходы из ЭОЛЦ классов $V_i \in \Pi_C^2$:

$$F_h = \left(\bigwedge_{r=1}^{R_B} z_r^{lir} \right) \cdot X_h \quad (h = \overline{1, H_2}). \quad (16)$$

В (16) первый член соответствует коду $K(B_i)$ класса $V_i \in \Pi_C^2$, $l_{gr} \in \{0, 1, *\}$ — значение g -го разряда кода $K(B_i)$ $z_r^0 = \bar{z}_r$, $z_r^1 = z_r$, $z_r = 1$. При этом $x^2 \in x$ и $|x^2| = L_2$. Матрица M_2 реализует систему функций Ψ , зависящую от термов вида (15) и (16). Эта матрица имеет $H_1 + H_2 = H_0$ входов, что дает площадь $S(M_2) = H_0 R_C$.

Кроме того, матрица M_1^2 формирует переменную y_{c1} . Если $y_{c1} = 1$, то все термы (16) равняются нулю и функции Ψ зависят от термов (15). Это значит, что один из кодов, образуемых переменными $Z_r \in Z$, должен быть использован для формирования признака $V_i \in \Pi_C^1$ (то есть $y_{c1} = 1$). Этим определяется добавление единицы к $|\Pi_C^2|$ для определения G_2 и R_B . Обозначим этот дополнительный код как $K(\Pi_C^1)$.

Матрица M_3 реализует термы системы $Y \cup \{y_0, y_E\}$, а матрица M_4 — сами функции этой системы. Матрица M_5 реализует термы (13), а матрица M_6 — функции (14). Таким образом, матрицы M_5 и M_6 образуют преобразователь кодов (ПК).

Предложенный метод позволяет уменьшить площадь БАМ. При этом суммарная площадь матриц M_1^1 и M_1^2 может быть меньше. Чем в эквивалентном автомате Мили. Уменьшение возможно при выполнении условия $x^1 \cap x^2 = \emptyset$. Однако в КМУУ U_2 присутствует блок БПК, потребляющий некоторые ресурсы кристалла. Очевидно, что метод может быть применен, если уменьшение площади блока БАМ превышает площадь блока ПК.

Метод синтеза КМУУ U_2

В настоящей работе предлагается метод синтеза схемы КМУУ U_2 на заказных матрицах. Метод включает следующие этапы:

1. Формирование множества ЭОЛЦ S и S_1 по исходной граф-схеме алгоритма Г.

2. Определение параметров R , R_0 и R_C . Если условие (5) выполняется, то процесс синтеза продолжается.
3. Формирование разбиения Π_C множества ЭОЛЦ C_1 на классы псевдоэквивалентных ОЛЦ.
4. Кодирование ОЛЦ $\alpha_g \in C$ и их компонент.
5. Формирование содержимого управляющей памяти.
6. Формирование множеств Π_C^1 и Π_C^2 . Кодирование классов $B_i \in \Pi_C^2$.
7. Формирование системы обобщенных формул переходов S и разбиение ее на подсистемы S_1 и S_2 .
8. Формирование таблицы переходов для классов $B_i \in \Pi_C^1$ по системе S_1 . Построение системы функций $\Psi = \Psi(\tau, X)$.
9. Формирование таблицы переходов для классов $B_i \in \Pi_C^2$ по системе S_2 . Построение системы функций $\Psi = \Psi(Z, X)$.
10. Построение таблицы преобразователя кодов и формирование системы $Z = Z(\tau)$.
11. Реализация КМУУ на заказных матрицах по полученным системам функций.

Рассмотрим некоторые этапы синтеза. Пусть для некоторой ГСА Γ_1 имеем $M = 48$, $R = 6$, $G = 14$, $R_C = 4$, $R_0 = 2$. Таким образом, $\Psi = \{D_1, \dots, D_4\}$, $\tau = \{\tau_1, \dots, \tau_4\}$, $T = \{T_1, T_2\}$, условие (5) выполняется и применение моделей $U_1 - U_2$ имеет смысл. Пусть $\Pi_C = \{B_1, \dots, B_6\}$, $\Pi_C^1 = \{B_1, B_3, B_5\}$ и $\Pi_C^2 = \{B_2, B_4, B_6\}$. Таким образом, $G_2 = 4$, $R_B = 2$, $z = \{z_1, z_2\}$. Пусть $K(\Pi_C^1) = 00$, $K(B_2) = 01$, $K(B_4) = 10$ и $K(B_6) = 11$.

Пусть система S_1 включает формулу перехода

$$B_3 \rightarrow x_1 x_2 b_4 \vee x_1 \bar{x}_2 b_{14} \vee \bar{x}_1 b_{17}, \quad (17)$$

где $K(B_3) = *010$, $A(B_4) = 100000$, $A(B_{14}) = 010100$, $A(B_{17}) = 101000$. Напомним, что формулы вида (17) включают только входы ЭОЛЦ, поэтому для адресов соответствующих микрокоманд младшие R_0 разрядок равняются нулю.

Таблица переходов для классов $B_i \in \Pi_C^1$ имеет столбцы: B_i , $K(B_i)$, $A(b_q)$, X_h , Ψ_h , h , смысл которых очевиден. Для формулы (17) часть этой таблицы представлена в табл. 1.

Таблица 1 — Фрагмент таблицы переходов для формулы (17)

B_i	$K(B_i)$	$A(b_q)$	X_h	Ψ_h	h
B_3	*010	100000	$x_1 x_2$	D_1	1
		010000	$x_1 \bar{x}_2$	D_2	2
		101000	\bar{x}_1	$D_1 D_3$	3

Из табл. 1 имеем систему термов (15): $F_1 = \bar{\tau}_2 \tau_3 \bar{\tau}_4 x_1 x_2 u_{C1}$, $F_2 = \bar{\tau}_2 \tau_3 \bar{\tau}_4 x_1 \bar{x}_2 u_{C1}$, $F_3 = \bar{\tau}_2 \tau_3 \bar{\tau}_4 \bar{x}_1 u_{C1}$. В общем случае эта таблица имеет N_1 термов, входящих в функции $D_r \in \Psi$. В нашем случае формируются подфункции $D_1 = F_1 \vee F_3$, $D_2 = F_2$, $D_3 = F_3$. При этом термы $F_h \in F^1$ реализуются на матрице M_1^1 , а сами функции $D_r \in \Psi$ — на матрице M_2 .

Пусть система S_2 включает формулу перехода

$$B_6 \rightarrow x_3 b_{33} \vee \bar{x}_3 b_{20}, \quad (18)$$

где $K(B_6) = 01$ (как было сделано ранее), $A(b_{33}) = 110000$ и $A(b_{20}) = 010100$. Таблица переходов для классов $B_i \in \Pi_C^2$ практически имеет те же столбцы, что и таблица для классов $B_i \in \Pi_C^1$. Для формулы (18) часть этой таблицы представлена в табл. 2.

Таблица 2 — Фрагмент таблицы переходов для формулы (18)

B_i	$K(B_i)$	$A(b_q)$	X_h	Ψ_h	y_{C1}	h
B_6	11	110000	x_3	$D_1 D_2$	—	1
		010100	\bar{x}_3	$D_2 D_4$	—	2

Из табл. 2 имеем термы (16): $F_1 = z_1 z_2 x_1$, $F_2 = z_1 z_2 x_3$, а также функции $D_1 = F_1$, $D_2 = F_1 \vee F_2$, $D_4 = F_2$. Отметим, что переменная $y_{C1} = \bar{z}_1 \bar{z}_2$. Таким образом, разница в табл. 1 и табл. 2 заключается в наличии в табл. 2 столбца y_{C1} . Термы $F_h \in F^2$ и переменные y_{C1} формируются матрицей M_1^2 , а функции $D_r \in \Psi$ — матрицей M_2 .

Пусть $B_2 = \{\alpha_2, \alpha_3, \alpha_4\}$, $B_4 = \{\alpha_7, \alpha_8, \alpha_9, \alpha_{10}, \alpha_{11}\}$, $B_6 = \{\alpha_{13}, \alpha_{14}\}$, пусть коды ЭОЛЦ $\alpha_g \in C$ совпадают с двоичным эквивалентом их индекса. Из этих кодов можно найти, что класс B_2 определяется интервалом $[0010, 0011] = 001^*$ и 0100 , класс B_4 — $[1000, 1001, 1010, 1011] = 10^{**}$ и 0111 , а класс B_6 — интервалами 1101 и 1110 . Итак, таблица ПК включает $K = 6$ строк, каждая из которых соответствует терму A_k ($k = \overline{1, K}$). Таблица ПК включает столбцы A_k , $K(A_k)$, B_i , $K(B_i)$, z_k , k , смысл которых ясен из табл. 3.

Таблица 3 — Таблица ПК КМУУ U_2

A_k	$K(A_k)$	B_i	$K(B_i)$	z_k	k
A_1	001^*	B_2	01	z_2	1
A_2	0100	B_2	01	z_2	2
A_3	10^{**}	B_4	10	z_1	3
A_4	0111	B_4	10	z_1	4
A_5	1101	B_6	11	$z_1 z_2$	5
A_6	1110	B_6	11	$z_1 z_2$	6

Из этой таблицы имеем термы (13), например, $A_1 = \bar{\tau}_1 \bar{\tau}_2 \tau_3$, $A_2 = \bar{\tau}_1 \tau_2 \bar{\tau}_3 \bar{\tau}_4$, $A_3 = \tau_1 \bar{\tau}_2$, а также функции (14): $z_1 = A_3 \vee A_4 \vee A_5 \vee A_6$, $z_2 = A_1 \vee A_2 \vee A_5 \vee A_6$. Термы (13) реализуются матрицей M_5 , а функции (14) — матрицей M_6 .

Заключение

В работе предложен метод, позволяющий уменьшить площадь матричной реализации КМУУ с элементарными цепями. Этот метод основан на использовании двух источников кодов классов ЭОЛЦ. При этом матрица термов схемы адресации КМУУ разбивается на две части. Такой подход гарантирует уменьшение числа термов в схеме адресации до величины, определяемой эквивалентным автоматом Мили.

Предложенный метод применим только для линейных граф-схем алгоритма при выполнении условия (5). Если условие (5) не выполняется, то площадь матриц M_3 и M_4 резко увеличивается, и применение предложенного метода становится нецелесообразным.

Научная новизна статьи заключается в модификации метода синтеза КМУУ с элементарными цепями. Внесенные изменения позволяют использовать несколько источников кодов ЭОЛЦ.

Практическая значимость результатов работы заключается в уменьшении площади, занимаемой схемой КМУУ на кристалле. Это позволяет удешевить реализацию логических схем КМУУ, а также размещать более сложные цифровые системы на кристаллах меньшей площади.

Список использованной литературы

1. Баркалов А.А. Синтез микропрограммных автоматов на заказных и программируемых СБИС / А.А. Баркалов, Л.А. Титаренко. — Донецк: УНИТЕХ, 2009. — 336 с.
2. Smith M. Application-Specific Integrated Circuits / M. Smith. — Boston: Addison Wesley, 1997. — 836 p.
3. Baranov S. Logic Synthesis for Control Automata / S. Baranov. — Kluwer Publishers, 1994. — 312 p.
4. Баркалов А.А. Реализация микропрограммного устройства управления композицией автоматов с жесткой и программируемой логикой / А.А. Баркалов, А.В. Матвиенко // Микропроцессорные средства, разработка и применение. — К.: АН УССР, 1985. — С. 38–42.
5. Barkalov A.A. Synthesis of operational and control automata / A.A. Barkalov, L.A. Titarenko. — Donetsk: UNITECH, 2009. — 256 p.
6. Баркалов А.А. Синтез устройств управления на программируемых логических устройствах / А.А. Баркалов. — Донецк: ДонГТУ, 2002. — 262 с.
7. Баркалов А.А. Разработка формализованных методов структурного синтеза композиционных автоматов: дис. ... доктора тех. наук: 05.13.08 / Александр Александрович Баркалов. — Донецк, 1994. — 301 с.
8. Баркалов А.А. Оптимизация композиционного микропрограммного устройства управления с элементарными операторными линейными цепями / А.А. Баркалов, Р. Вишневикий // Наукові праці Донецького національного технічного університету. Серія «Обчислювальна техніка та автоматизація». — 2004. — Вип. 74. — С. 210 – 216.

Надійшла до редакції:
27.02.2012 р.

Рецензент:
д-р техн. наук, проф. Зорі А.А.

A.A. Barkalov, I.Y. Zeleneva, S.A. Tsololo. Reducing the Area of Circuit Control Unit with Elementary Chains. The structures of compositional microprogram control unit with elementary chains are proposed. Structures allow reducing the complexity of the matrix realization in the device's circuit. The proposed method is based on using two codes sources. Described theoretical background and practical approach of synthesis, example of method application is given.

Keywords: compositional microprogram control unit, custom matrix, matrix realization, elementary chains.

О.О Баркалов, І.Я. Зеленьова, С.О. Цололо. Зменшення площі матричної схеми пристрою керування з елементарними ланцюгами. У роботі запропоновано спосіб зменшення площі блоку адресації композиційного мікропрограмного пристрою керування з елементарними ланцюгами. В основі методу лежить ідея використання двох джерел кодів псевдоеквівалентних елементарних операторних лінійних ланцюгів. У цьому випадку матриця термів схеми адресації пристрою управління розбивається на дві частини, що гарантує зменшення числа термів у логічній схемі.

Ключові слова: композиційний мікропрограмний пристрій керування, замовна матриця, матрична реалізація, елементарні ланцюги.

© Баркалов А.А., Зеленева І.Я., Цололо С.А., 2012