

УДК 004.021

## АЛГОРИТМИЧЕСКИЙ МЕТОД ВЕРИФИКАЦИИ VERILOG-МОДЕЛЕЙ МИКРОСХЕМ АСИНХРОННОЙ ПАМЯТИ

Моамар Д.Н.<sup>1</sup>, Рябцев В.Г.<sup>2</sup>, Уткина Т.Ю.<sup>1</sup>

<sup>1</sup> Черкасский государственный технологический университет, Украина

<sup>2</sup> Европейский университет, г. Черкассы, Украина

*Предлагается алгоритмический способ проектирования тестов для верификации Verilog-моделей микросхем памяти, что обеспечивает сокращение трудоемкости формирования тестовых воздействий и эталонных реакций. Определен подход для автоматического фиксирования и сравнения данных. Алгоритм и структуру испытательного стенда можно использовать при проектировании тестеров, обеспечивающих тестовое диагностирование модулей памяти, собранных из микросхем, верификация моделей которых выполнена успешно.*

### Введение

При проектировании управляющих и информационных систем важной задачей является выбор типа микросхем для построения оперативных запоминающих устройств. В настоящее время широкое распространение получили микросхемы асинхронной оперативной памяти, основными параметрами которых являются емкость и число разрядов данных [1]. Для реализации контроллера запоминающего устройства необходимо выполнить требования к последовательности формирования управляющих сигналов, которые указаны в технической документации. Наиболее целесообразно проверку корректности формирования данных сигналов выполнять при верификации Verilog-моделей микросхем памяти, которые свободно распространяются в сети Internet [2].

**Целью** данной работы является разработка метода, обеспечивающего снижение трудоемкости синтеза программ тестов для верификации Verilog-моделей микросхем памяти, что сократит сроки проектирования управляющих и информационных систем.

**Актуальность** поставленной задачи подтверждается тем, что при выполнении моделирования микросхем асинхронной оперативной памяти в известных методах предлагается записывать коды данных в запоминающие ячейки, выполнять операции считывания и выводить на экран монитора или записывать в файлы состояния управляющих сигналов, коды адреса и коды записываемых и считываемых данных. При этом последовательно для каждой ячейки в тесте указываются коды адреса и данных, что при большом объеме запоминающего устройства является довольно трудоемкой процедурой. Кроме того достоверность считанных данных необходимо подтвердить визуальным сравнением считанных и эталонных данных, что усложняет процесс верификации Verilog-моделей микросхем памяти и может привести к ошибкам при проектировании аппаратных средств, реализующих интерфейс запоминающего устройства.

### 1 Структура испытательного стенда

Проверка соответствия проекта требованиям спецификации осуществляется путем выполнения верификации его модели. Процесс верификации модели проекта можно разделить на несколько этапов [3]:

- выбор метода генерации тестов;
- выбор теста из известного множества образцов;
- реализация тестов;
- исполнение тестов в среде проектирования и моделирования;
- тестовый анализ полученных результатов.

Предлагается алгоритмический способ генерации тестов для верификации Verilog-моделей микросхем памяти, что обеспечивает сокращение трудоемкости формирования тестовых воздействий и эталонных реакций.

Модель испытательного стенда для верификации моделей микросхем памяти разработана с применением схмотехнического способа представления проекта, когда основной набор компонентов выбирается из библиотеки среды Active-HDL, где они представлены в виде условных графических обозначений. Исключение сделано для исследуемой модели микросхемы памяти, которая представлена в виде функционального блока на верхнем уровне иерархии и в виде Verilog-программы на нижнем иерархическом уровне.

Структура испытательного стенда приведена на рис. 1 и содержит буферные элементы с тремя состояниями, регистр считанных данных, цифровой компаратор, логические элементы и D-триггер, фиксирующий результаты верификации модели.

Для фиксации считанных данных и запоминания результатов верификации применяются стробирующие сигналы StrobR и StrobC соответственно [4, 5].

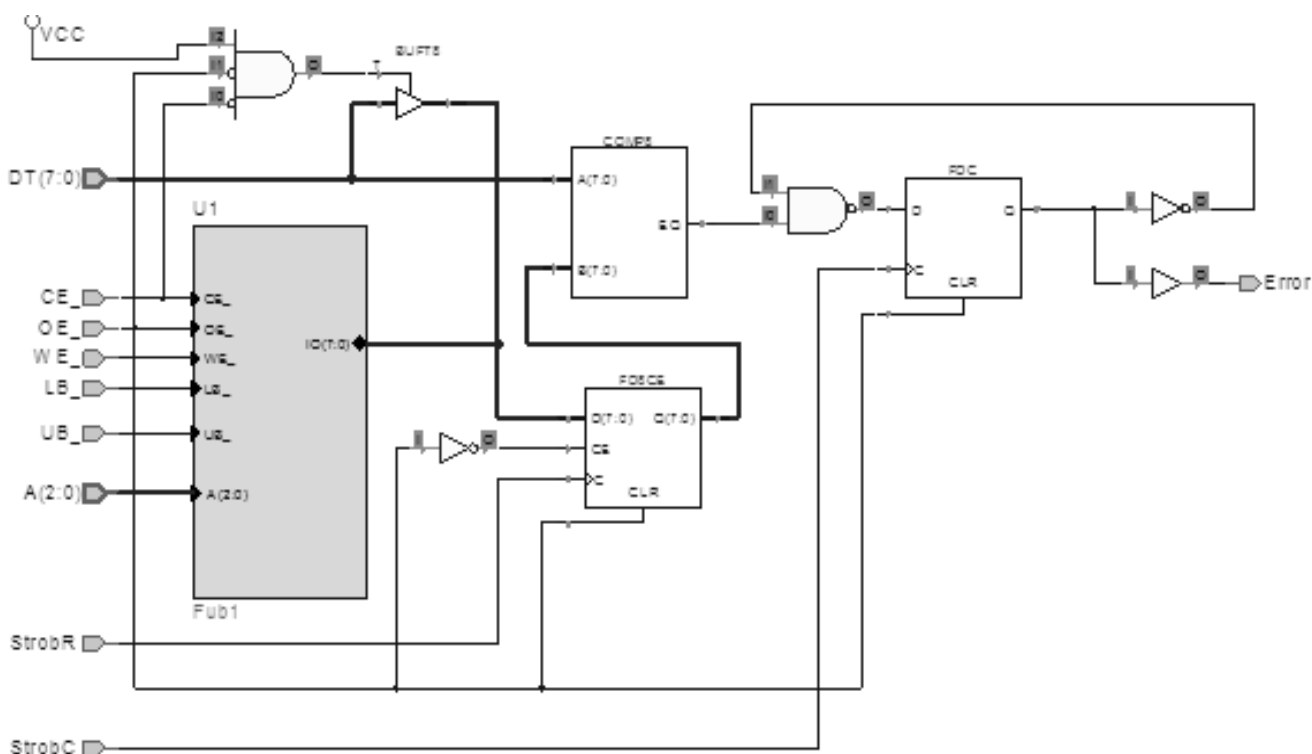


Рисунок 1. Структура испытательного стенда

Дополнительные логические элементы обеспечивают запоминание D-триггером одиночной ошибки, что упрощает реализацию схемы хранения результатов верификации.

## 2 Результаты верификации Verilog-модели

Для проверки алгоритма работы испытательного стенда применялся адресный тест, при выполнении которого в запоминающие ячейки записывался код равный коду адреса. Для реализации оболочки программы теста можно использовать инструментарий среды Active-HDL, однако существующие версии данной системы не позволяют автоматически формировать тестовые наборы для микросхем памяти. При выполнении теста процесс сравнения ответных реакций с эталонными значениями следует автоматизировать, чтобы исключить ошибки проектировщика. В результате тестового анализа можно убедиться, что поведение проекта соответствует требованиям спецификации.

Фрагмент программы, реализующей операцию записи данных в микросхему памяти, приведен ниже.

```
for (n =0; n <= memdepth; n = n+1)
begin
    #0 OE _ = 1;
    CE _ = 0;
    LB _ = 0;
    UB _ = 0;
    #10 _ 000 WE _ = 0;
    #50 _ 000 WE _ = 1;
    #50 _ 000 WE _ = 1;
    A=A+1;
    DT=DT+1;
end
```

Реализация цикла записи обеспечивается за счет изменения переменной *n* в диапазоне от 0 до параметра *memdepth*, значение которого определяет объем исследуемой микросхемы.

Аналогичный цикл выполняется при считывании и сравнении данных.

```
begin
DT = 8'b00000000;
for (n =0; n <= memdepth; n=n+1)
begin
    CE _ =0;
    OE _ = 0;
    LB _ = 0;
    UB _ = 0;
    WE _ = 1;
    #100 _ 000 WE _ = 1;
    A=A+1;
    DT=DT+1;
end
end
```

Временная диаграмма, иллюстрирующая состояние шин и сигналов испытательного стенда, приведена на рис. 2. Операция сравнения данных реализуется аппаратными средствами. Для учета динамических параметров микросхемы при считывании выполняется временная задержка на 100000 циклов модельного времени.

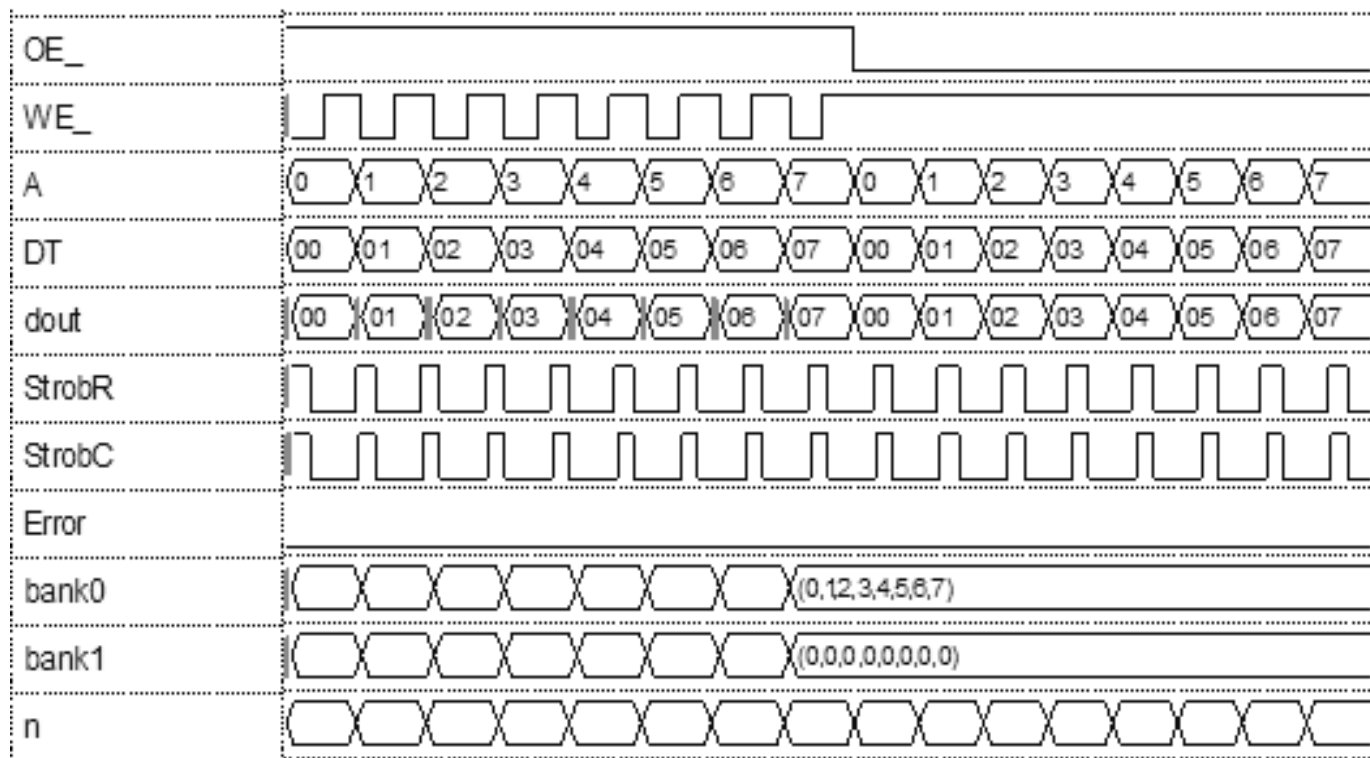


Рисунок 2. Временная диаграмма шин и сигналов испытательного стенда

В результате анализа флага ошибки Error на экран монитора выводится сообщение о полученных результатах. Фрагмент программы, выполняющей указанные действия, приведен ниже.

```
# 0 $display («Конец теста, %b», Error);
if (Error == 1)
# 0 $display («Результат - модель забракована»);
else
# 0 $display («Результат - верификация модели выполнена успешно»);
$finish;
```

## Выводы

За счет применения схемотехнического способа представления испытательного стенда обеспечивается верификация Verilog-моделей микросхем памяти асинхронного типа в условиях близких к условиям эксплуатации. Автоматическое фиксирование и сравнение считанных и эталонных данных исключает операцию визуального сравнения данных, что уменьшает время верификации моделей и позволяет осуществить проверку динамических параметров микросхемы. Полученные результаты моделирования позволяют сократить ошибки при проектировании аппаратных средств, реализующих интерфейс связи микросхем памяти с процессором.

---

**Список источников**

- [1] IS61LV6416L 64Kx16 High-Speed CMOS Static RAM With 3.3 V Supply. [Electronic resource] / Электронный ресурс. Режим доступа : <http://www.datasheetarchive.com/IS61LV64>.
- [2] Single Port RAM Asynchronous Read/Write. [Electronic resource] / Электронный ресурс. Режим доступа : [http://www.asic-world.com/examples/verilog/ram\\_sp\\_ar\\_aw.html](http://www.asic-world.com/examples/verilog/ram_sp_ar_aw.html).
- [3] Каршенбойм И. Краткий курс HDL. Часть 7. Несколько слов об отладке проекта / И. Каршенбойм / Электронный ресурс. Режим доступа : [http://www.kit-e.ru/articles/circuit/2008\\_10\\_134.php](http://www.kit-e.ru/articles/circuit/2008_10_134.php).
- [4] Аль Мади М.К. Алгоритмы тестового диагностирования полупроводниковых запоминающих устройств : учеб. пособ. / М.К. Аль Мади, Д.Н. Моамар, В.Г. Рябцев. – К. : “Корнійчук”, 2008. – 220 с.
- [5] Рябцев В.Г. Метод и средство визуализации алгоритмов тестов диагностирования запоминающих устройств / В.Г. Рябцев, Д.Н. Моамар // Электронное моделирование. – 2010. – Т. 32. – № 3. – С. 43-52.