

## **ФУНКЦИОНАЛЬНАЯ МОДЕЛЬ СИНХРОННОЙ СТАТИЧЕСКОЙ ПАМЯТИ С НУЛЕВЫМ ВРЕМЕНЕМ СМЕНЫ РЕЖИМА (ZBT SSRAM)**

*Шерекин А.А., Губарь Ю.В.*

*Донецкий национальный технический университет*

*Рассмотрены актуальные вопросы разработки и исследования функциональной модели синхронной статической памяти ZBT SSRAM. Проведено математическое моделирование модуля этого типа памяти средствами системы Active-HDL в режимах записи и считывания информации и выявлены основные закономерности и особенности ее работы.*

### **Введение**

В синхронном статическом ОЗУ (SSRAM, synchronous static RAM) имеется тактируемый интерфейс для сигналов адреса, данных и управления [1, 2]. Микросхемы памяти содержат также внутренние регистры адреса, данных и управления, которые переключаются по фронту тактового сигнала (ТС) синхронизации. Операция, задаваемая передним нарастающим фронтом ТС, выполняется внутри микросхемы на следующем такте. При выполнении операции записи во внутреннем регистре данных фиксируются выходные данные.

В памяти типа SSRAM используется протокол з задержанной записью [4], при котором невозможно организовать запись в соседних тактах по двум различным адресам в ячейки, не следующие одна за другой. Как отмечено в [1], структура памяти SSRAM с задержанной записью не позволяет выполнить цикл чтения на следующем такте после цикла записи и наоборот. При смене режима работы внутренняя матрица памяти должна простаивать не менее одного периода ТС.

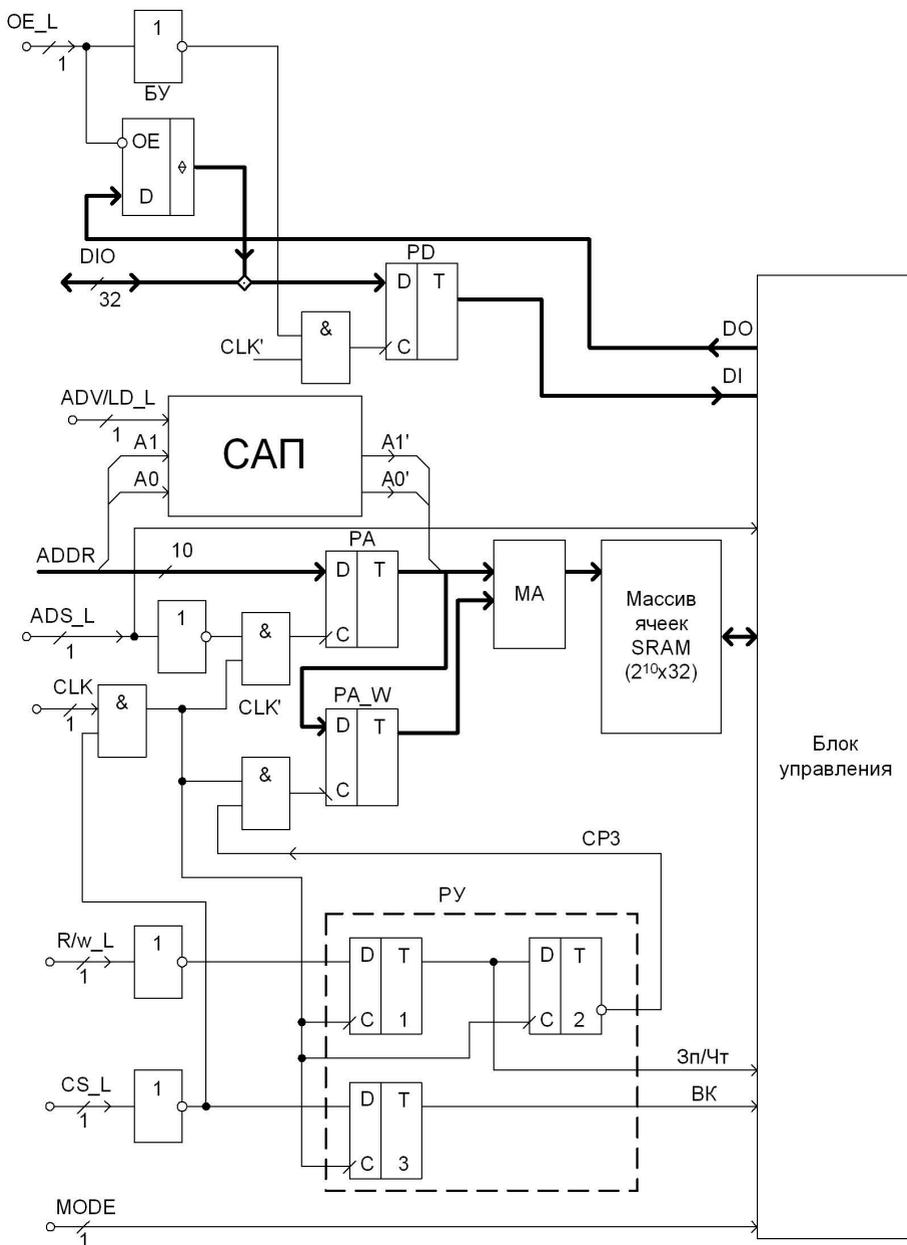


Рисунок 1 – Функциональная схема памяти ZBT SSRAM

Этот недостаток отсутствует в памяти SSRAM с нулевым временем смены режима - ZBT SSRAM (zero bus turn around) [3]. Это обеспечивается за счет усложнения функциональной организации микросхем памяти. Разработчики микросхем, боясь утечки “секретов”, не дают потребителям свои синтезируемые модели и разрабатывают функциональные модели отдельно, часто независимо от синтезируемых, и соответственно не всегда полностью функционально совместимые с реальными схемами. Многие другие компании предоставляют подобные модели лишь платно [2]. Поэтому целью данной работы является разработка и исследование функциональной модели памяти типа ZBT SSRAM в различных режимах работы, а также выявление особенностей и характеристик при построении модулей памяти.

## **1 Функциональная модель памяти ZBT SSRAM**

Функциональная схема памяти типа ZBT SSRAM представлена на рис. 1. В ее состав входят следующие основные блоки: массив ячеек статической памяти (SRAM) организацией 1024 ячеек по 32 разряда каждая, блок управления (БУ), регистры адреса (РА), адреса-записи (РА\_W), данных (PD), управления (PУ), счетчик адреса пакета (САП), буферные усилители (БУ) с тремя состояниями и логические схемы обрамления.

Рассмотрим назначение сигналов интерфейса памяти.

CS\_L - сигнал выборки устройства памяти (уровень активности низкий).

CLK - тактовый сигнал синхронизации блоков памяти. Используется вместе с сигналом CS\_L и распознается только при низком уровне этого сигнала.

ADS\_L - сигнал адресного stroba (уровень активности низкий). Сопровождает подачу адресных сигналов.

ADDR - адресные входы для выбора ячейки памяти. Младшие адресные линии A1 и A0 поданы для записи в счетчик адреса пакета (САП).

ADV / LD\_L - сигнал управления САП. При высоком уровне

сигнала используется внутренний САП, при низком уровне сигнала в САП загружается новый адрес пакета по линиям A1 и A0.

OE\_L - сигнал управления БУ и записью данных в регистр PD. При низком уровне сигнала БУ открыты. Этим обеспечивается передача данных с внутренней шины DO на выходную шину DIO. При высоком уровне сигнала OE\_L выходы БУ находятся в третьем состоянии, поэтому данные с шины DIO по нарастающему фронту TC записываются в регистр данных PD и выдаются на внутреннюю шину DI.

R / W\_L - сигнал задания режима работы памяти. Высокий уровень задает операцию считывания данных из матрицы SRAM, низкий уровень - записи данных в матрицу SRAM.

MODE - сигнал выбора пакетного режима работы. При высоком уровне сигнала задается одиночный режим работы, при низком - пакетный режим.

Сигналы R / W\_L и CS\_L записываются по нарастающему фронту TC в триггера T1 и T2 регистра управления (ПУ) и выдаются в качестве сигналов записи-чтения (Зп / Чт) и выбора кристалла (БК) в блок управления. Триггер T2 ПУ фиксирует тип выполняемой операции, заданной на предыдущем такте работы памяти. Инверсный выход этого триггера является сигналом разрешения записи (CP3) в регистр адреса-записи PA\_W.

Мультиплексором адреса (МА) выбирается адрес ячейки памяти из регистров PA или PA\_W. Управление МА осуществляет блок управления.

При выполнении операции считывания данных из SRAM выставляется адрес считываемой ячейки ADDR, сопровождаемый сигналом адресного stroba ADS\_L = 0, а также сигналы чтения R / W\_L = 1, выбора устройства CS\_L = 0 и управления БУ OE\_L = 0. С приходом нарастающего фронта TC адрес и управляющие сигналы записываются во внутренние регистры адреса PA и управления ПУ микросхемы памяти. Начинается цикл считывания данных из массива ячеек SRAM по адресу из PA. С задержкой срабатывания SRAM данные появляются на выходной шине памяти

DO и удерживаются на ней в течение всего тактового периода. Поскольку сигнал OE\_L низкого уровня, буферные усилители БУ с тремя выходными состояниями открыты и данные появляются на выходной шине микросхемы памяти. Считывание этих данных в процессор происходит с поступлением очередного фронта ТС (то есть на следующем такте).

При выполнении операции записи данных в SRAM выставляется адрес ячейки записи ADDR, сопровождаемый стробом ADS\_L = 0, а также сигналы записи R / W\_L = 0, CS\_L = 0 и OE\_L = 0. С поступлением ТС адрес и управляющие сигналы записываются во внутренние регистры PA и PY. Поскольку внешняя шина DIO может быть занята достоверными данными от предыдущей операции, операция записи откладывается. На время ожидания записи адрес и связанная с ним информация должны быть сохранены в другом регистре адреса PA\_W, поскольку регистр PA вновь используется другими операциями. Операция записи в SRAM становится возможной в том случае, когда на линиях адреса и управления иницируется еще одна операция записи или не выполняется никакой операции (NOP → ADS\_L = 1). Для выполнения отложенной операции записи в следующем такте на шину DIO выставляются записываемые данные и выдается сигнал OE\_L высокого уровня, по которому выходы БУ переводятся в третье состояние. Данные записываются в регистр данных PD по фронту тактового сигнала. Как только появляется возможность (определяется блоком управления), данные из регистра PD записываются в ячейку SRAM по адресу, выбираемому из адресного регистра PA\_W.

## 2 Экспериментальные исследования

Экспериментальные исследования проводились методом математического моделирования модуля памяти ZBT SSRAM на языке VHDL с использованием инструментальной среды Active – HDL [5].

Результаты модельных экспериментов представлены на рис.2

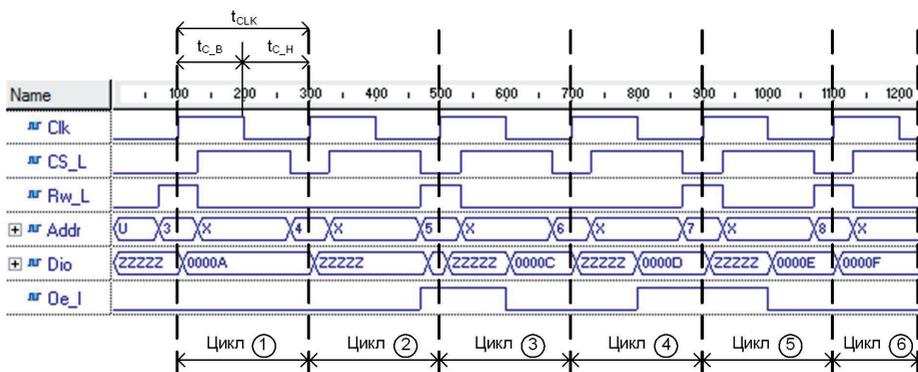


Рисунок 2 – Временная диаграмма первых шести циклов памяти

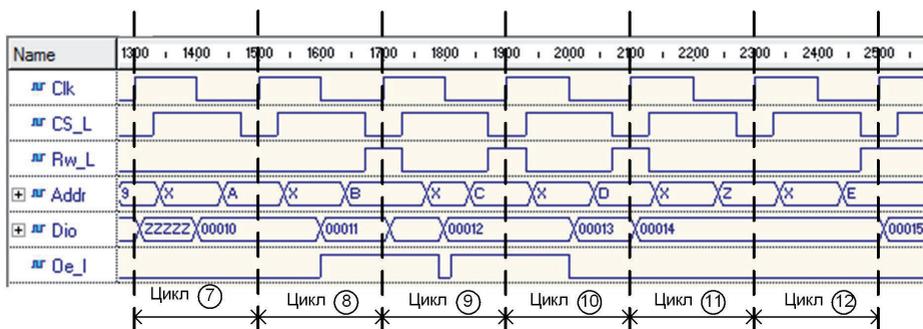


Рисунок 3 – Временная диаграмма 7-12 циклов работы памяти

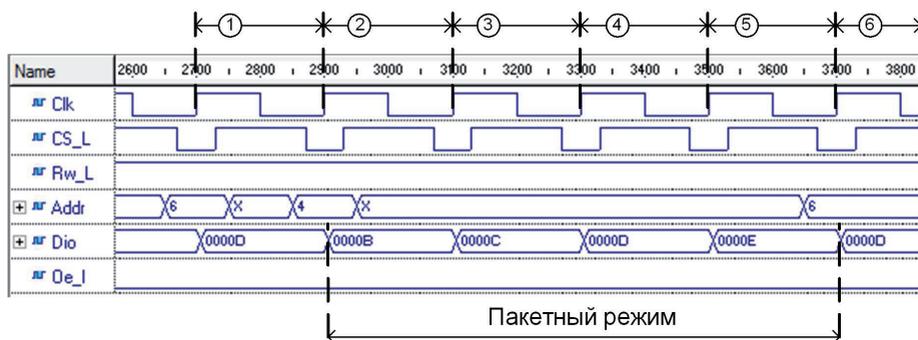


Рисунок 4 – Временная диаграмма пакетного цикла памяти

– рис.4. На рис. 2 представлены первые шесть циклов работы памяти в последовательности выполняемых операций: R1 (3, A) → W1 (4, B) → R2 (5, C) → W2 (6, D) → R3 (7, E) → R4 (8, F), где R1 - первая операция чтения, W1 - первая операция записи. В скобках в 16 - й системе счисления обозначены соответственно адрес и данные.

На рис.3 представлены следующие шесть циклов работы памяти с 7 по 12: W3 (9, 10) → W4 (10, 11) → R5 (11, 12) → R6 (12, 13) → R7 (13, 14) → NOP.

На рис.4 показан пакетный цикл считывания данных. Данные считываются из следующих одна за другой ячеек. В этом режиме используется САП, поэтому нет необходимости в каждом такте выдавать новый адрес.

Времена предустановки и удержания сигнала адреса ( $t_{SA}$ ,  $t_{HA}$ ), данных ( $t_{SH}$ ,  $t_{HD}$ ), выборки кристалла ( $t_{SC}$ ,  $t_{HC}$ ) и чтения-записи ( $t_{SW}$ ,  $t_{HW}$ ) приняты при выполнении экспериментов равными 2,5 и 0,5 нс соответственно.

Из анализа модельных экспериментов следует, что в памяти ZBT SSRAM с целью исключения конфликта ресурсов на двунаправленной шине данных DIO операции считывания данных предоставлен приоритет. Операция записи откладывается на один или более тактов периода CLK. На время ожидания записи адрес и связанная с ним информация должны быть сохранены в специально отведенных для них дополнительных регистрах. Отложенная операция записи данных выполняется в том случае, если на линиях интерфейса памяти инициируется еще одна операция записи или не выполняется никакой операции.

## Выводы

1. Разработана и проверена функциональная модель микросхемы памяти типа ZBT SSRAM. Выявлены особенности работы памяти при переключениях из режима считывания в режим записи данных и наоборот, которые необходимо учитывать при проектировании микропроцессорных систем.

2. Работу целесообразно продолжить по созданию и верификации памяти ZBT SSRAM с конвейерной организацией выходных данных.

### **Литература**

- [1] Уэйкерли Д.Ф. Проектирование цифровых устройств. Т.2. [Текст] / Д.Ф. Уэйкерли - М.: Постмаркер, 2002. - 528 с.
- [2] Prince B. High Perfomance Memories: New Architecture DRAM's and SRAM's, Evolution and Function [Текст] / B. Prince // New York: Wiley, 1996.
- [3] Микросхемы памяти фирмы Cypress Semiconductor [Электронный ресурс] / Интернет ресурс. - Режим доступа: <http://cypress.com>. – Загл. с экрана.
- [4] Цилькер Б.Я. Организация ЭВМ и систем: Учебник для вузов [Текст] / Б.Я. Цилькер, С.А. Орлов. – СПб.: Питер, 2006. – 668 с.