

УДК 004.383.3

РОЗРОБКА ТА ДОСЛІДЖЕННЯ МЕТОДІВ І СТРУКТУР АПАРАТНОГО ГЕНЕРУВАННЯ АНАЛОГОВИХ ТЕСТІВ НА БАЗІ FPGA

*Масякин Е.А., Зінченко Т.А., Зінченко Ю.Є.
Донецький національний технічний університет*

В статті розглянуті можливості реалізації методів і структур апаратного генерування аналогових тестів на базі FPGA-технологій. Виконаний аналіз існуючих підходів до FPGA-проективання, отримані та досліджені експериментальні структури. Зроблений висновок щодо якості реалізації генераторів аналогових тестів на базі різної архітектури.

На відміну від виключно цифрових, аналогові та аналогово-цифрові інтегральні схеми важко піддаються тестуванню. На заваді аналоговому тестуванню стоїть багато факторів, одним із яких є висока вартість діагностичного обладнання, в т.ч. обладнання для генерування аналогових тестових послідовностей – генераторів аналогових сигналів. За останні роки відбулися серйозні зміни в підході до функціональності генераторів сигналів. Якщо десять років тому генератори можна було поділити на такі групи: синтезатори, генератори шумів, генератори синусоїдальних сигналів, імпульсні генератори, генератори складних сигналів [2], то на цей час, у зв'язку із стрімким ростом цифрової та мікропроцесорної техніки, розвитком програмних технологій, з'явилася можливість створення нового класу генераторів, що об'єднує в собі всі раніше існуючі типи генераторів .

У даній статті розглядається спектр питання, пов'язаний із реалізацією генерування аналогових тестів на базі FPGA, а також приведені основні результати роботи і подальші перспективи розвитку досліджень у розглянутому напрямку.

Реалізація та дослідження структур і методів генерування

аналогових тестів на базі FPGA – технологій вимагає вирішення наступних задач:

- вибір методів і структур апаратного генерування аналогових тестів та їх адаптація для реалізації на базі FPGA;
- вибір цільової ПЛІС (групи ПЛІС);
- розробка та реалізація поведінкових моделей структур генераторів аналогових тестів безпосередньо на ПЛІС;
- дослідження розроблених структур і методів, їх порівняльний аналіз.

В якості методу генерування аналогових тестів для реалізації на ПЛІС було обрано прямий цифровий синтез (від англ. DDS - Direct Digital Synthesis).

Завдання DDS - отримати на виході сигнал синусоїдальної форми заданої частоти. Оскільки в DDS формування вихідного сигналу відбувається у цифровій формі, абсолютно очевидна необхідність цифро-аналогового перетворення. Це означає, що в структурі DDS повинен бути ЦАП. У будь-якому випадку на виході ЦАП повинен бути присутнім для зменшення помилок вихідного спектру, що повторюються з періодичністю FCLK (anti-aliasing filter). Для отримання синусоїдального сигналу на вхід ЦАП необхідно подати послідовність відліків функції \sin , що формуються з частотою дискретизації FCLK. Закон зміни функції \sin в часі складний і простими цифровими методами реалізований бути не може. Можна, звичайно, використовуючи поліноміальне подання, обчислювати значення функції \sin за допомогою арифметико-логічного пристрою. Проте такий метод навряд чи буде швидкодіючим, а висока швидкодія якраз є одним з основних вимог до DDS. Тому найбільш підходящим методом формування відліків функції \sin є табличний метод. Таблиця перекодування (Look Up Table) найчастіше розміщується в ПЗП (постійний запом'ятовуючий пристрій). Код, який подається на адресні входи ПЗП є аргументом функції \sin , а вихідний код ПЗП дорівнює значенню функції для цього аргументу. Аргумент функції \sin чи фаза, на відміну від значення функції, змінюється в часі лінійно. Сформувавши лінійно

мінливу в часі послідовність кодів набагато простіше. Це здатний зробити простий двійковий лічильник. Тому найпростіший DDS виглядає так: двійковий лічильник формує адресу для ПЗП, куди записана таблиця одного періоду функції \sin , відліки з виходу ПЗУ надходять на ЦАП, який формує на виході синусоїдальний сигнал, що піддається фільтрації в ФНЧ й чинить на вихід (рис. 1). Для перебудови вихідної частоти використовується ділник із змінним коефіцієнтом ділення, на вхід якого надходить тактовий сигнал з опорного генератора [7].

Подібна технологія має як ряд переваг, серед яких: висока точність, стабільність, надійність пристрою, висока чистота генерованого сигналу, висока швидкість перебудови частоти (фази), так і суттєвими недоліками: згідно теоремі Котельникова діапазон частот дискретизації сигналу обмежений половиною тактової частоти пристрою (у більшості реальних пристроїв він значно нижче). Таке обмеження формує досить високі вимоги до продуктивності систем, на базі яких реалізуються подібні пристрої:

- висока тактова частота роботи;
- висока швидкість взаємодії з пам'яттю пристрою;
- наявність швидкодіючого ЦАП.

Виходячи з вимог, можна відзначити, що FPGA-технологія виглядає однією з найбільш перспективною для подальшого розвитку даного напрямку цифрової схемотехніки, тому що вона надає можливість створення недорогих пристроїв з досить високою продуктивністю і апаратною реалізацією алгоритмів обробки сигналів. В якості цільової групи ПЛІС було обрано відлагоджувальні плати Xilinx Spartan 3E/3AN, виходячи із їх відповідності вимогам щодо швидкодії та наявності вбудованого цифро-аналогового перетворювача.

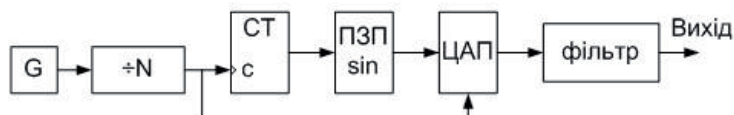


Рисунок 1 – Прямий цифровий синтез

FPGA-проекти за архітектурною ознакою можна класифікувати наступним чином:

- проекти із довільними зв'язками;
- проекти на базі шинної архітектури;
- проекти із використання вбудованих ОС.

Проекти на базі шинної архітектури мають на увазі наявність в проекті процесорного ядра та, як наслідок, шин, що зв'язують його із периферійними пристроями. Такі процесори мають власну архітектуру, систему команд. Найбільш поширеними видами мікропроцесорів для плат фірми Xilinx є Microblaze та Picoblaze. Побудова проекту на базі шинної архітектури надає можливість інженеру керувати окремими пристроями, перейшовши від мови опису апаратури до поширених мов програмування (C, Assembler). Таким чином, до переваг подібних проектів відносяться:

- можливість програмування апаратної частини проекту із використанням поширених мов програмування;
- значне спрощення процесу проектування, завдяки наявності готових IP-Core для проектів із шинною архітектурою.

До недоліків належать:

- зниження продуктивності, за рахунок необхідності використання ресурсів для підтримання шинної архітектури;
- обмеженість цільової групи пристроїв.

Проекти із довільними зв'язками не мають жорсткої архітектури, та реалізуються мовою опису апаратури (VHDL, Verilog). До переваг реалізації проекту цим методом належать:

- можливість отримання максимально доступної швидкодії;
- гнучкість використання ресурсів системи.

До недоліків подібних проектів належать:

- складність побудови проектів;
- низькорівневість програмування.

Під досліджень, були реалізовані апаратні структури генерування аналогових тестів на базі шинної та архітектури із

довільними зв'язками. На рисунку 2 наведена структурна схема генератора аналогових тестів на базі шинної FPGA – архітектури. Структура генератора аналогових тестів на базі архітектури із довільними зв'язками є подібною, за виключення відсутності мікропроцесору Microblaze та відповідних шин.

Результати порівняння параметрів експериментальних

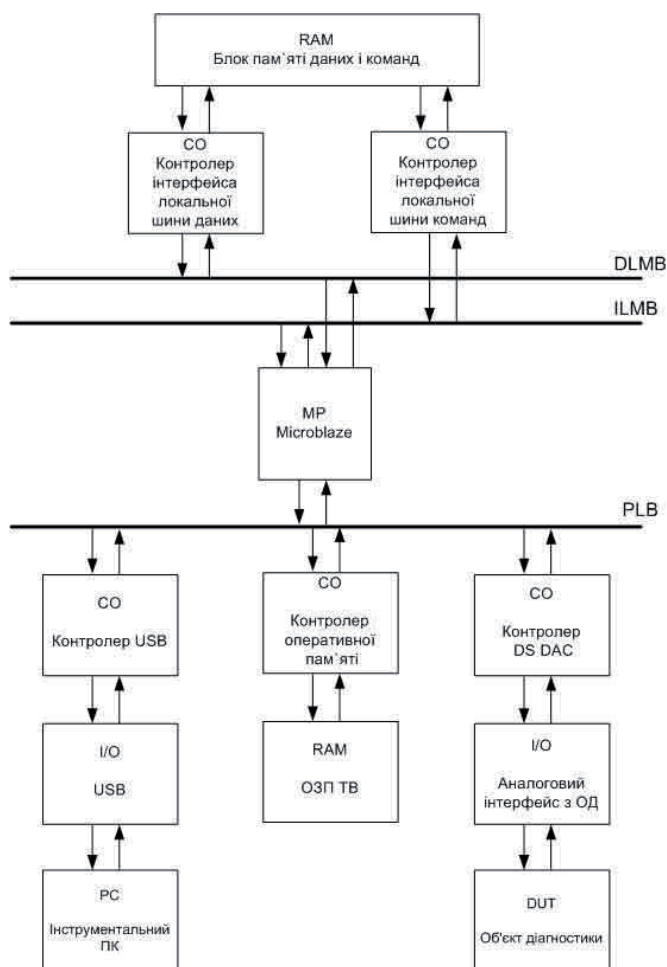


Рисунок 2 – Структурна схема генератора аналогових тестів на базі шинної архітектури

Таблиця 1 – параметри структур генерування аналогових тестів

	Шинна архітектура	Архітектура із довільними зв'язками
Частота генерування	367 кГц	782 кГц
Типи тестів, що генеруються	Довільної форми	Довільної форми
Кількість каналів	1	1
Можливість перебудови по частоті	Відсутня	Відсутня
Тип базового пристрою	Xilinx Spartan 3E	Xilinx Spartan 3AN

структур генераторів аналогових тестів на базі шинної та архітектури із довільними зв'язками наведені в таблиці 1.

Виходячи із параметрів експериментальних структур, що були реалізовані під час написання статті, можна стверджувати, що використання архітектури із довільними зв'язками для генерування аналогових тестів є більш обґрунтованим, так як у цьому разі максимальна швидкодія пристрою є більшою. Окрім цього поведінкова модель, що описує структуру генератора аналогових тестів із довільними зв'язками є більш переносною, так як була розроблена із використанням універсального мови опису літератури HDL. Мої подальші дослідження у цій галузі будуть пов'язані із використанням DSP-орієнтованих (від англ. - Digital Signal Processing) структур для апаратного генерування аналогових тестів.

Література

- [1] Давыдов П.С. Техническая диагностика радиоэлектронных устройств и систем / Давыдов П.С. // М.: Радио и связь, 1988. – 256 с.
- [2] Agrawal V.D Essentials of electronic testing for digital, memory and mixed-signal VLSI circuits / Agrawal V.D, Bushnell M.L. // Boston: Kluwer Academic Publishers, –

2000, 650 p.

- [3] Vapiraju Vinnakota. Analog and mixed-signal test / Vapiraju Vinnakota // Prentice Hall PTR, 1998. – 261p.
- [4] Перекрест А.А. Преимущества использования сопроцессоров на базе ПЛИС FPGA в системах цифровой обработки сигналов [Электронный ресурс] – Режим доступа: <http://www.electronics.ru/issue/2006/6/18>
- [5] J. Galiay. Physical versus logical fault models MOS LSI circuits: Impact on their testability / J. Galiay //, IEEE Transactions on Computers, Vol. C-29, pp. 527-531, June 1980.
- [6] Рувинова Э. Внутрисхемный контроль жив и будет жить // Рувинова Э./ Электроника: Наука, Технология, Бизнес, № 5 - 2001г.
- [7] Ридико Л. DDS: прямой цифровой синтез частоты [Электронный ресурс] – Режим доступа: <http://ru3ga.qrz.ru/UZLY/dds.htm>