

## РАЗРАБОТКА И ИССЛЕДОВАНИЕ АВТОМАТА МИЛИ С ФОРМИРОВАТЕЛЕМ АДРЕСА В БАЗИСЕ CPLD

*Толкачёв Д.О., Зеленёва И.Я.*

*Донецкий национальный технический университет*

Развитие микроэлектроники и широкое применение ее изделий в промышленном производстве, а особенно в системах управления самыми разнообразными объектами и процессами, является в настоящее время одним из основных направлений научно - технического прогресса. Программируемые большие интегральные схемы (БИС) в настоящее время широко распространенные. Их основные преимущества перед другими изделиями микроэлектроники: регулярность структуры, функциональная наращиваемость, широкий диапазон устройств, которые реализовываются на их основе, с комбинационной логикой и конечных автоматов, программируемость структуры [3]. Традиционно применяемый принцип микропрограммного управления предполагает, что цифровое устройство состоит из двух частей: операционный автомат (ОА) и управляющий автомат (УА). В операционном устройстве выполняются арифметические и логические операции, в качестве функциональных узлов в состав операционного устройства входят регистры, счетчики, сумматоры, дешифраторы и др. УА формирует последовательность управляющих сигналов для ОА, под воздействием которых операционный автомат реализует сложные алгоритмы. Такие последовательности операций называются микропрограммами, и часто интерпретируются в виде граф-схемы алгоритма. Управляющие автоматы подразделяются на большие группы: автоматы с жесткой логикой и автоматы с программируемой логикой. В свою очередь автоматы с жесткой логикой подразделяются на автоматы, функционирующие по закону Мили или Мура. В автоматах с жесткой логикой схема автомата однозначно интерпретирует схему графа микропрограммы.

В связи с тем, что системы функций возбуждения памяти (ФВП) и функций выходных сигналов (ФВС) автоматов основаны на представлении функций в дизъюнктивной нормальной форме (ДНФ), вполне логичной является реализация управляющих структур на программируемых логических интегральных схемах (ПЛИС) [1,2].

Схема управляющего автомата Мили с формирователем адреса используется с целью оптимизации площади кристалла ПЛИС за счёт уменьшения числа выходов в сравнении с тривиальной реализацией УА Мили. Синтез схемы начинается с того, что кодируются строки прямой структурной таблицы автомата (ПСТ). Затем составляется преобразованная ПСТ – множеством  $E_h = \{e_1, e_2, \dots, e_n\}$  кодируется номер строки таблицы. На следующем шаге кодируется набор микроопераций – множество выходных сигналов  $Y$ . Формируется таблица функции возбуждения памяти и кодируются наборы микроопераций (микрокоманды) [2]. Функциональная схема соответствующего автомата состоит из следующих узлов (рис. 1):

-ПЛИМ – формирует коды строк ПСТ на основании входных сигналов  $X_1$  и кодов состояний  $a_m$ .

-ПЗУ1 – параллельно формирует ФВП и коды микрокоманд.

-ПЗУ2 – формирует выходные состояния автомата.

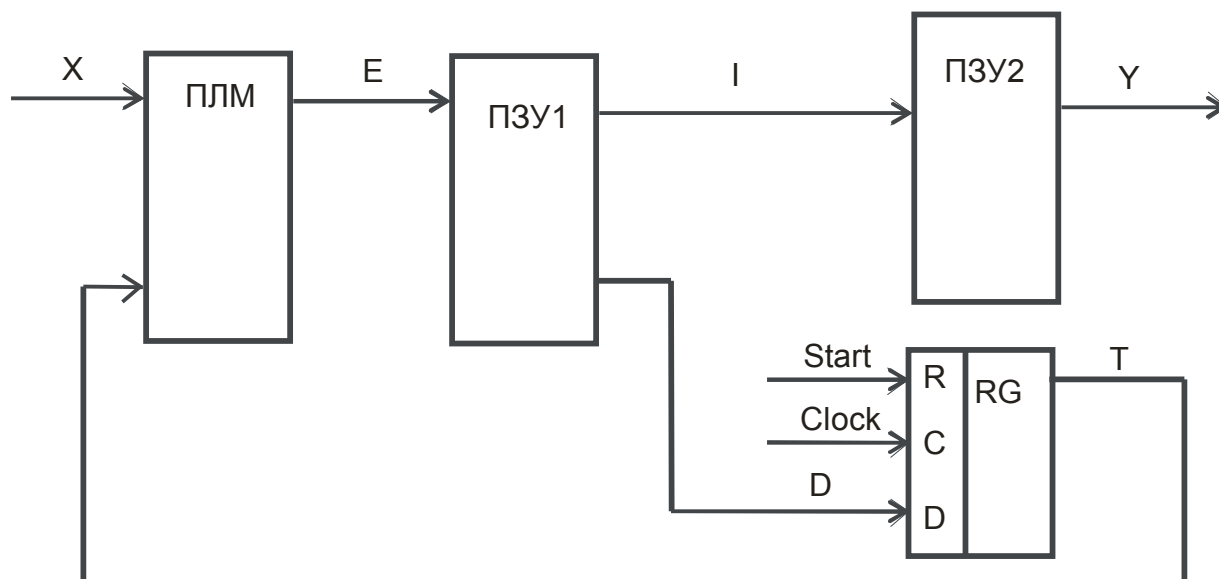


Рисунок 1 – Структурная схема УА Мили с формирователем адреса

Как видно из структурной схемы, в автомате используется программируемая логическая матрица (ПЛМ). ПЛМ обладают наибольшей гибкостью применения, поскольку позволяют реализовать сокращённые ДНФ систем булевых функций, причём число термов в каждой функции может быть произвольным. Технология ПЛМ является развитием технологии постоянного запоминающего устройства (ПЗУ) и впервые появилась в 1974г. ПЛМ состоит из входного и выходного буферов и программируемых матриц «И» и «ИЛИ». Однако в настоящее время ПЛМ фактически выбыли из производства и были заменены на другие устройства – CPLD (комплексные программируемые логические устройства). Архитектура CPLD напоминает популярную PAL (Programmable Array Logic – Программируемая матрица логики), в которой логические ресурсы реализуются массивом элементов И, объединённых элементами ИЛИ, в свою очередь соединяемые с триггерми или непосредственно с выходным буфером. Такая логическая структура достаточно проста для понимания, обеспечивает чрезвычайно короткое время компиляции и минимальные задержки pin-to-pin [3].

Одним из способов реализации автомата на CPLD является его полное описание на одном из аппаратных языков программирования (VHDL, Verilog) с последующей прошивкой на кристалл. Каждый из элементов схемы (ПЛМ, ПЗУ, Регистр) описывается поведенческим стилем, моделируется в одной из САПР, а затем синтезируется. Данный способ позволяет проверить работу устройства на этапе программирования, а также весьма удобен для отладки проекта. Однако как показывают проведённые исследования, эмуляция ПЗУ на CPLD отрицательным образом сказывается на площади, которую занимает кристалл.

Другой способ реализации УА – использование CPLD вместо PLA в качестве базиса для реализации СФВС и СФВП (рис.1). В соответствии с формулами, полученными из ПСТ, кодируется матрица «И» и «ИЛИ». А память и регистр сопрягаются с платой с помощью внешних подключений. Для больших ГСА, которые могут быть реализованы на данной стандартной CPLD, становится возможной значительная экономия площади. Однако, из-за подключения внешних устройств (ПЗУ, регистр) уменьшается скорость работы устройства. Также данная схема неэффективна для малых ГСА, которые целиком можно реализовать на одной CPLD.

Были разработаны два автомата по вышеописанным схемам, а также автомат с тривиальной структурой, который выступает в роли контрольного образца.

Для каждого автомата была составлена программа на языке VHDL, представляющая собой поведенческое описание составных модулей автомата.

ПЛМ представляет собой устройство, которое по входным значениям триггера  $T$  и условиям  $X$  вычисляет выходное значение  $E$ . Состояния ПСТ  $a$  вычисляются в унарном коде от состояния триггера. По значению переменной  $a$  и условия  $X$  определяется выходное значение, которое подается на ПЗУ1.

На ПЗУ1, из поступившего кода формируется два множества, одно из которых поступает на D-триггеры ( $D$ ), а другое на ПЗУ2( $I$ ). На выходе ПЗУ2 формируются выходные сигналы  $Y$ .

В результате синтеза данных программ под плату CoolRunner-II XC2C256 в ПО Xilinx ISE 9.1 были получены результаты по занимаемой площади кристалла (рис.2):

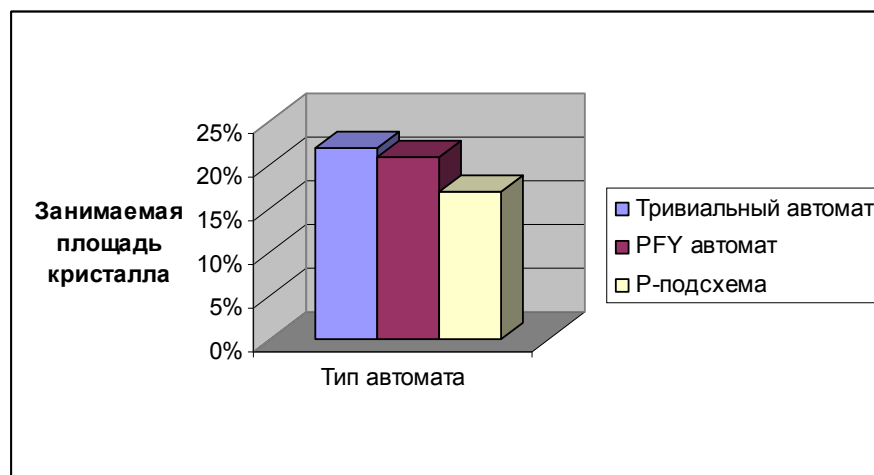


Рисунок 2 – Результаты синтеза автоматов

Тривиальная структура автомата – 22%

Автомат с формирователем адреса – 21%

Автомат с формирователем адреса (P-подсхема)– 17%

Из этого можно сделать вывод, что даже наиболее объёмный вариант реализации всего автомата с формирователем адреса на плате эффективней, чем тривиальный.

Планируется разработка программного модуля, который, получая на входе ГСА, описанную в формате \*.xml, определяет параметры устройств, необходимых для синтеза схемы управляющего автомата, а также площадь самой схемы. Кроме того, программный модуль должен выполнять синтез схемы устройства управления согласно заданной структуре с преобразователем кодов.

Применение автомата с формирователем адреса, а также автоматизация процесса его синтеза, способно удешевить производство приборов, использующих технологию CPLD.

### Литература

- [1] Соловьев В.В. Проектирование цифровых схем на основе программируемых логических интегральных схем. – М.: Горячая линия – Телеком, 2007.-636 с ил.
- [2] Баркалов О.О. Синтез пристроїв керування на програмованих логічних пристроях. – Донецьк: РВА ДонНТУ, 2002. – 262 с.
- [3] Дж.Ф.Уэйкерли Проектирование цифровых устройств т.1(сайт [electronica.com.ua](http://electronica.com.ua))