

СТРУКТУРИ СИСТЕМ ВЕРИФІКАЦІЇ FPGA-ПРОЕКТІВ*Астахов Є.О., Зінченко Ю.Є.**Донецький національний технічний університет*

Як відомо, процес проектування обчислювальних пристроїв супроводжується відлагодженням (верифікацією) на всіх етапах проектування. Верифікація сучасних складних пристроїв за статистикою займає 75-80% від загального часу проектування із тенденцією до погіршення цього параметра. Особливо гостро проблема верифікації стоїть на апаратному рівні (внутрішньосхемна верифікація), тобто коли проект опускається до цільового пристрою (БІС, СБІС). Тому тема роботи, що спрямована на розробку методів і засобів верифікації проектів, занурених в програмовано-логічну інтегральну схему (ПЛІС, FPGA), є актуальною.

Фундаментальною технологічною основою для пропонованого способу верифікації є технологія «граничного сканування» (Boundary Scan — BS). Розроблена спочатку з метою контролепридатного проектування і діагностики БІС, ця технологія знайшла також вживання при програмуванні і верифікації сучасних ПЛІС. В цілому BS забезпечує доступ до внутрішніх точок БІС через спеціально вбудований порт JTAG (Joint Test Advanced Group), проте вона не дає відповіді на те, як тестувати мікросхему або верифікувати проект, що занурений до неї.

Для відповіді на останнє запитання в даній роботі пропонується використовувати методологію зондової діагностики (ЗД, Probe Guide), що звичайно вживається для традиційних цифрових пристроїв (ЦП). ЗД була дуже популярна в 80-х роках. С початку 90-х років спостерігається тенденція не тільки зменшення технологічної відстані між контактами мікросхем, але й для деяких типів корпусів, наприклад BGA, доступ зонду стає принципово неможливим. Тому ЗД стрімко втрачала свої позиції. У теперішній час проекти опустилися в ПЛІС, а технологія Boundary Scan забезпечує доступ до внутрішніх точок схеми що дозволяє повернутися до ідей ЗД на якісно новому внутрішньосхемному рівні.

Спільне використання технології BS і методології ЗД щодо ПЛІС дозволить забезпечити доступ з метою аналізу до внутрішніх контрольних точок (КТ) проекту, зануреного у мікросхему, визначеним алгоритмом зондування.

У даної роботі передбачається розробити структуру програмного забезпечення системи верифікації об'єкту проектування на основі сполучення технологій Boundary Scan і ЗД, виявити сильні і слабкі сторони цього технічного рішення, зробити висновки про цю структуру для її впровадження.

Пропонується та аналізуються структура системи верифікації FPGA-проектів із зовнішнім алгоритмом зондування.

Ідеєю даної структури є взаємодія зовнішнього модуля пошуку помилок (МПП), який реалізує власне алгоритм ЗД та вбудованого BS-модуля, метою якого є сканування КТ, на яку вказує МПП.

Структура системи верифікації FPGA-проектів із зовнішнім алгоритмом зондування наведена на рис. 1.

Структура містить редактори для створення вихідного проекту (HDL Editor, Schematic Editor), тест-бенч генератор (TBG) для створення тестів та тестових реакцій об'єкту проектування, що розташовується у базах даних тестів (БДТ) та бази еталонних тестових реакцій (БЕТР). Ці компоненти входять до стандартної підсистеми САПР (Xilinx ISE, Altera Quartus II та ін.), у якій ведеться проектування. До стандартних підсистем САПР належать також підсистеми синтезу та реалізації проекту.

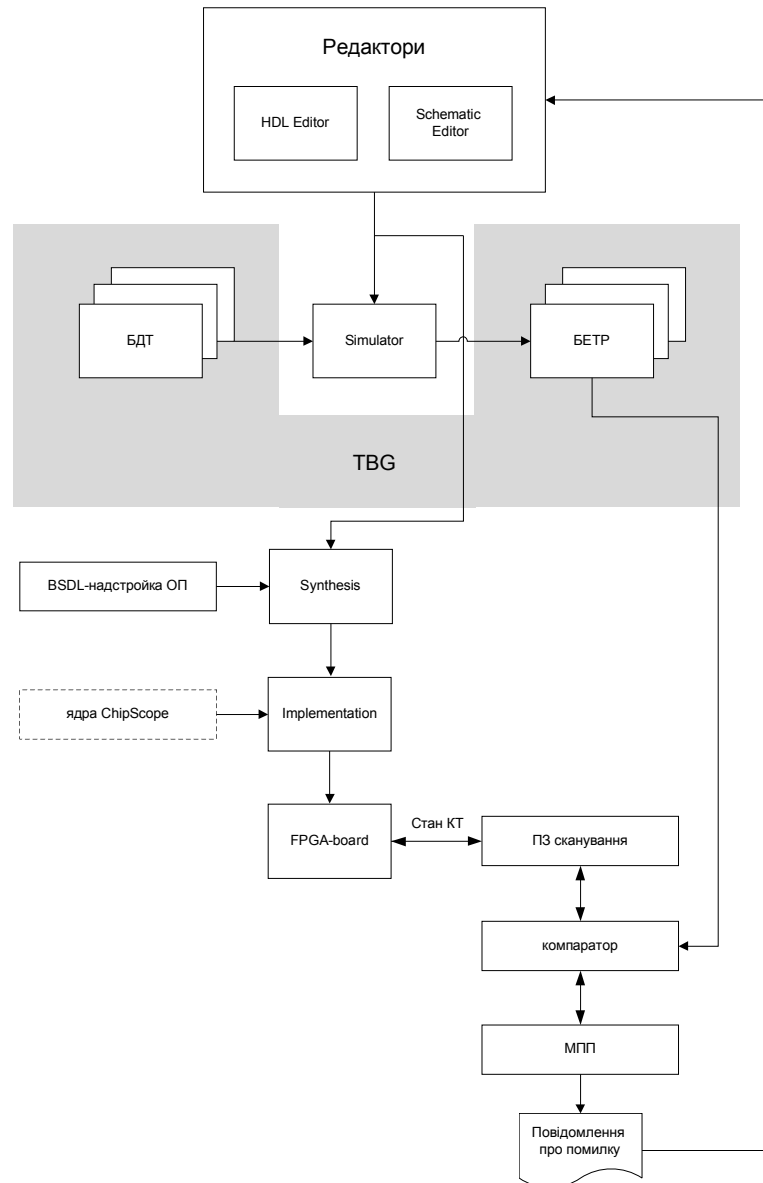


Рисунок 1 – Система верифікації FPGA-проектів із зовнішнім алгоритмом зондування

До спеціалізованих компонент структури належать наступні:

- модуль пошуку помилок (МПП);
- компаратор;
- BSDL-надстройка FPGA-проекту;
- ПЗ сканування.

Процес створення проекту з вбудованою системою верифікації починається із створення HDL-проекту в редакторах САПР. При цьому вихідний код може бути створений у середовищі HDL-редактору за використанням структурного стилю програмування або у схемному редакторі шляхом автоматичного створення HDL-коду з схеми, можливість якої зазвичай є у САПР.

Після цього створений проект необхідно відладити, виключивши з нього прості поведінкові помилки. Для цього проект, створений в редакторах, передається в блок Simulator, де проганяється через набір тестів, який забезпечує блок TBG - Test Bench Generator.

Цей блок TBG містить в своєму наборі базу даних тестів (БДТ), якими випробовується створений проект, а також базу еталонних тестових реакцій (БЕТР) - результати тестування проекту в блоці Simulator. Для створення БДТ та БЕТР може бути використано ПЗ PRTG, розроблене в ДонНТУ на кафедрі ЕОМ. Набір тестів може бути створений також вручну виходячи із специфікацій проекту.

Після відладки проект передається до етапу синтезу. На цьому етапі з проектом з'єднується BSDL-надбудова об'єкту проектування, яка забезпечує доступ до контрольних точок, що з'єднуються з проектом на етапі синтезу RTL-моделі.

Далі проект проходить стадію реалізації (Implementation), яка має на увазі стадію створення FPGA-моделі. На виході блоку Implementation отримуємо файл конфігурації (bitstream), що містить вихідний проект та його BSDL-надбудовою. Також можуть бути використані ядра ChipScore для відладки проекту засобами ПЗ ChipScore Pro.

Використовуючи кабель JTAG, bitstream занурюється на налагоджувальну плату FPGA-board, наприклад Xilinx Spartan 3E. Дані КТ надаються до інструментальної РС, де реалізовано компаратор та виконується порівняння значення КТ з еталоном та вирішення шляху подальшого тестування, використовуючи дані бази еталонних тестових реакцій (БЕТР).

Після початку роботи налагоджувальної FPGA-плати алгоритми пошуку помилок почнуть зондування помилок, якщо такі наявні у FPGA-проекті.

Процес зондування виконується у наступній послідовності.

Відповідно до алгоритму обирається перша КТ, відповідно до МПП прочитується тестова реакція, порівнюється з еталоном який вибирається з бази еталонних тестових реакцій (БЕТР). Знаходиться момент першого неспівпадання. Залежно від цього приймається рішення: вірна реакція або невірна. Далі вибирається наступна або інша КТ.

Робота алгоритму продовжується до тих пір, поки не буде знайдена компонента, яка буде визнана помилковою. На монітор буде видано повідомлення з ідентифікацією цієї компоненти, що послужить інформацією для проектувальника для виправлення своєї вихідної коди.

Структура системи верифікації FPGA-проектів, що була представлена, має просту BSDL-надбудову для реалізації процесу верифікації, бо алгоритм зондування реалізуються ззовні. Це дозволяє використовувати багаточисельні, вже реалізовані алгоритми ЗД, які після адаптації можуть бути застосовані для пошуку помилок в проекті, зануреному на ПЛІС.

Література

- [1] Agrawal V.D. Essentials of electronic testing for digital, memory and mixed-signal VLSI circuits. Kluwer Academic Publishers, 2000, – 690с.
- [2] Boundary-Scan Tutorial 2007-2009, ASSET InterTech, Inc. 2007, R.G. Bennetts