

Донецкий национальный технический университет

*Технологический институт
Южного федерального университета в г. Таганроге*

К 90-летию ДонНТУ

**«ПРАКТИКА И ПЕРСПЕКТИВЫ
РАЗВИТИЯ ПАРТНЕРСТВА
В СФЕРЕ ВЫСШЕЙ ШКОЛЫ»**

Материалы

Двенадцатого международного научно-практического семинара

12 – 14 апреля 2011 года

г.Донецк

ТОМ 2

Донецк – Таганрог 2011

УДК 378.008.8

«Практика и перспективы развития партнерства в сфере высшей школы»: Материалы двенадцатого международного научно-практического семинара. г.Донецк, 12-14 апреля 2011г. В 2-х томах. Т.2 – Донецк: ДонНТУ, 2011. – 373 с.

Сборник содержит доклады ученых и специалистов России и Украины по вопросам повышения эффективности научно-методической работы в сфере высшей школы.

Сборник предназначен для ученых, преподавателей, аспирантов, магистрантов и студентов высших учебных заведений.

Збірник містить доповіді вчених і фахівців Росії та України з питань підвищення ефективності науково-методичної роботи у сфері вищої школи.

Збірник призначений для науковців, викладачів, аспірантів, магістрантів і студентів вищих навчальних закладів.

РЕДАКЦИОННАЯ КОЛЛЕГИЯ

д.т.н. проф. Минаев А.А., д.т.н. проф. Захаревич В.Г., д.ф.-м.н. проф. Суржинов А.И., д.т.н. проф. Башков Е.А., д.т.н. проф. Обуховец В.А., к.и.н. проф. Навка И.П., д.ф.-м.н. проф. Пашаев А.М., д.т.н. проф. Троянский А.А., д.т.н. проф. Курейчик В.М., д.т.н. проф. Михайлов А.Н., д.т.н. проф. Вутенко В.И., д.т.н. проф. Суслов А.Г., к.т.н. доц. Василевский В.В., к.т.н. доц. Селивра С.А., д.т.н. проф. Зори А.А., д.п.н. проф. Стефаненко П.В., к.т.н. доц. Турупалов В.В., к.п.н. проф. Левченко Г.Г., к.т.н. доц. Паньчев А.И., к.т.н. доц. Грубка Р.М., к.т.н. доц. Шаповалов Р.Г., ст. преп. Голубов Н.В.

Рекомендовано к публикации ученым советом Донецкого национального технического университета. Протокол № 3 от 18 марта 2011г.

© ДонНТУ, ТТИ ЮФУ 2011 г.

Компьютерное моделирование, компьютерная техника, техническая кибернетика и системы управления.

УДК 502.45

ПРИКЛАДНОЕ ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ОПТИЧЕСКОЙ СИСТЕМЫ ЛОКАЛИЗАЦИИ ПРИРОДНЫХ ОБЪЕКТОВ

Авдюшина А.Е., Звягинцева А.В. (Воронежский государственный технический университет, г.Воронеж, Россия)

Современная наука часто сталкивается с ситуациями, когда необходимо организовать длительное наблюдение за некоторой областью пространства, с целью изучения появляющихся в этой области объектов. Примером может быть наблюдение за поведением животных и птиц в их естественной среде обитания. Часто при этом необходимо не только делать видеозаписи, но и определять координаты наблюдаемых объектов, строить траектории их перемещения и т.п. Когда речь идет о военных целях, то для этого используют специальную технику – радиолокационные станции, пеленгаторы и т.п. Однако применение таких средств в научных целях невозможно как в силу их высокой стоимости, так и в силу недоступности большинству исследовательских центров.

Рассматриваемая система предназначена для организации видеонаблюдения за природными объектами в их естественной среде. Система строится на основе модулей, находящихся в свободном доступе на современном рынке.

Структурно система состоит из центрального поста (сбора и обработки данных) и двух или более необслуживаемых периферийных постов (видеонаблюдения), объединенных в единую сеть (Рис.1). Связь между постами может осуществляться как по проводному, так и по радио каналу. После разворачивания системы для работы с ней достаточно присутствия одного человека на центральном посту.

Периферийные посты отвечают за получение изображения интересующего оператора сектора пространства. Каждый из этих постов представляет

СОДЕРЖАНИЕ

СЕКЦИЯ №3

Компьютерное моделирование, компьютерная техника, техническая кибернетика и системы управления.

Авдюшина А.Е., Звягинцева А.В. ПРИКЛАДНОЕ ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ОПТИЧЕСКОЙ СИСТЕМЫ ЛОКАЛИЗАЦИИ ПРИРОДНЫХ ОБЪЕКТОВ.....	3
Баркалов А. А., Лаврик А.С., Мирошкин А. Н. ПРИМЕНЕНИЕ МЕТОДА ЗАМЕНЫ ЛОГИЧЕСКИХ УСЛОВИЙ ДЛЯ УМЕНЬШЕНИЯ АППАРАТУРНЫХ ЗАТРАТ В СХЕМЕ УСТРОЙСТВА УПРАВЛЕНИЯ С РАЗДЕЛЕНИЕМ КОДОВ.....	8
Баркалов А.А., Цололо С.А., Биайрак Х. СПОСОБ УМЕНЬШЕНИЯ АППАРАТУРНЫХ ЗАТРАТ В СХЕМЕ КМУУ С ЭЛЕМЕНТАРНЫМИ ЦЕПЯМИ ПРИ РЕАЛИЗАЦИИ НА ЗАКАЗНЫХ МАТРИЦАХ.....	13
Беляев А.О. ИСПОЛЬЗОВАНИЕ МЕТОДА ГИБРИДНЫХ ВЫЧИСЛЕНИЙ ДЛЯ ИЗМЕРЕНИЯ ТЕМПЕРАТУРЫ ПРИ ПОМОЩИ NTC ТЕРМОРЕЗИСТОРОВ.....	18
Беляков С.Л., Коломийцев Я.А. УПРАВЛЕНИЕ РИСКОМ ИСПОЛЬЗОВАНИЯ КАРТОГРАФИЧЕСКИХ РЕСУРСОВ В СОЦИАЛЬНЫХ СООБЩЕСТВАХ ИНТЕРНЕТ.....	22

Бобынцев Д.О., Борзов Д.Б. УСТРОЙСТВО АНАЛИЗА ПЕРЕКРЫТИЙ КАНАЛОВ ПРИ РАЗМЕЩЕНИИ ПАРАЛЛЕЛЬНЫХ ПОДПРОГРАММ В МНОГОПРОЦЕССОРНЫХ СИСТЕМАХ.....	25
Волощенко В. Ю., Волощенко А. П., Тарасов С. П. ЭКСПЕРИМЕНТАЛЬНОЕ ИССЛЕДОВАНИЕ АКУСТИЧЕСКОЙ ПРОЗРАЧНОСТИ ГРАНИЦЫ РАЗДЕЛА ВОДА-ВОЗДУХ ДЛЯ ЗВУКОВЫХ ЧАСТОТ.....	29
Волощенко В.Ю. ЛОКАТОР ДЛЯ ЭХОПОИСКА НА МЕЛКОВОДЬЕ.....	33
Клевцов С.И. ИССЛЕДОВАНИЕ ВЛИЯНИЯ ПАРАМЕТРОВ НАСТРОЙКИ ПОЛИНОМИАЛЬНОЙ МОДЕЛИ СГЛАЖИВАЮЩЕГО ВРЕМЕННОГО РЯДА НА ТОЧНОСТЬ ПРОГНОЗИРОВАНИЯ ИЗМЕНЕНИЯ ФИЗИЧЕСКОЙ ВЕЛИЧИНЫ.....	37
Ковалёв С.А., Шишко С.Н., Клименко К.В. МЕТОД ОПРЕДЕЛЕНИЯ ЭФФЕКТИВНОСТИ КОМПОЗИЦИОННЫХ МИКРОПРОГРАММНЫХ УСТРОЙСТВ УПРАВЛЕНИЯ С КЭШ-ПАМЯТЬЮ.....	41
Ковалев С.А., Зеленева И.Я., Татолов Е.Р. ПОДХОД К УНИФИКАЦИИ ПРОЦЕССА СИНТЕЗА МПА МУРА ДЛЯ FPGA.....	45
Корниенко В.Т., Шостак А.Н. ИСПОЛЬЗОВАНИЕ ВИЗУАЛЬНОГО ПРОГРАММИРОВАНИЯ ВИРТУАЛЬНЫХ ПРИБОРОВ В СРЕДЕ LABVIEW ДЛЯ ПОСТРОЕНИЯ АНАЛОГОВЫХ ЧАСТОТНЫХ СКРЕМБЛЕРОВ РЕЧЕВЫХ СИГНАЛОВ	49

ПРИМЕНЕНИЕ МЕТОДА ЗАМЕНЫ ЛОГИЧЕСКИХ УСЛОВИЙ ДЛЯ УМЕНЬШЕНИЯ АППАРАТУРНЫХ ЗАТРАТ В СХЕМЕ УСТРОЙСТВА УПРАВЛЕНИЯ С РАЗДЕЛЕНИЕМ КОДОВ

Баркалов А. А.¹, Лаврик А.С.², Мирошкин А. Н.³ (¹University of Zielona Gora, Zielona Gora, Poland, ²ДонНТУ, Донецк, Украина, ³Max Planck Institute for Dynamics of Complex Technical Systems, Magdeburg, Germany)

¹A.Barkalov@iie.uz.zgora.pl, ²AlexandrLavrik@cs.donntu.edu.ua,
³MiroshkinAN@gmail.com

Abstract: The method of hardware reduction is proposed oriented on compositional microprogram control units and CPLD chips. The method is based on a wide fan-in of PAL macrocells allowing using more than one source of microinstruction address. Such approach permits to minimize the number of PAL macrocells used for transformation of microinstruction address. The method of logical condition replacement is used for optimization of microinstruction addressing block.
Key words: CPLD, КМУУ, Замена логических условий, Разделение кодов.

Введение

В настоящее время для реализации схем устройств управления (УУ) [1] широко используются программируемые логические интегральные схемы (ПЛИС) типа CPLD (Complex Programmable Logic Device), Такие ПЛИС включают в себя макроячейки с широкой входной шиной, которые могут выполнять логическую функцию от большого числа переменных (несколько десятков) [5, 6]. Однако высокая стоимость данного базиса порождает актуальную задачу уменьшения числа корпусов ПЛИС в схеме. При синтезе УУ необходимо учитывать особенности, как интерпретируемого алгоритма управления, так и используемых элементов. Так, при интерпретации линейных граф-схем алгоритмов (ГСА) целесообразно использовать модель композиционного микропрограммного устройства управления (КМУУ) с разделением кодов [4]. Особенности ПЛИС, можно использовать для увеличения числа источников кодов классов псевдоэквивалентных операторных линейных цепей (ОЛЦ) [2, 3]. В настоящей работе предлагается метод синтеза КМУУ, учитывающий эти особенности ПЛИС, а также использующий метод замены логических условий [1].

Целью исследования является уменьшение аппаратных затрат в схеме КМУУ за счёт одновременного использования нескольких источников кодов классов псевдоэквивалентных ОЛЦ и замены логических условий. Задачей исследования является разработка метода, позволяющего уменьшить аппаратные затраты в схемах адресации микрокоманд и преобразователя адреса микрокоманды.

Особенности КМУУ с разделением кодов

Пусть ГСА Γ представлена множествами вершин V и дуг E , соединяющих эти вершины. При этом $V = \{b_0, b_E\} \cup E_1 \cup E_2$, где b_0 - начальная вершина ГСА, b_E - конечная вершина ГСА, E_1 - множество операторных вершин, где $|E_1| = M$, E_2 - множество условных вершин. В вершинах $b_g \in E_1$ записаны наборы микроопераций $Y(b_g) \in Y$, где $Y = \{y_1, \dots, y_N\}$ - множество микроопераций. В вершинах $b_g \in E_2$ записаны элементы множества логических условий $X = \{x_1, \dots, x_L\}$. Пусть ГСА Γ является линейной, то есть включает более 75% операторных вершин [2].

Сформируем множество ОЛЦ $C = \{\alpha_1, \dots, \alpha_G\}$ ГСА Γ , где каждая из ОЛЦ является последовательностью операторных вершин и каждой паре её соседних компонент b_i, b_j соответствует дуга $\langle b_i, b_j \rangle \in E$. Каждая ОЛЦ имеет только один выход Q_g и произвольное число входов ($g = 1, \dots, G$). Формальные определения ОЛЦ, их входов и выходов можно найти в [4]. Каждая вершина $b_g \in E_1$ соответствует микрокоманде M_{b_g} , хранимой в управляющей памяти (УП) КМУУ по адресу $A(b_g)$. Для адресации микрокоманд достаточно

$$R = \lceil \log_2 M \rceil \quad (1)$$

Пусть ОЛЦ $\alpha_g \in C$ включает F_g компонент и пусть $Q = \max(F_1, \dots, F_G)$. Запишем ОЛЦ $\alpha_g \in C$ двоичными кодами $K(\alpha_g)$ разрядности R_G , а каждый компонент ОЛЦ $\alpha_g \in C$ двоичными кодами $K(b_g)$ разрядности R_Q , где

$$R_G = \lceil \log_2 G \rceil \quad (2)$$

$$R_Q = \lceil \log_2 Q \rceil \quad (3)$$

Пусть компоненты закодированы таким образом, что

$$K(b_{g_i+1}) = K(b_{g_i}) + 1 \quad (4)$$

где $i = 1, \dots, F_g - 1, g = 1, \dots, G$. Пусть для кодирования компонент ОЛЦ используются переменные $T_r \in T$, а для кодирования ОЛЦ — переменные $\tau_r \in \tau$, где $|\tau| = R_G, |T| = R_Q$. В случае, если выполняется условие

$$R_G + R_Q = R \quad (5)$$

ЛГСА Γ может быть представлена моделью КМУУ с разделением кодов U_1 .

Принцип работы КМУУ U_1 и псевдоэквивалентных ОЛЦ (ПОЛЦ) подробно описан в [7].

Отметим, что аппаратные затраты в логической схеме САМ могут быть уменьшены введением специального блока преобразователя кодов (ПК), преобразующего коды ОЛЦ в коды классов ПОЛЦ [4,7].

В данной работе предлагается метод синтеза КМУУ U_2 , в котором используется два источника кодов классов ПОЛЦ, что позволяет снизить аппаратные затраты, потребляемые блоком ПК вплоть до нуля. Для уменьшения сложности блока САМ предлагается использовать стратегию замены логических условий [4].

Основная идея предлагаемого метода

Отметим, что схемы блоков САМ, СТ, Рг и ТВ реализуются в составе ПЛИС, а для реализации УП требуются ППЗУ, имеющие t выходов ($t = 1, 2, 4, 8, 16$). Выполним адресацию ОЛЦ $\alpha_g \in C_1$ таким образом, чтобы выполнялось (4) и максимально возможное число классов $B_i \in P_C$ выражалось одним обобщённым интервалом R -мерного булева пространства. Для этого может быть использован широкоизвестный алгоритм ESPRESSO [8].

Пусть $P_C = P_A \cup P_B$, где $B_i \in P_A$, если классу соответствует один интервал, иначе $B_i \in P_B$.

Если выполняется условие

$$P_B = \emptyset, \quad (8)$$

то блок ПК отсутствует и регистр Рг является источником всех кодов $K(B_i)$ для классов $B_i \in P_C$. В противном случае преобразованию подлежат только адреса выходов ОЛЦ, входящих в классы $B_i \in P_B$. Для кодирования этих классов достаточно

$$R_B = \lceil \log_2 (|P_B| + 1) \rceil \quad (9)$$

Единица добавляется к $|P_B|$ для обозначения ситуации $B_i \notin P_B$. Отметим, что часть кодов может быть реализована на ППЗУ. Пусть для кодирования микроопераций используется стратегия унитарного кодирования [2], тогда слово УП имеет $N+2$ разрядов. Для реализации УП требуется

$$R_0 = \left\lceil \frac{N+2}{t} \right\rceil \quad (10)$$

микроосхем с числом ячеек, не меньшим M . При этом

$$R_3 = R_0 * t - N - 2 \quad (11)$$

выходов ППЗУ являются свободными. Если

$$R_3 \geq R_B \quad (12)$$

то источниками кодов классов $B_i \in P_B$ является УП и блок ПК отсутствует. Такой подход позволяет уменьшить число макроячеек в схеме блока САМ и число ППЗУ, используемых для преобразователя адреса.

Дальнейшая оптимизация схемы САМ возможна за счёт замены логических условий [1], когда множество X заменяется множеством $P = \{p_1, \dots, p_Q\}$, где $Q \ll L$. В этом случае для интерпретации ГСА Γ предлагается КМУУ U_2 .

В КМУУ U_2 коды $K_A(B_i)$ классов $B_i \in P_A$ представляются переменными $\tau_r \in \tau$, коды $K_B(B_i)$ классов $B_i \in P_B$ — переменными $\nu_r \in V$, где $|V| = R_B$. В отличие от КМУУ U_1 здесь блок ПК отсутствует, а блок САМ реализует функции

$$\begin{aligned} \Phi &= \Phi(\tau, V, P), \\ \Psi &= \Psi(\tau, V, P). \end{aligned} \quad (13)$$

Переменные $p_q \in P$ формируются блоком логических условий (БЛУ) в виде системы

$$P = P(\tau, V, X). \quad (14)$$

В настоящей работе предлагается метод синтеза КМУУ U_2 , включающий следующие этапы: формирование множеств C, C_1, P_C для ГСА Γ , адресация микрокоманд, формирование множеств P_A, P_B , кодирование классов $B_i \in P_B$, формирование содержимого управляющей памяти, замена логических условий, формирование таблицы переходов КМУУ, формирование таблицы блока БЛУ, синтез логической схемы КМУУ.

Заключение

Предлагаемый в работе метод оптимизации схемы КМУУ с разделением кодов, ориентирован на уменьшение числа макроячеек ПМЛ в схеме блока САМ

за счёт использования нескольких источников кодов классов псевдоэквивалентных ОЛЦ и метода замены логических условий.

Однако этот выигрыш в аппаратуре сопровождается уменьшением быстродействия за счёт введения блока замены логических условий БЛУ. Кроме того, этот блок потребляет некоторые ресурсы кристалла. Таким образом, использование предложенного метода имеет смысл, если суммарные затраты в блоках САМ и БЛУ меньше аппаратурных затрат в блоке САМ эквивалентного КМУУ U_1 .

Научная новизна предложенного метода заключается в одновременном использовании особенностей базиса ПЛИС для уменьшения аппаратурных затрат в схеме ПК и метода замены логических условий для оптимизации схемы САМ. Отметим, что при выполнении условия (12) блок ПК вообще отсутствует. **Практическая значимость** этого метода заключается в уменьшении числа микросхем при реализации схемы КМУУ, что позволяет получить схемы, обладающие меньшей стоимостью по сравнению с известными из литературы аналогами.

Дальнейшие исследования направлены на проверку эффективности данного метода при реализации схемы в базисе FPGA [8].

Список литературы: 1. Baranov S. Logic Synthesis for Control Automata. – Kluwer Academic Publishers, 1994. – 312 pp. 2. Грушвицкий Р.И., Мурсаев А.Х., Урюмов Е.П. Проектирование систем с использованием микросхем программируемой логики. – СПб: БХВ. – Петербург, 2002. – 608 с. 3. Соловьев В.В. Проектирование цифровых схем на основе программируемых логических интегральных схем. М.: Горячая линия-ТЕЛЕКОМ, 2001. – 636 с. 4. Barkalov A., Titarenko L. Logic Synthesis for Compositional Microprogram Control Units. – Berlin: Springer, 2008. – 272 pp. 5. Электронный ресурс. Altera devices overview http://www.altera.com/products/devices/common/dev-family_overview.html. 6. Электронный ресурс. Xilinx CPLDs http://www.xilinx.com/products/silicon_solutions/cplds/index.htm. 7. Баркалов А.А., Зелёная И.Я., Лаврик А.С. Уменьшение аппаратурных затрат в схеме адресации микрокоманд устройства управления с разделением кодов. / Радиотехника и компьютерные системы. Выпуск 5 (46) – Харьков: ХАИ. – 2010. С. 124-129. 8. Maxfield C. The Design Warrior's Guide to FPGAs. – Amsterdam: Elsevier, 2004. – 541 pp.

СПОСОБ УМЕНЬШЕНИЯ АППАРАТУРНЫХ ЗАТРАТ В СХЕМЕ КМУУ С ЭЛЕМЕНТАРНЫМИ ЦЕПЯМИ ПРИ РЕАЛИЗАЦИИ НА ЗАКАЗНЫХ МАТРИЦАХ

Баркалов А.А., Цололо С.А., Бнайрак Х. (Университет Зеленогурский, Дон-НТУ, г. Зелёная Гура, г. Донецк, Польша, Украина)
E-mail: A.Barkalov@iie.uz.zgora.pl

Abstract: The structures of compositional microprogram control unit with elementary operational linear chains are proposed. Structures allow reducing the complexity of the matrix realization in the device's circuit. The proposed method is based on using several sources. Theoretical background and practical approach of synthesis are given.

Keywords: MCU, elementary OLC, matrix realization, gate array

Важной задачей современной микроэлектроники является уменьшение сложности, наименьшей схемой устройства управления (УУ) в системах на кристалле [1, 2]. Решение этой задачи предусматривает рассмотрение особенностей алгоритма управления, реализуемого УУ [3]. Для интерпретации линейного алгоритма управления, представленного граф-схемой алгоритма (ГСА) целесообразно использовать модель композиционного микропрограммного устройства управления (КМУУ) [4]. Одним из путей такой реализации является использование модели с разделением кодов и элементарными операторными линейными цепями (ЭОЛЦ) [5]. В работе рассматривается способ уменьшения сложности блока адресации КМУУ, который основан на использовании двух источников кодов псевдоэквивалентных ЭОЛЦ (ПЭОЛЦ).

Принципы реализации КМУУ на заказных матрицах

Пусть ГСА Γ представлена множествами вершин V и дуг E , соединяющих эти вершины, тогда при этом $V = \{b_0, b_E\} \cup E_1 \cup E_2$, где b_0 – начальная вершина ГСА, b_E – конечная вершина ГСА, E_1 – множество операторных вершин, $|E_1| = M, \Gamma$ – множество условных вершин. В вершинах $b_q \in E_1$ записаны формы микроопераций $Y(b_q) \in Y$, где $Y = \{y_1, \dots, y_N\}$ – множество микроопераций. В вершинах $b_q \in E_2$ записаны элементы множества логических условий $\{x_1, \dots, x_N\}$. Пусть ГСА Γ является линейной, то есть включает более 75% операторных вершин [4].

Пусть для ГСА Γ сформировано множество ЭОЛЦ $C = \{\alpha_1, \dots, \alpha_G\}$. ЭОЛЦ α_i – это такая последовательность операторных вершин, в которой для каждого из пары соседних компонент $b_i, b_{i+1} \in E_1$ существует дуга $\langle b_i, b_{i+1} \rangle \in E$ [4]. При этом цепь является элементарной, если она имеет только один вход. Каждая