

ОСОБЕННОСТИ РЕАЛИЗАЦИИ КМУУ С ОБЩЕЙ ПАМЯТЬЮ В БАЗИСЕ ЗАКАЗНЫХ МАТРИЦ

Биайрак Х.

ГВУЗ «Донецкий национальный технический университет», г. Донецк, Украина

allah_karem90@yahoo.com

Аннотация

Биайрак Х. Особенности матричной реализации КМУУ с общей памятью в базе заказных матриц. Рассмотрена усовершенствованная модель композиционного микропрограммного устройства управления с общей памятью, позволяющая уменьшить сложность реализации логической схемы устройства в базе заказных матриц. Предложенные модификации основываются на использовании нескольких источников кодов классов псевдоэквивалентных ОЛЦ, что приводит к уменьшению аппаратных затрат в схеме адресации микрокоманд.

Введение

Устройство управления (УУ) цифровой системы может быть реализовано в виде различных моделей [1]. Одной из моделей реализации УУ является композиционное микропрограммное устройство управления (КМУУ) [2,3]. Эти устройства идеально подходят для реализации с использованием современных ПЛИС [4], в составе которых имеются средства для реализации произвольной логики и встроенные блоки памяти [5, 6]. Однако данные микросхемы до сих пор остаются достаточно дорогими, поэтому при массовом производстве изделий электронной промышленности по-прежнему широко используются заказные схемы типа ASIC (Application Specific Integrated Circuits) [7]. В этом случае для реализации схем устройств управления используются заказные матрицы [8], основанные на распределенной логике [7]. В предлагаемой работе рассматриваются особенности реализации одной из моделей КМУУ в базе заказных матриц, а также предлагаются некоторые способы уменьшения площади кристалла, занимаемой логической схемой УУ.

Матричная схема КМУУ с общей памятью в базе заказных матриц

Модель КМУУ с общей памятью предназначена для реализации УУ, которые интерпретируют линейные ГСА. Некоторую ГСА Γ можно назвать линейной, если количество операторных вершин в ней хотя бы в два раза превышает количество ОЛЦ [9].

Структурная схема КМУУ с общей памятью приведена на рис. 1. В КМУУ по сигналу Start в счетчик СТ загружается нулевой адрес первой микрокоманды микропрограммы интерпретируемой ГСА. При этом триггер TF устанавливается в единичное состояние – Fetch=1. Следующая микрокоманда (МК) выбирается из управляющей памяти (УП).

Если текущий переход осуществляется в пределах одной ОЛЦ $\alpha_g \in C$, то одновременно с набором микроопераций формируется переменная y_0 , равная «1». При $y_0 = 1$ содержимое СТ увеличивается на 1 по сигналу Clock.

Если же конец ОЛЦ достигнут ($b_q = O_g$), то переменная y_0 равна «0». В этом случае комбинационная схема КС формирует функции возбуждения СТ

$$\Phi = \Phi(T, X), \quad (1)$$

необходимые для загрузки в СТ адреса входа некоторой ОЛЦ. Адрес записывается в СТ по сигналу Clock. Если $\langle b_q, b_E \rangle \in E$, где b_E – конечная вершина ГСА Γ , то формируется

переменная $y_E = 1$. Если $y_E = 1$, то триггер TF устанавливается в нулевое состояние (Fetch=0). В этом случае выборка микрокоманд из УП прекращается и КМУУ U_2 завершает свою работу. Отметим также, что СТ реализуется на триггерах с D-типа.

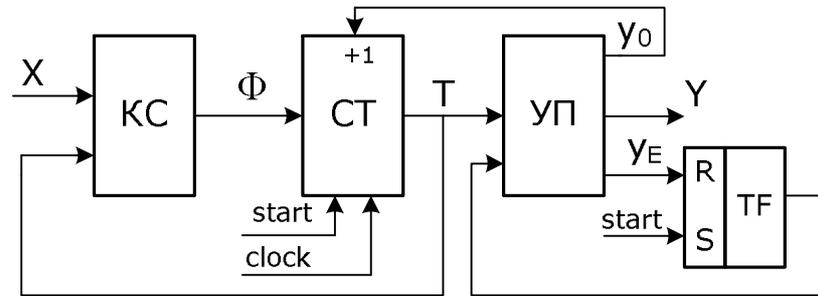


Рис. 1 – Структурная схема КМУУ с общей памятью

При реализации схемы КМУУ с общей памятью на заказных матрицах схема КС представляется в виде объединения двух матриц – конъюнктивной M_1 и дизъюнктивной M_2 . УП отображается в виде конъюнктивной матрицы M_3 и дизъюнктивной матрицы M_4 .

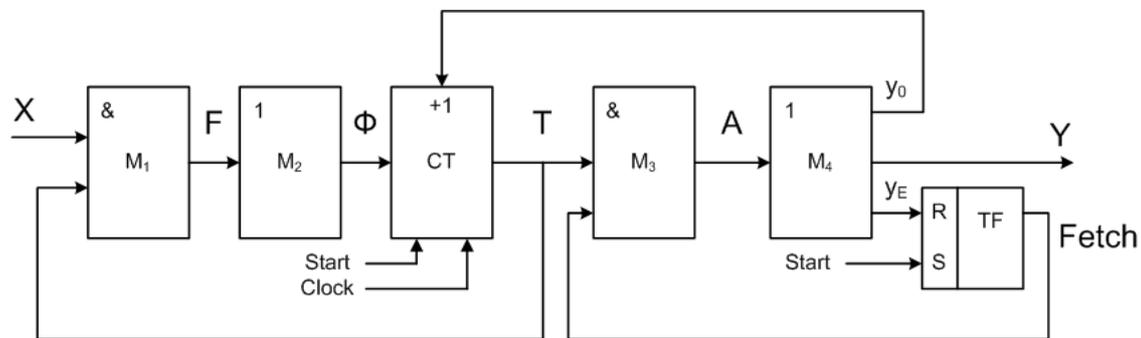


Рис. 2 – Матричная реализация КМУУ U_2 с общей памятью

В этой схеме матрица M_1 реализует систему термов $F = \{F_1, \dots, F_H\}$, соответствующих строкам таблицы переходов КМУУ. Каждый терм F_h представляется в следующем виде:

$$F_h = \left(\bigcap_{r=1}^{R_A} T_r^{erh} \right) \cdot X_h, \quad (h = 1, \dots, H). \quad (2)$$

Здесь первый член соответствует адресу выхода ОЛЦ $\alpha_g \in C$, переход из которого рассматривается в первой строке таблицы.

Матрица M_2 реализует систему (2), каждый элемент описывается формулой:

$$D_r = \bigcup_{h=1}^H C_{rh} \cdot F_h, \quad (r = 1, \dots, R_A). \quad (3)$$

Здесь переменная C_{rh} равна «1» в том случае, если функция D_r записана в h -й строке таблицы переходов ($h = 1, \dots, H$).

Матрица M_3 формирует термы $A_m \in A$, которые соответствуют адресам микрокоманд:

$$A_m = \left(\bigcap_{r=1}^{R_A} T_r^{emr} \right) \cdot y_E, \quad (m = 1, \dots, M). \quad (4)$$

Матрица M_4 формирует функции y_0, y_E и $y_n \in Y$, как следующие дизъюнкции:

$$\begin{aligned}
y_0 &= \bigcup_{m=1}^M C_{0m} \cdot A_m; & y_E &= \bigcup_{m=1}^M C_{Em} \cdot A_m; \\
y_n &= \bigcup_{m=1}^M C_{nm} \cdot A_m; & (n &= 1, \dots, N),
\end{aligned}
\tag{5}$$

Обобщенный метод матричной реализации КМУУ с общей памятью включает следующие этапы:

1. Формирование множества ОЛЦ С.
2. Естественная адресация микрокоманд.
3. Формирование системы формул перехода.
4. Формирование таблицы переходов КМУУ.
5. Формирование содержимого управляющей памяти.
6. Реализация схемы КМУУ.

Использование блока преобразователя адреса в КМУУ с общей памятью

Ключевым недостатком КМУУ с общей памятью (назовем обобщенную модель символом U_1) является значительное число переходов N_1 [3], определяемое особенностями автомата Мура. Для уменьшения этого параметра до числа переходов N_0 эквивалентного автомата Мили целесообразно применить способы, основанные на наличии псевдоэквивалентных ОЛЦ [2,9].

Если выходы O_i, O_j соединены с входом одной и той же вершины ГСА Γ , то ОЛЦ $\alpha_i, \alpha_j \in C$ являются псевдоэквивалентными ОЛЦ (ПОЛЦ) [8]. Найдем разбиение $\Pi_C = \{V_1, \dots, V_l\}$ множества $C_1 \subseteq C$ на классы ПОЛЦ. При этом ОЛЦ $\alpha_g \in C_1$, если ее выход не связан с вершиной b_E ГСА, то есть $\langle O_g, b_E \rangle \notin E$.

Выполним адресацию естественным образом, то есть так, чтобы выполнялось условие

$$A(b_{g_{i+1}}) = A(b_{g_i}) + 1. \tag{6}$$

При выполнении адресации также будет стремиться к тому, чтобы максимально возможное число классов $V_i \in \Pi_C$ было представлено одним интервалом R -мерного булева пространства. Назовем адресацию, которая учитывает оба этих условия, оптимальной, соответствующее ей КМУУ обозначим символом U_2 .

Схема КМУУ U_2 совпадает со схемой КМУУ U_1 , но число термов N_2 в системе (2) уменьшается. При этом $N_0 \leq N_2 < N_1$. Если параметр N_0 не достигнут, то классы $V_i \in \Pi_C$ кодируются комбинациями разрядности

$$R_1 = \lceil \log_2 l \rceil \tag{7}$$

В этом случае для интерпретации ГСА Γ может быть использовано КМУУ U_3 с преобразователем адреса (рис. 3).

Модель U_3 функционирует аналогично КМУУ U_2 , но блок преобразователя адреса (БПА) реализует систему

$$\Phi = \Phi(\tau, X) \tag{8}$$

для записи в СТ адреса входа очередной ОЛЦ. При этом блок БПА формирует функции

$$\tau = \tau(T) \tag{9}$$

равные единице в коде $K(V_i)$, где $\alpha_g \in V_i$.

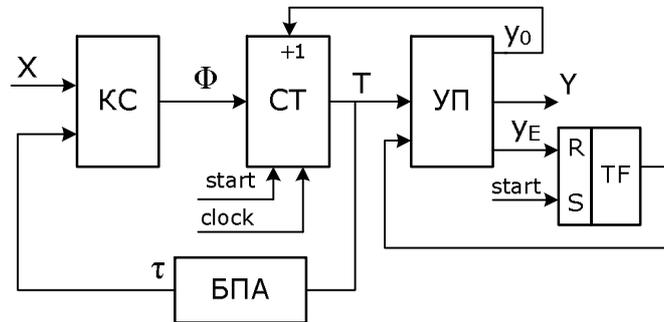


Рис. 3 – Структурная схема КМУУ U_3 с преобразователем адреса

При такой организации КМУУ число термов в системе (8) гарантированно равно H_0 ($H_3 = H_0$). Однако это достигается за счет введения блока БПА, который потребляет некоторые ресурсы кристалла. Уменьшение площади блока БПА возможно выполнить с помощью разделения матрицы термов в схеме адресации микрокоманд.

Разделение матрицы термов для КМУУ с общей памятью

Найдем разбиение Π_C и выполним оптимальную адресацию микрокоманд. Представим множество Π_C в виде $\Pi_C^1 \cup \Pi_C^2$. Пусть $V_i \in \Pi_C$, если класс V_i представляется одним интервалом R -мерного булева пространства. Если число интервалов, представляющих класс $V_i \in \Pi_C$ больше единицы, то $V_i \in \Pi_C^2$. Очевидно, $\Pi_C^1 \cap \Pi_C^2 = \emptyset$, то есть, множество Π_C разбивается на два класса. Закодируем классы $V_i \in \Pi_C^2$ двоичными кодами $K(V_i)$ разрядности

$$R_2 = \lceil \log_2(|\Pi_C^2| + 1) \rceil \quad (10)$$

Как и в КМУУ U_4 , используем для кодирования классов $V_i \in \Pi_C^2$ переменные $\tau_r \in \tau$.

По ГСА Γ может быть построена система обобщенных формул переходов S . Разделим эту систему S на две подсистемы. Пусть подсистема S_1 задает переходы для классов $V_i \in \Pi_C^1$, а подсистема S_2 – для классов $V_i \in \Pi_C^2$. В этом случае для реализации схемы КМУУ на заказных матрицах предлагается модель U_5 (рис. 4).

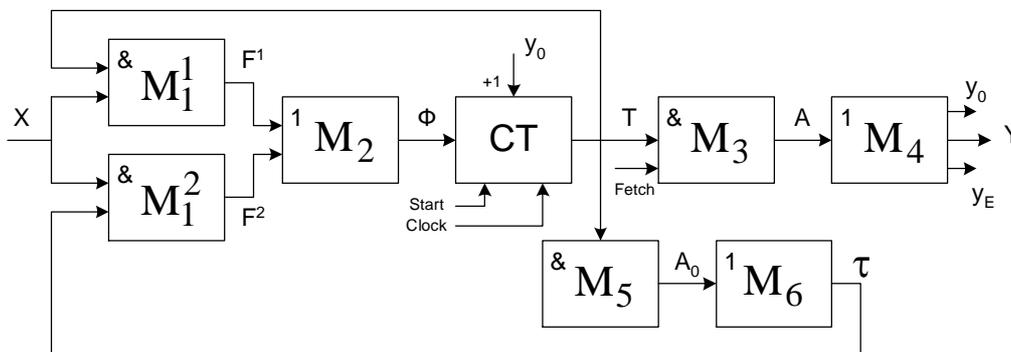


Рис. 4 – Структурная схема КМУУ U_4

В схеме КМУУ U_4 матрица M_1 разделена на две части. Матрица M_1^1 реализует термы F^1 , соответствующие (2). Значения некоторых переменных $T_r \in T$ могут быть неопределёнными. Это связано с тем, что часть A_m определяется кодом класса $K(V_i)$.

Матрица M_1^2 реализует систему функций F^2 . Матрица M_1^1 соответствует подсистеме S_1 , а матрица M_1^2 – подсистеме S_2 . Оставшиеся матрицы $M_2 - M_6$ имеют то же назначение, что и в КМУУ U_2 .

В отличие от КМУУ U_2 , в модели U_4 используются два источника кодов классов псевдоэквивалентных ОЛЦ – счетчик СТ и блок БПА. Сложность реализации блока БПА может быть уменьшена путем не полного, а частичного кодирования, что и является одним из дальнейших объектов исследований.

Выводы

В работе авторами рассматривают особенности матричной реализации КМУУ с общей памятью, а также пути уменьшения аппаратурных затрат в логической схеме устройства управления. В частности, предлагается способ, основанный на использовании двух источников кодов классов псевдоэквивалентных ОЛЦ, что приводит к разбиению матрицы термов блока адресации микрокоманд на две части и уменьшению площади матричной реализации данного блока.

Предложенный способ предполагает введение дополнительного блока преобразователя адреса, однако его площадь также может быть уменьшена путем выполнения преобразования только для части классов псевдоэквивалентных ОЛЦ. Также необходимо отметить, что способ применим только для линейных граф-схем алгоритма.

Проведенные авторами исследования показали, что эффективность предложенного способа может достигать 42% для граф-схем с линейной структурой. Дальнейшее направление исследований авторы видят в адаптации известных методов уменьшения аппаратурных затрат в схемах КМУУ к особенностям базиса заказных матриц.

Литература

1. Baranov S. Logic Synthesis for Control Automata. – Kluwer Academic Publishers, 1994. – 312 pp.
2. Barkalov A.A., Titarenko L.A. Synthesis of operational and control automata. – Donetsk: DonNTU, TechPark DonNTU UNITECH, 2009. – 256 pp.
3. Баркалов А.А. Микропрограммное устройство управления как композиция автоматов с программируемой и жесткой логикой // Автоматика и вычислительная техника. – 1983, №4 – с. 36-41.
4. Максфилд К. Проектирование на ПЛИС. Курс молодого бойца. – М.: Издательский дом «Додэка-XXI», 2007. – 408 с.
5. Соловьев В.В. Проектирование цифровых систем на основе программируемых логических интегральных схем. – М.: Горячая линия – Телеком, 2001. – 636 с.
6. Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики. – СПб.: БХВ-Петербург, 2002. – 608 с.
7. Smith M. Application-Specific Integrated Circuits. – Boston: Addison Wesley, 1997. – 836 pp.
8. Баркалов А.А., Титаренко Л.А. Синтез микропрограммных автоматов на заказных и программируемых СБИС. – Донецк: ДонНТУ, Технопарк ДонНТУ УНИТЕХ, 2009. – 336 с.
9. Barkalov A., Titarenko L. Logic Synthesis for Compositional Microprogram Control Units. – Berlin: Springer, 2008. – 273pp.